

제 출 문

과 학 기 술 정 보 통 신 부 장 관 귀 하

본 보고서를 “ 미래 반도체 기술개발 로드맵 수립을 위한 연구 ”의 최종보고서로 제출합니다.

2023. 09. 20.

연구기관명 : 차세대지능형반도체사업단

연구책임자 : 김형준

연 구 원 : 이석희

연 구 원 : 한규민

연 구 원 : 이주현

연 구 원 : 심 찬

연 구 원 : 임혜린

요 약 문

과제번호	2022R2A1A1095030	연구기간	2022년 08월 01일 ~ 2023년 08월 31일		
과제명	(한글) 미래 반도체 기술개발 로드맵 수립을 위한 연구 (영문) A Study on Advanced Technology Roadmap for Semiconductors(ATRS)				
연구책임자 (주관연구기관)	김형준 (차세대지능형 반도체사업단)	참여 연구원수	총 6 명	연구비	90,000천원
요약					
<p>(1) 미래 반도체 기술개발 로드맵 목적 및 목표</p> <ul style="list-style-type: none"> ○ 반도체 분야의 핵심 기술에 대한 중·장기적 연구 추진 방향성을 제시하여 초격차 반도체 전략기술 육성을 위한 단계별 기술개발 목표와 전략을 수립 ○ 미래 반도체 분야별 특허 분석, 핵심 원천기술 확보를 위한 국내외 정책 및 투자 동향 조사·분석, 향후 기술전망을 통한 반도체 주요 기술분석 및 단계별(단기·중기·장기) 로드맵 제시 ○ 반도체 R&D 정밀점검을 통한 정책적 가시화와 글로벌 경쟁력 강화를 위한 향후 정책 방향 및 비전 제시 <p>(2) 추진 전략</p> <ul style="list-style-type: none"> ○ “미래 반도체 기술개발 로드맵”의 기본방향을 토대로 반도체 가치사슬 중 소자-설계-공정기술 3대 분야로 구분하고, 각 분야의 기술적, 산업적, 정책적 특성을 고려하여 핵심 요소기술 분류 <ul style="list-style-type: none"> - (소자) 신소자 3대 주요분야인 강유전체, 자성체, 멤리스터 기술에 대하여 요소기술 분석 및 전략기술 도출 - (설계) 6대 디지털 혁신기술* 중 인공지능 반도체와 6G 이동통신 반도체 기술에 대하여 요소기술 및 전략기술 도출 <ul style="list-style-type: none"> * 인공지능, 인공지능반도체, 5·6세대(5G6G), 양자, 메타버스, 사이버보안 등 6개 분야 - (공정) 전공정 미세화를 위한 제조·공정기술 및 반도체 생산효율 개선을 위한 첨단 패키징 장비·소재 기술개발에 대한 요소기술 및 전략기술 도출 ○ 국내외 정책 및 투자 동향조사분석, 신사업 분야 기술전망을 바탕으로 글로벌 경쟁력 유지를 위한 정책 방향성 제시 ○ 소자-설계-공정 분야별 전략기술 및 상호연계를 위한 Bridge 전략기술 등 32개 핵심전략기술 도출 <p>(3) 결론</p> <ul style="list-style-type: none"> ○ 국내외 반도체 기술을 분석하여 글로벌 연구를 지향하는 ‘기술 추격’ 및 ‘탈추격·선도형 혁신’ 국가연구개발사업 방향을 제시하는 로드맵을 작성 ○ 산·학·연 전문가로 위원회를 구성하여 기초 문헌 및 특허 분석과 설문조사 등의 종합적 분석을 통하여 분야별 최종 기술 로드맵을 제시 ○ 분야별 원천기술의 과학적·기술적·사회적 영향력 분석을 통해 분야별 핵심 전략기술 및 추진 방향성을 제시 ○ 소자/설계/공정 분야별 핵심 요소기술의 도출을 통하여 반도체 분야 임무지향형 국가연구개발의 방향성 수립을 위한 기초 자료를 제공 					
비공개 사유		비공개 기간			

목 차

I. 총론	1
1. 연구 개요	1
2. 추진 배경	3
3. 추진 전략 및 향후 계획	13
II. 신소자 분과	17
1. 자성체 소자 기술	17
(1) 기술 개요	17
(2) 기술 분석	20
(3) 산업 및 시장 분석	28
(4) 핵심 전략기술 및 로드맵	30
2. 메모리스트 소자 기술	39
(1) 기술 개요	39
(2) 기술 분석	43
(3) 산업 및 시장 분석	51
(4) 핵심 전략기술 및 로드맵	54
3. 강유전체 소자 기술	62
(1) 기술 개요	62
(2) 기술 분석	65
(3) 산업 및 시장 분석	80
(4) 핵심 전략기술 및 로드맵	81
III. 설계 분과	86
1. 인공지능 반도체 기술	86
(1) 기술 개요	86
(2) 기술 분석	89
(3) 산업 및 시장 분석	102
(4) 핵심 전략기술 및 로드맵	114
2. 6G 이동통신 반도체 기술	115
(1) 기술 개요	115
(2) 기술 분석	118
(3) 산업 및 시장 분석	136
(4) 핵심 전략기술 및 로드맵	142

IV. 공정 분과	149
1. 전공정 전략기술	149
(1) 기술 개요	149
(2) 기술 분석	152
(3) 산업 및 시장 분석	168
(4) 핵심 전략기술 및 로드맵	172
2. 후공정 전략기술	180
(1) 기술 개요	180
(2) 기술 분석	185
(3) 산업 및 시장 분석	194
(4) 핵심 전략기술 및 로드맵	205
V. 결론 및 정책 제언	210
VI. 참고문헌	217
<별첨 I> 미래 반도체 기술개발 로드맵 추진 경과	226

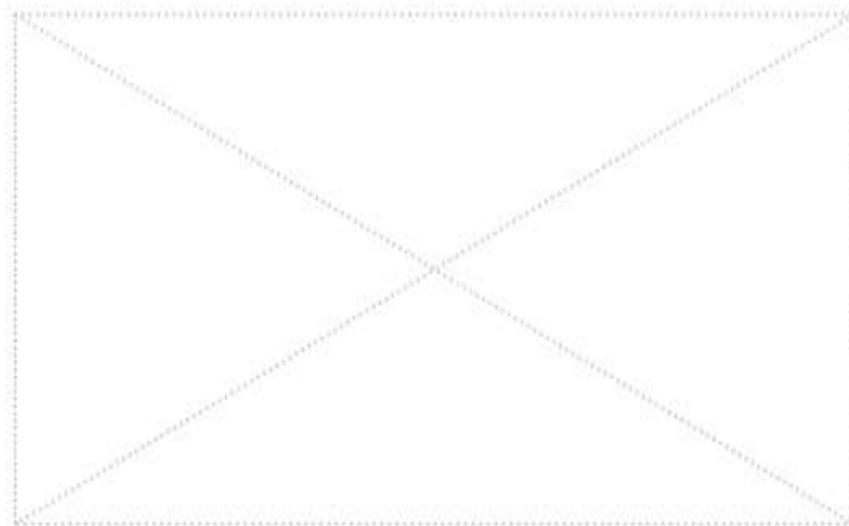
I. 총론

1. 연구 개요

(1) 연구의 목적 및 목표

- 본“미래 반도체 기술개발 로드맵”의 목표 및 목적은 국가 첨단전략산업인 반도체 분야의 핵심 기술에 대한 중장기적 추진 방향성 제시를 통하여, 반도체 분야 초격차 전략기술 육성을 위한 분야별 기술개발 목표 및 전략을 수립하는 것임.
- 4차 산업혁명에 따른 디지털화, IT 기기 융합에 따른 반도체 수요의 폭발적인 확대에 대응하기 위해 초격차 기술 고도화 연구를 통한 소자·설계·공정 분야의 전략적 방향성을 제시하고자 함.
- 반도체는 핵심 안보자산으로 국가적 차원에서 대응이 필요하고, ①국제 분업 체계에서 기술자국화체계로 전환, ②미·중 디커플링(탈동조화) 심화, ③초미세 공정 경쟁 격화, ④공급망 재편 등 반도체 패권전쟁에서 경쟁 우위를 지키고자 종합적 전략 수립을 위한 기초 자료를 제공하고자 함.

【 국제 정세와 반도체 산업 공급망 변화 전망 】



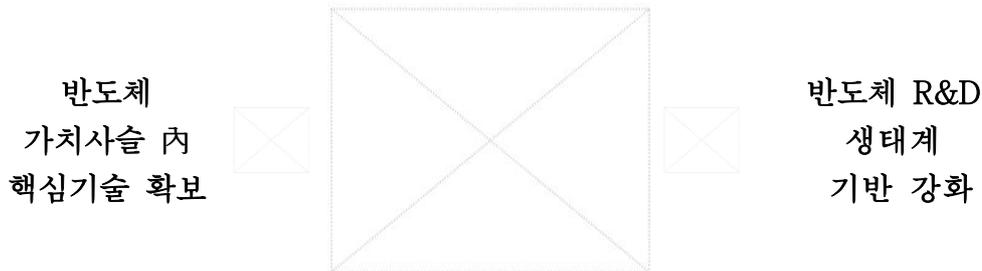
* 출처 : 각국 전략 발표자료 각색, 2023

- 미래반도체 분야별 특허 분석, 핵심 원천기술 확보를 위한 국내외 정책 및 투자 동향 조사·분석, 신사업 분야 기술전망을 기반으로 반도체 기술분석 및 중·장기 로드맵 제시하고자 함.
- 반도체 R&D 정밀점검을 통한 정책적 가시화 및 글로벌 경쟁력 강화를 위한 향후 정책 방향 및 비전을 제시하고자 함.
- 소자/설계/공정 분야별 전략기술뿐만 아니라, 반도체 쏠산업(소자-설계-공정)을 위한 상호연계 세부 기술 및 전략도 제시하고자 함.

(2) 보고서 구성 및 내용

- 본 “미래 반도체 기술개발 로드맵”은 기본방향을 토대로 반도체 가치사슬 중 소자-설계-공정기술의 3대 분야로 구분하고, 각각의 기술적, 산업적, 정책적 특성을 고려하여 핵심 요소기술등을 포함함.

【 미래 반도체 기술개발 로드맵 기본방향 】



- 반도체 분야별 특허분석, 핵심 원천기술 확보를 위한 국내외 정책 및 투자 동향 조사분석, 신사업 기술전망 분석을 바탕으로 반도체 기술분석 및 중·장기 로드맵 제시
- 위와 같이 각 분야별 전략기술에 대한 중·장기적 연구추진 방향성을 제시하기 위한 분야별 기술개요, 기술분석, 산업 및 시장분석 등이 수행되었으며 최종적으로 단계별 기술개발 로드맵 제시

【 분야별 구성 및 세부내용 】

분야별 구성	세부내용
1. 기술 개요	<ul style="list-style-type: none"> • 정의, 범위, 중요성 • 주요 기술 분류
2. 기술 분석	<ul style="list-style-type: none"> • 국내외 기술 현황 • 특허 및 논문 동향 • 기술 수준 및 역량 평가 • 중장기 기술발전 전망
3. 산업 및 시장 분석	<ul style="list-style-type: none"> • 시장 동향 분석 • 산업 동향 분석
4. 핵심 전략기술 및 로드맵	<ul style="list-style-type: none"> • 기술 개발 목표 및 전략 • 전략 기술 후보 : 기술명, 개요, 중요성 • 단계별 기술 개발 로드맵

- 분야별 전략기술에 대한 기술 수준 및 그에 따른 전략기술의 설문조사를 실시해 도출된 기술 분야에 대한 수준을 파악하였음.
- 제안한 기술에 대한 중요성과 국내 기술 수준을 설문조사를 통해 파악하였으며, 경쟁력있는 원천기술 확보를 위한 R&D 사업을 제시하였음.

2. 추진 배경

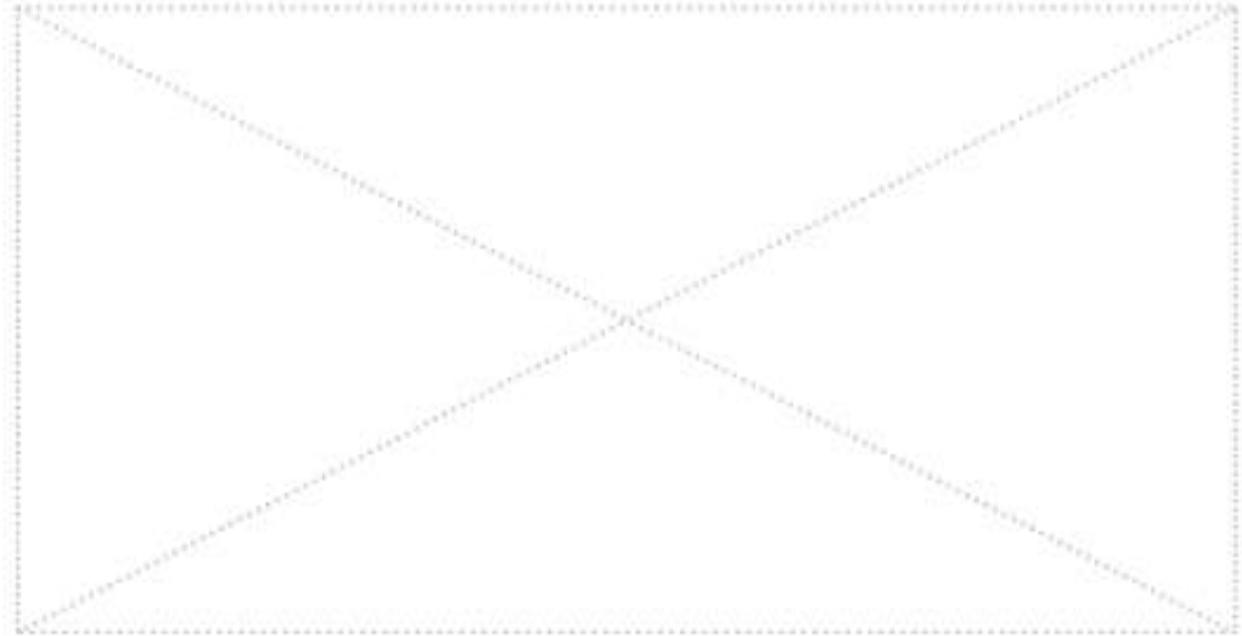
(1) 반도체 기술동향

가) 글로벌 반도체 현황

□ 세계 반도체 시장 규모

- 2022년 세계 반도체 시장규모는 총 5,801억 달러 규모이며, 아시아·태평양 시장은 약 3,361억 달러 규모
 - ('00년) 2,044억\$ → ('22년) 5,801억\$로 10년간 약 284% 성장
 - 최근에는 아시아·태평양이 가장 큰 시장으로 부상하였으며, 연평균성장율(CAGR)이 감소하지 않은 유일한 시장임.

【 세계 반도체 시장 규모 추이 】

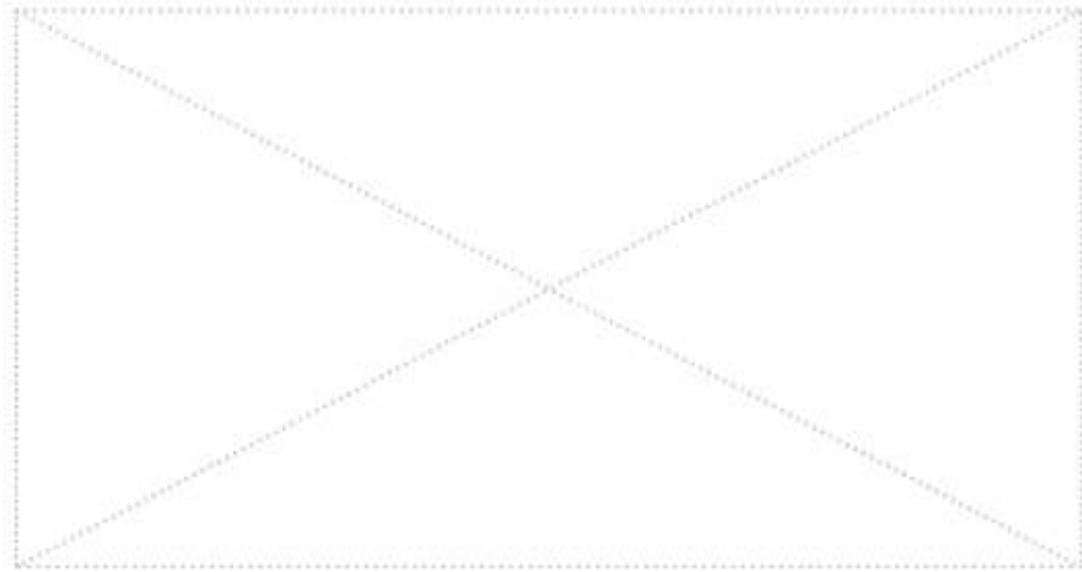


* 출처: WSTS, KOTRA (2022.11)

- 반도체 가치사슬을 부가가치 창출기준으로 정리하면, 연구 집약형 분야(EDA/IP, Logic, 아날로그 회고, 메모리, 제조장비)와 자본·노동집약형 분야(패키징, 테스트), 자본 집약형 분야(소재, 웨이퍼 가공)로 구분할 수 있음.
 - (미국) 설계분야에 강점으로 가지고 있으며, 전체 반도체 산업 부가가치의 약 40%를 차지하는 반도체 산업의 주도 국가
 - (대만, 한국) 전체 반도체 생산 부가가치의 70%를 담당하며, 반도체 공급망 핵심 국가
 - (중국, 대만) 반도체를 수입하여 완제품으로 수출하고 있으며, OSAT 시장의 65%를 중국과 대만이 점유

- (일본) 웨이퍼, PR 등 반도체 소재·재료분야에서 절대우위를 차지

【반도체 가치사슬과 부가가치 창출】

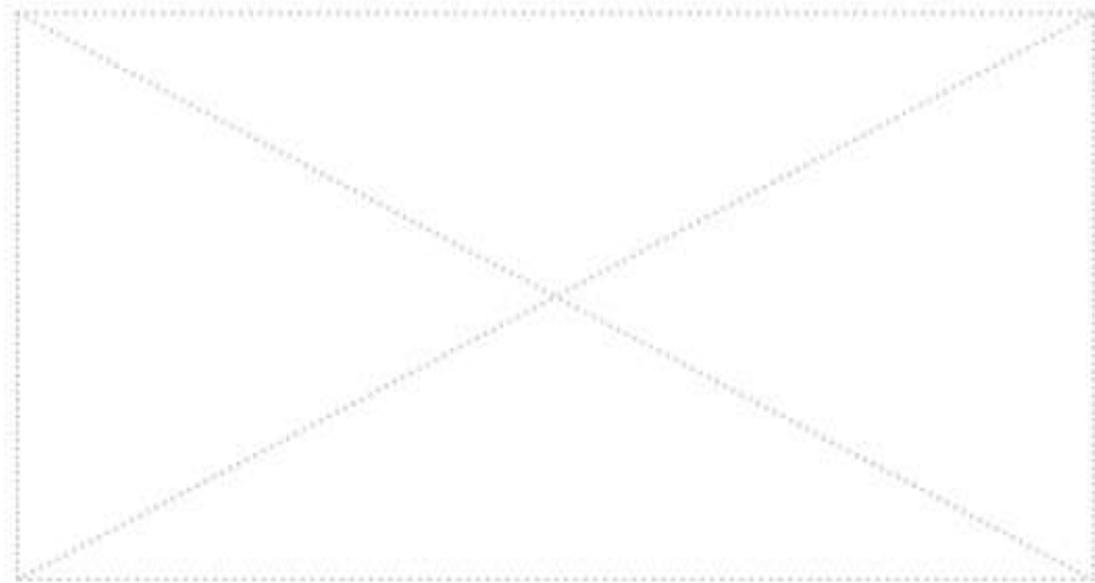


* 출처: STATE OF U.S. SEMICONDUCTOR INDUSTRY, 2022

□ 세계 반도체 기술 현황

- 글로벌 반도체 기업은 지난 수십 년 동안 회로 선폭에 대해 경쟁해왔으며, 공정을 미세화할수록 고효율·저전력 반도체 생산이 가능하여 나노(nm) 단위 프로세서 노드 명칭을 통해 공정 로드맵을 제시
 - 삼성전자와 TSMC가 극자외선(EUV) 노광 장비를 도입해 선폭에 대한 도전을 지속적으로 진행하고 있고, 인텔은 극자외선(EUV) 도입이 늦어져 10나노(nm) 공정 성숙기에 진입
 - 고성능·저전력을 달성하기 위한 기술 경쟁과 더불어 초미세화 한계 도달에 따른 대응 기술에 대한 R&D 투자가 확대

【 반도체 파운드리/패키징 양산 로드맵 】

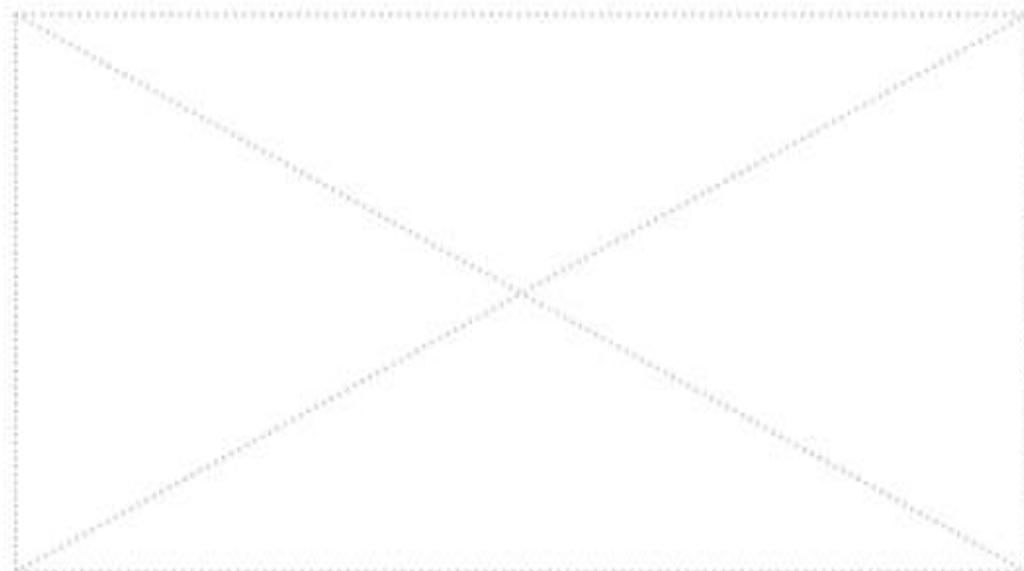


* 출처 : IRDS, Yole Developpement, 2022

□ 세계 반도체 투자계획

- 2022년 기준으로 세계 반도체 투자 계획 규모는 총 5,899.5억 달러 규모로 추정되며, 삼성전자, TSMC, Micron은 약 1,000억 달러 이상 계획함.
- 미국에 대한 글로벌 기업들의 투자규모가 약 3,871억 달러 규모이며, 아시아와 유럽에 대한 투자규모는 각각 1,784억 달러와 244.5억 달러 규모임.

【 글로벌 반도체 기업의 투자계획(2022) 】



* 출처: 차세대지능형반도체사업단, 2022

- 글로벌 반도체 대표기업인 TSMC, 삼성전자, 인텔도 글로벌 투자계획 발표를 통하여 첨단 반도체 기술 선점 및 첨단기술 확보를 통한 시장점유율 확대를 모색함.

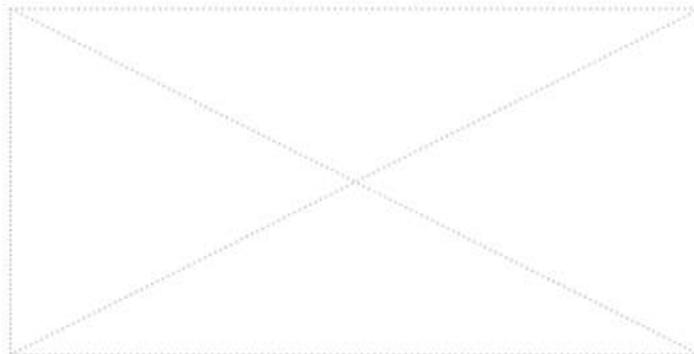
【 글로벌 반도체 Big 3 기업의 투자 행보 】

기업	행보
	<ul style="list-style-type: none"> • 2021년, 차세대 패키지 사업에 30억 4,900만 달러(3조7천억 원)를 투자해 투자 규모로 세계 2위 차지 (YOLE) • (일본) 이바라키현 쓰쿠바시에 소재한 일본 경제산업성 산하 연구기관인 '산업·기술 종합 연구소(AIST)' 내부에 370억 원을 투자해 패키지 연구개발센터를 건설할 계획 • (일본) 40nm공정 반도체 공장 설립(구마모토) 추진 • (대만) 6나노·7나노 첨단공장 건설(가오슝) 계획
	<ul style="list-style-type: none"> • 2021년, 차세대 패키지 사업에 20억 달러(2조4천억 원)를 투자해 투자 규모로 대만 ASE그룹에 이어 세계 4위 차지 (YOLE) • 반도체 미래 먹거리(반도체, 바이오, 신성장IT) 분야 향후 5년간 450조원 투자(22.05.24) • 반도체 패키지 기관에 3000억원 추가 투자(22.06.22)
	<ul style="list-style-type: none"> • 2021년, 차세대 패키지 사업에 35억 달러(4조2556억 원)를 투자해 투자 규모로 세계 1위 (Yole) • 미국 뉴멕시코주의 공장 개선을 통한 후공정 인프라 증설에 약 35억 달러 투자 계획 발표 ('21. 5) • 아시아와 유럽에서도 반도체 패키지 생산라인 건설 계획 발표 • 말레이시아 투자진흥청(MIDA)은 인텔이 말레이시아 페낭 지역에 300억 링깃(약 8조 4,000억 원)을 들여 반도체 패키지 공장을 건설할 방침이라고 발표 ('21. 12) • 인텔이 향후 10년간 유럽에 800억 유로의 투자를 하겠다고 밝힌 가운데, 이탈리아에 최대 80억 유로(약 10조 7,652억 원) 규모의 첨단 반도체 패키지 공장을 조성할 계획

* 출처: 각종 언론자료 정리

- 국가별 반도체 매출 대비 R&D 투자비율은 미국이 16.9%로 가장 높으며, 중국 12.7%, 일본 11.5%, 대만 11.3% 수준임. 우리나라는 8.1% 수준으로 R&D 투자비율을 개선 전략 필요
- R&D 정부지원율은 OECD 기업 규모별 R&D 비중과 기업별 정부지원율(세금지원 +보조금 등)을 통합 산출되었으며, 우리나라가 G5 평균보다 낮은 비율을 나타냄.

【 국가별 반도체 매출 대비 R&D 투자비율과 R&D 정부지원율 】



<반도체 매출 대비 R&D 투자비율>

<R&D 정부지원율>

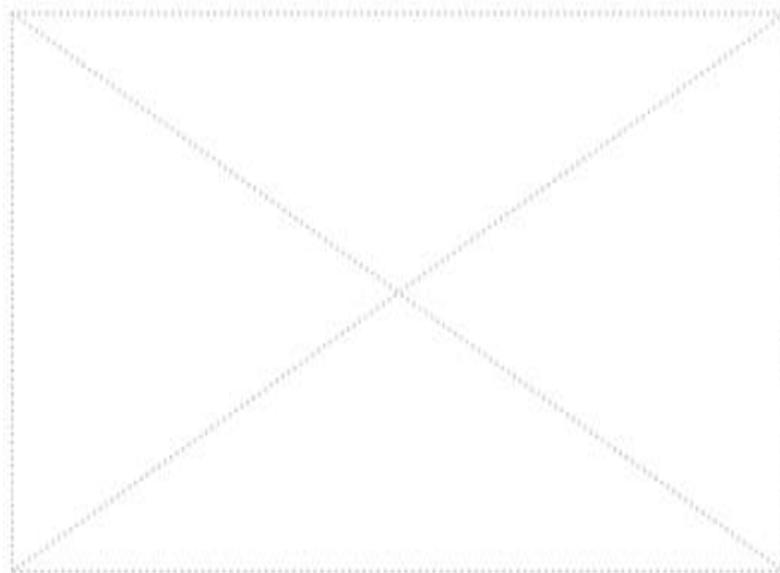
* 출처: IC인사이드(좌), 전경련(우), 2021

나) 국내 반도체 현황

국내 반도체 수출 규모

- 반도체는 2013년 이후 국내 10대 수출품목중 1위를 지켜오고 있는 국가 핵심전략산업이며, 2021년에는 1,279억 달러를 수출하여 역대 최대치를 갱신했.
- 1996년 이후 무역통계에서 반도체는 2004년과 2007~2009년, 2011~2012년을 제외하고 부동의 1위를 지켜옴.
- 반도체는 총 수출액 대비 비중도 2013년 10%를 기록한 이후, 지속적으로 증가하여 현재 20% 수준에 육박함.

【 국내 반도체 수출 규모 추이 】

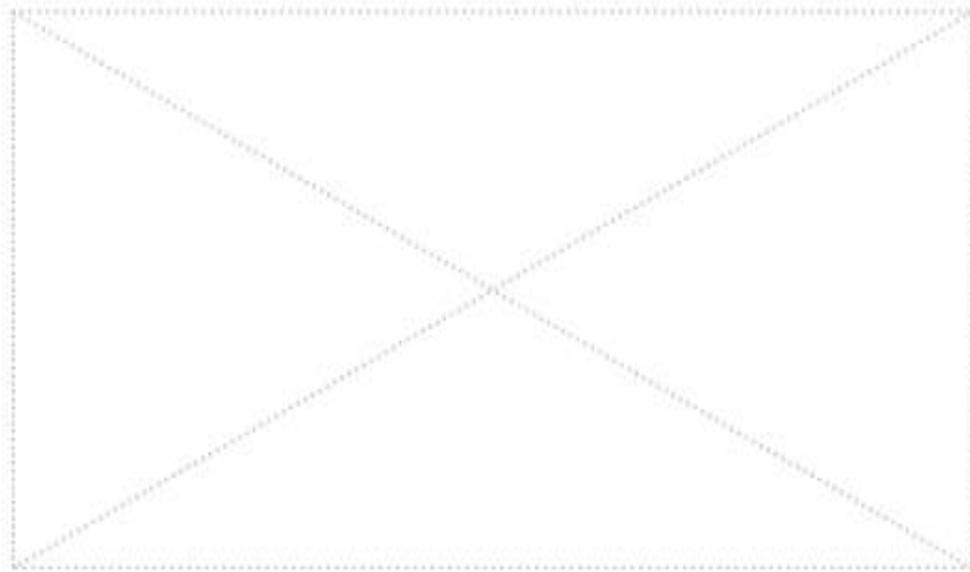


* 출처: 관세청(2022.10)

□ 국내 반도체 투자 규모

- 개별 과제 기준 최근 6년('17년~'22년) 반도체 분야 R&D 총 투자액은 약 3.2조원 규모로 과학기술정보통신부 중심(60% 비중)으로 추진
- 반도체 분야 국가 R&D는 과학기술정보통신부, 산업통상자원부, 교육부, 중소벤처기업부 순으로 투자를 진행하고 있음.

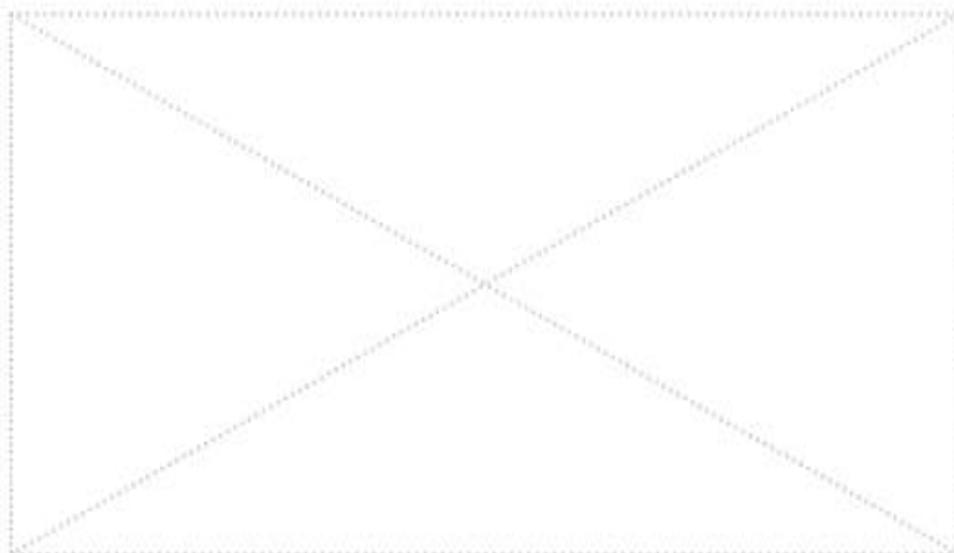
【 2017~2022 반도체 분야 정부 R&D 투자현황 】



* 출처: NTIS, 2023

- 2010년 초반 IDM 중심의 민간 연구개발 역할만을 강조함에 따라 국가 연구개발은 일시 약화되었으나, 최근 반도체 분야의 대형 연구개발사업 추진 등을 통하여 많은 연구지원 재개
- 반도체 분야 공공 R&D 투자규모는 2020년부터 차세대지능형반도체기술개발사업을 필두로 반도체 분야 중·대형 국가 R&D 사업 추진으로 증가추세를 보임.

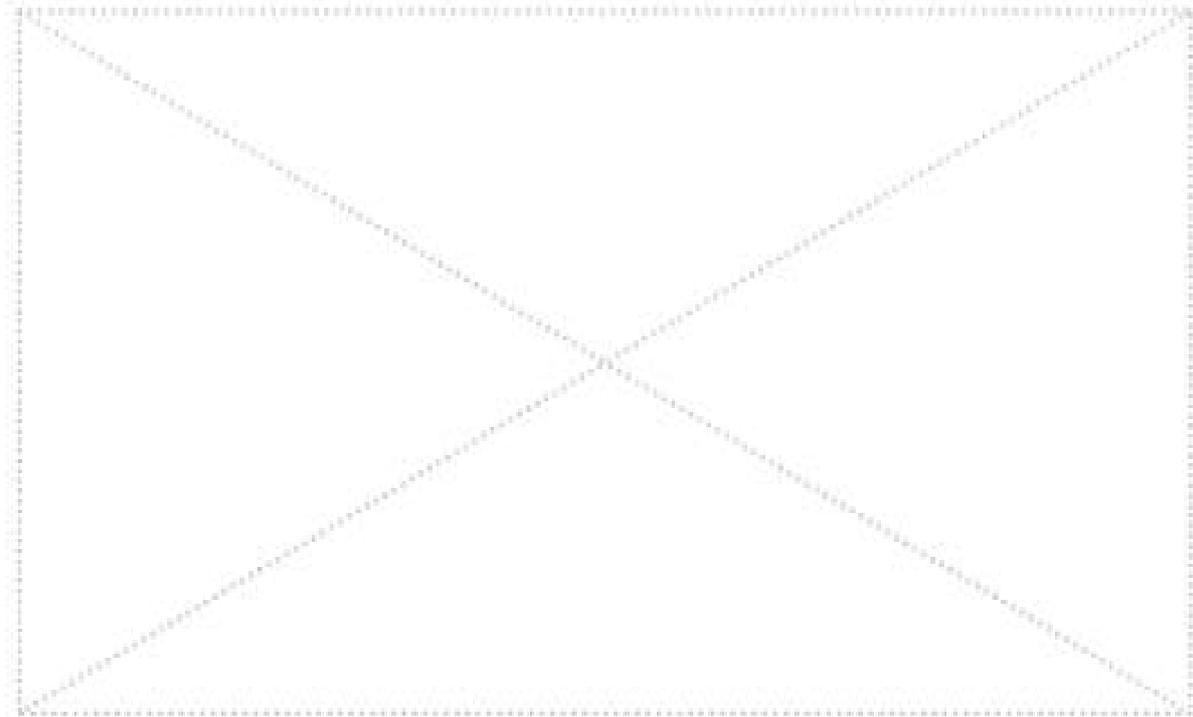
【 반도체 분야 국책 R&D사업 변천사 】



* 출처 : 반도체 R&D 성과점검 및 향후 정책방향(과학기술정보통신부, 2021.11)

- 과학기술정보통신부와 산업통상자원부 중심으로 반도체 분야 중대형 과제들을 추진하고 있으며, 차별화된 선도기술을 확보하여 향후 지속가능한 산업생태계 조성을 추진

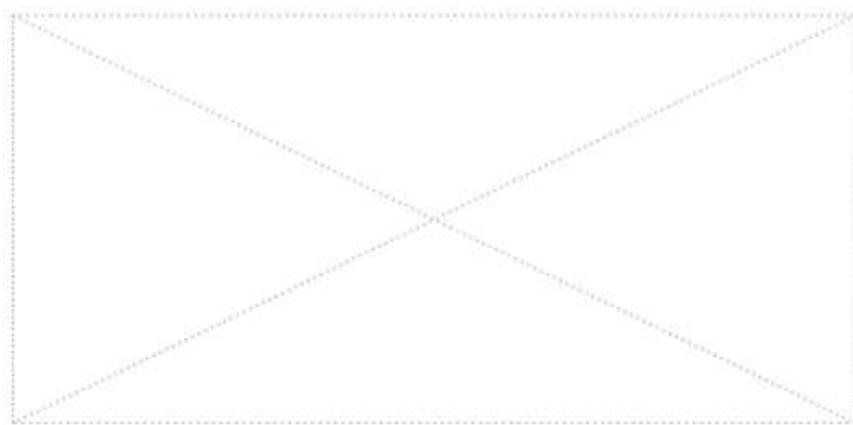
【반도체 분야 대형 국책 R&D사업 투자계획】



* 출처 : 부처별 사업추진 계획 편집, 2022

- 반도체 기술 중 메모리 기술은 세계 최고 수준의 기술력을 보유 중이나, 시스템 반도체 등 그 밖의 분야는 글로벌 선진국 대비 기술 열위 상태
 - 기술 수준은 선진국 대비 기반 기술이 약하며, 기술 수준이 79~90%로 조사되었으나 반도체의 종합적인 가치사슬 및 기술의 고도화에 따라 소자 기업의 국내 기술채택이 점점 어려워지고 있어 미래기술 분석 및 전략에 대한 준비가 필요

【반도체 분야별 선진국 대비 기술수준】



구분	기술수준	
	'18	'20
공정 및 장비 ·소재 기술	94	90
소자 및 SoC 설계·제작	85	85
빅데이터 분석 및 활용	70	79
인공지능 공통 플랫폼	80	80

* 출처: 전경련(左)·과기자문회의(右), 2021

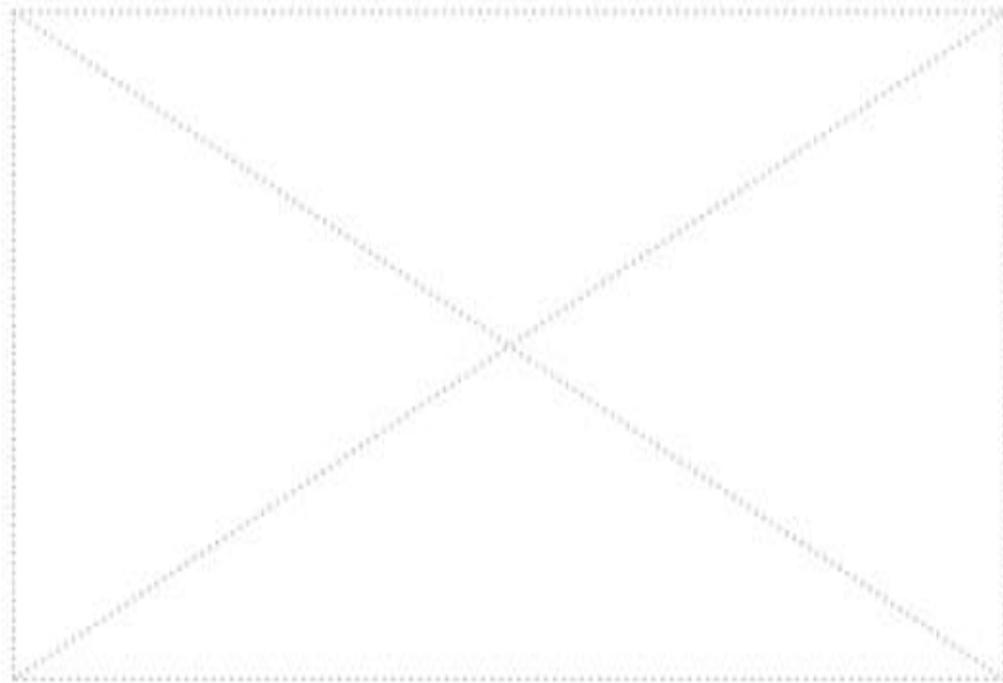
(2) 반도체 산업동향

가) 국내외 반도체 산업 정책

□ 글로벌 반도체 산업정책

- 미·중 갈등과 우크라이나 전쟁 등으로 반도체 공급망이 위협받으며, 국가별 공급망 내재화 추진
 - (미국) 미국 혁신과 경쟁법안('21.06) 및 반도체와 과학법안('22.08) 등 자국내 반도체 제조 기반강화를 위한 강력한 지원 추진
 - (대만) AI 반도체 제조공정 및 칩 시스템 R&D 프로젝트('21.04) 등 반도체 제조 기술력 격차를 유지하기 위하여 자국 반도체 산업지원 강화
 - (일본) 반도체-디지털 산업전략('21.06) 등 반도체 산업 부활을 위하여 해외 기업 유치 및 공동연구를 통한 2nm 반도체 제조 기술 개발 추진
 - (유럽) 유럽 반도체법('22.02) 등을 통한 반도체 기술 및 반도체 제조시설 투자 강화

【 글로벌 반도체 산업 정책 현황 】

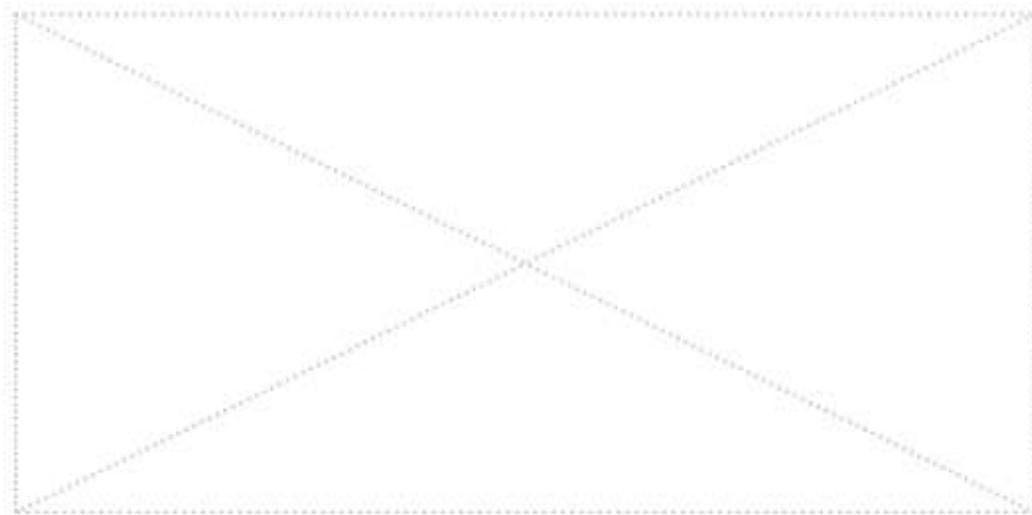


* 출처: 각국 정책발표자료 편집, 2022

□ 국내 반도체 산업정책

- 국제 경쟁력을 갖도록 반도체 지원을 위한 다양한 정부 정책 및 입법 추진
 - ('21) 미·중 글로벌 패권전쟁 심화에 따른 글로벌 반도체 공급망 붕괴에 대응하기 위하여 반도체 분야에 대한 범부처 정책 및 부처별 특성화 전략 추진
 - ('22) 세계 각국의 반도체 첨단기술 경쟁에 대응하기 위하여 '국가첨단전략산업법'('22.8) 시행 및 '12대 국가전략기술 육성방안'('22.10) 발표

【 12대 국가전략기술 육성방안 】



* 출처: 국가과학기술자문회의(2022.10)

(3) 반도체 정책동향

가) 국내외 정책 환경

□ 글로벌 정책 환경

- (공급망 강화 및 R&D 확대를 위한 국가 차원의 지원) 반도체의 경제적·안보적 중요성으로 주요 국가별로 대규모 투자와 기업 지원방안 마련 등 글로벌 반도체 新패권경쟁 격화로 각국의 반도체 분야 정책지원이 강화됨.

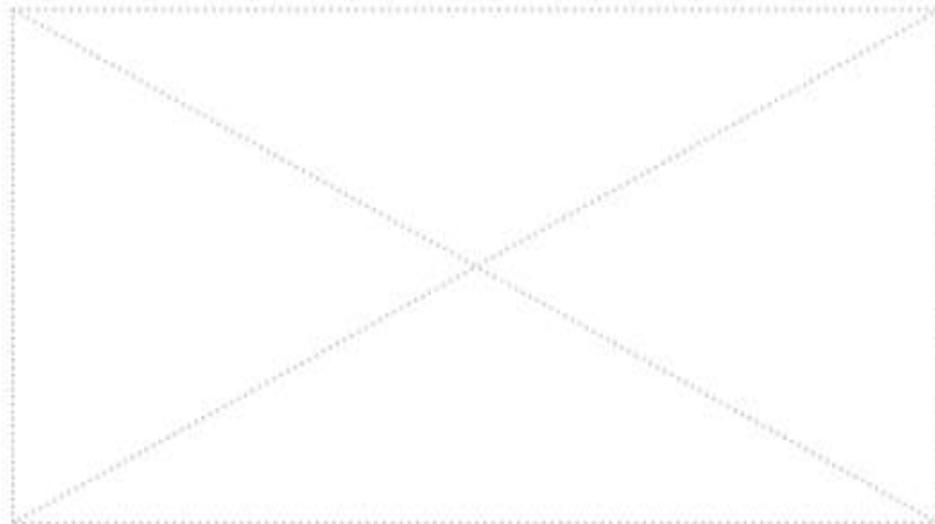
【 주요 국가별 정책 동향 】

국 가	주요 동향 요약
 <p>미국</p>	<ul style="list-style-type: none"> ▶ Chips for America Act, American Foundries Act, 국가반도체기술센터 설립 ▶ 반도체산업 투자비의 40% 세액 공제 계류 및 인프라R&D에 228억 달러 지원 ▶ 인텔 파운드리 진출 선언 및 파운드리 공장 증설에 200억 달러(약 22조원) 투자
 <p>중국</p>	<ul style="list-style-type: none"> ▶ 반도체 굴기를 위한 집적회로산업 발전추진 요강('14), 중국제조 2025('15) ▶ '25년 반도체 자급률 목표 70%로 수립하고 1조 위안(약 170조원) 지원 ▶ 14차 5개년 경제계획('21~'25)에 고부가가치 반도체 산업 육성 포함
 <p>유럽</p>	<ul style="list-style-type: none"> ▶ EU 집행위원회는 '2030 Digital Compass' 발표(반도체 점유율 10%→20% 목표) ▶ 반도체 기술개발 위한 투자 전략 수립(영국) ▶ 반도체 장비 관련 기술 개발을 위한 투자 및 지원 전략 구축(네덜란드)
 <p>대만</p>	<ul style="list-style-type: none"> ▶ '30년 반도체 생산액 5조 대만달러 도달 목표로 소재·장비의 국산화를 지원 ▶ '21년 TSMC를 중심으로 275억 달러(약 31조원) 시설투자 ▶ 행정원 각료회의에서 대만 반도체 제조 우위 유지를 위한 지원책 발표('21)
 <p>일본</p>	<ul style="list-style-type: none"> ▶ 반도체 경쟁력 회복을 위해 경제산업성 주도 '반도체 전략' 발표('21) ▶ TSMC의 R&D 센터 및 생산공장의 자국 내 유치 등 파운드리와 협력 모색 ▶ 첨단 반도체 연구개발 및 국내 제조 환경 조성을 위한 민관 공동사업체 구축

□ 국내 정책 환경

- K-반도체 전략('21.5)과 첨단전략산업 특별법('22.1)으로 반도체 산업 육성을 위한 전방위적 전략 방향과 법·제도적 기반 마련
 - ①반도체 공급망 안정화를 위한 K-반도체 벨트 조성, ②반도체 제조 중심지 도약을 위한 인프라 지원 확대, ③인력·시장·기술 확보를 위한 반도체 성장기반 강화, ④국내 산업생태계 보호를 위한 반도체 위기대응력 제고 추진
- 반도체 연구개발 생태계 및 기반(인프라) 확충방안('21.11)으로 반도체 연구생태계 활성화 및 중·장기적 국가기술경쟁력 강화
 - ①연구개발 투자전략 및 기술개발로드맵 수립, ②산·학·연 역할분담 강화 및 공동연구 지원, ③우수교육모델 발굴·공유확산, ④국가나노기반협의체 확대·운영
- 인공지능 반도체 산업 성장 지원대책('22.06)으로 인공지능반도체 글로벌 시장 선점 및 시스템반도체전반의 경쟁력 강화
 - ①인공지능 반도체 초격차 기술력 확보, ②국산 인공지능 반도체 초기 시장수요 창출, ③대기업 참여 산학연 협력 생태계 조성, ④인공지능 반도체 전문인력 7,000명 양성

【 국내 반도체 정책 현황 】



* 출처: 부처 발표자료 정리, 2023

(4) 국내 기술로드맵 현황

가) 반도체 기술로드맵 현황

□ 반도체 기술로드맵 현황

- 국제 반도체 기술로드맵인 ITRS가 종료(~'15)되고, 반도체 부품·시스템으로 확장한 IRDS(IEEE,'16~)와 이종집적기술 중심의 HIR(SEMI,'16~)로 재편되

어 기술로드맵 주도

【 국제 반도체 기술로드맵 현황 】



* 출처: 각 기관 발표자료 정리, 2022

- ITRS(International Technology Roadmap for Semiconductors) : 미국 반도체산업 협회(SIA)를 주축으로 1993년 형성된 국가반도체기술로드맵(NTRS)의 확장 조직 임. 1998년 일본, 한국, 대만, 유럽이 참여하면서 미국뿐 아니라 범국가적 반도체 기술 로드맵으로 격상됐으나, 2015년 5월 발간한 'ITRS 2.0' 보고서를 마지막으로 활동을 종료함.
- IRDS(International Roadmap for Devices and Systems) : 활동을 마친 국제반도체 기술로드맵(ITRS) 뒤를 이어 국제전기전자기술자협회(IEEE)를 주축으로 이뤄진 국제 디바이스·시스템 기술연구 및 로드맵을 제시하는 단체
- HIR(Heterogeneous Integration Roadmap) : IEEE Electronics Packaging Society (EPS)와 SEMI, IEEE Electron Devices Society (EDS), IEEE Photonics Society and the ASME EPPD Division이 연계하여, 이종집적 기술에 대한 로드맵을 제시

□ 국내 기술 로드맵 현황

- 전략적 중장기 목표를 달성하기 위해 기술로드맵은 이정표 역할을 하여, 국가 기술 전략 수립의 바탕이 되고 기술개발 투자 결정의 안내지도 역할 등을 수행
- 기술로드맵은 국내외적으로 폭넓게 활용되며 국가적으로 부처, 공공부문에서도 기술 로드맵이 수립되어왔으며, 과학기술정보통신부, 산업통상자원부, 중소벤처기업부 등 부처에서 추진하는 기술로드맵 현황은 다음과 같음.

【 국가 R&D 기술로드맵 현황 】

부처	로드맵	개요
과학기술 정보통신부	ICT R&D 기술로드맵	-향후 5년간 차세대 통신, 인공지능, 양자정보통신 등 15개 ICT R&D 분야 육성 이정표 제시
	국가나노 기술지도	-‘나노기술개발촉진법’에 따라 매 5년마다 향후 10년의 나노기술 로드맵 수립
산업통상 자원부	산업기술 로드맵	-‘5대 신산업 선도 프로젝트’와 ‘신산업별 발전전략’ 산업기술 R&D 혁신방안’을 구체적으로 이행하기 위한 중장기 기술개발 계획
	소재부품 R&D 전략	-‘소재·부품 발전 기본 계획’에 의한 100대 첨단 신소재·부품 핵심기술 테마 구체화
중소벤처 기업부	중소기업 기술로드맵	-매년 중소기업이 3년간의 상용화 R&D로 조기에 제품을 출시하고, 시장에 진출할 수 있는 기술개발테마 제시

- 기존 기술로드맵은 국가 원천기술 전반에 대한 내용을 기술함으로써, 반도체 분야 핵심기술에 대한 전략 및 추진 방향성이 부재한 상황

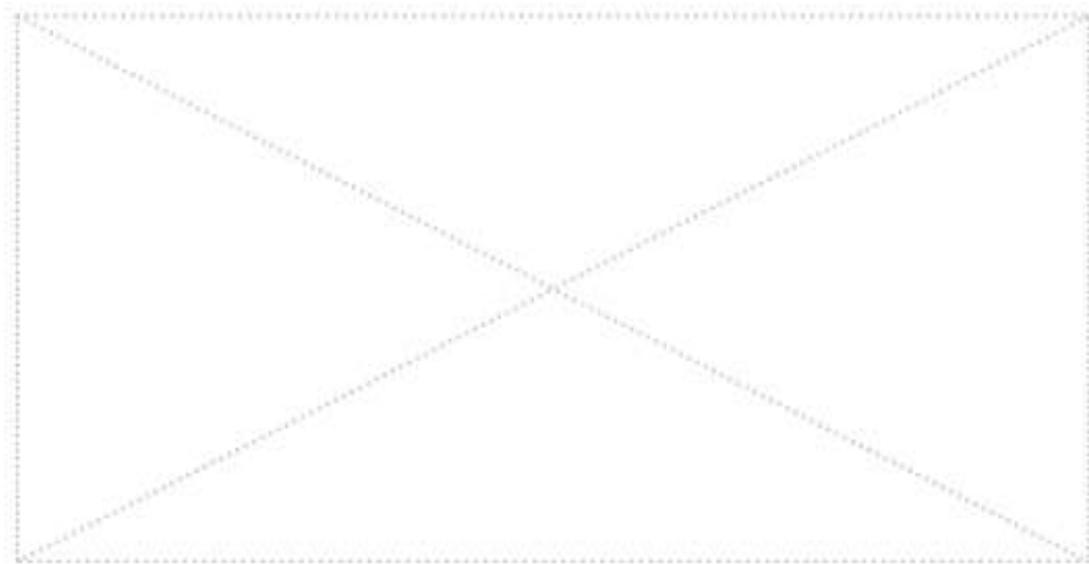
3. 추진 전략 및 향후 계획

(1) 중점 추진전략 및 차별성

□ 미래 반도체 기술개발 로드맵의 비전 및 목표

- 미래 반도체 기술개발의 중장기적 超격차 전략기술 육성을 위해 소자·설계·공정 핵심기술에 대한 국가 차원 로드맵 도출
 - 반도체 분야의 핵심 기술에 대한 중·장기적 연구 추진 방향성 제시
 - 소자/설계/공정 분야에 대한 7년 이상 중장기 기술로드맵 및 핵심전략기술 도출
 - 소자/설계/공정 전략기술 상호연계를 위한 Bridge 전략 도출

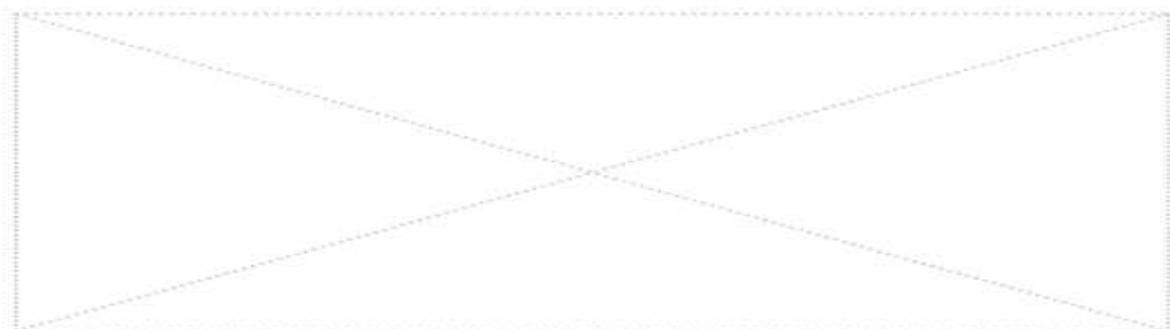
【 미래 반도체 기술개발 로드맵의 비전 및 목표 】



□ 중점 추진전략 및 차별성

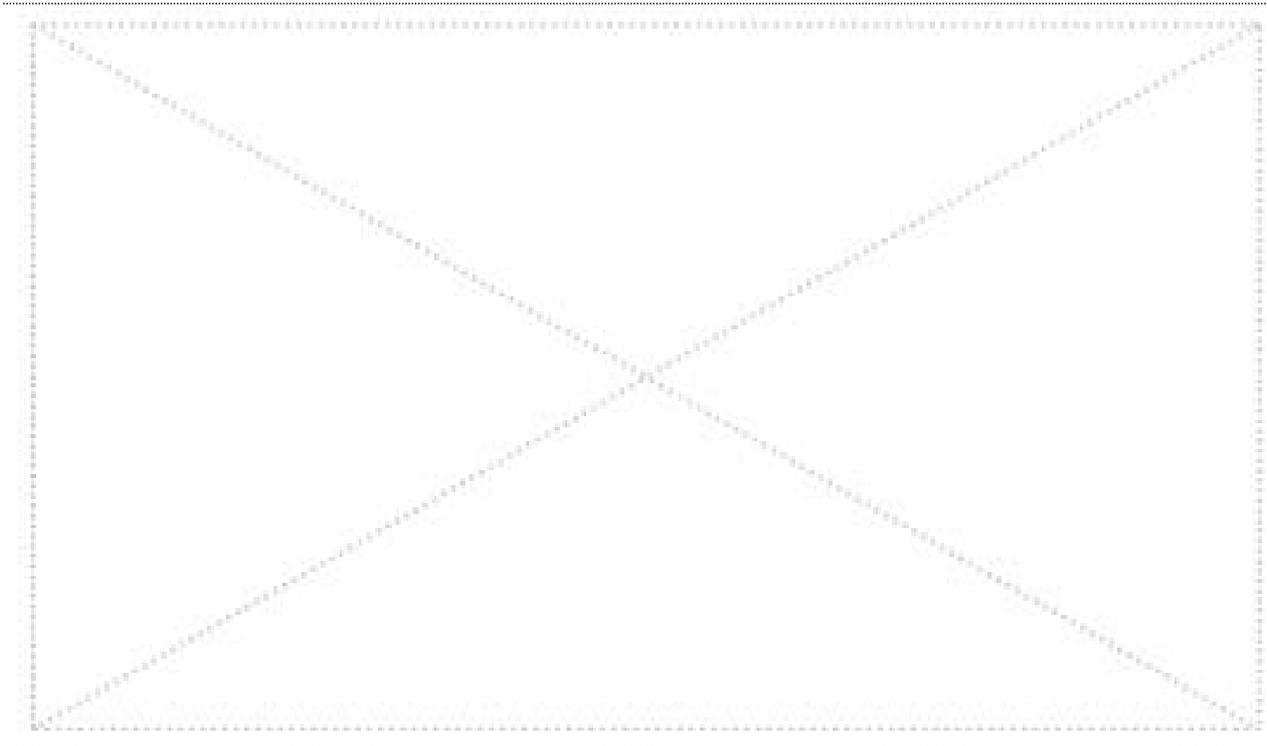
- 국내외 반도체 기술을 분석하여 글로벌 연구를 지향하는 ‘기술 추격’ 및 ‘탈추격·선도형 혁신’ 국가연구개발사업 방향을 제시

【 미래 반도체 기술개발 로드맵 도출 프로세스 】

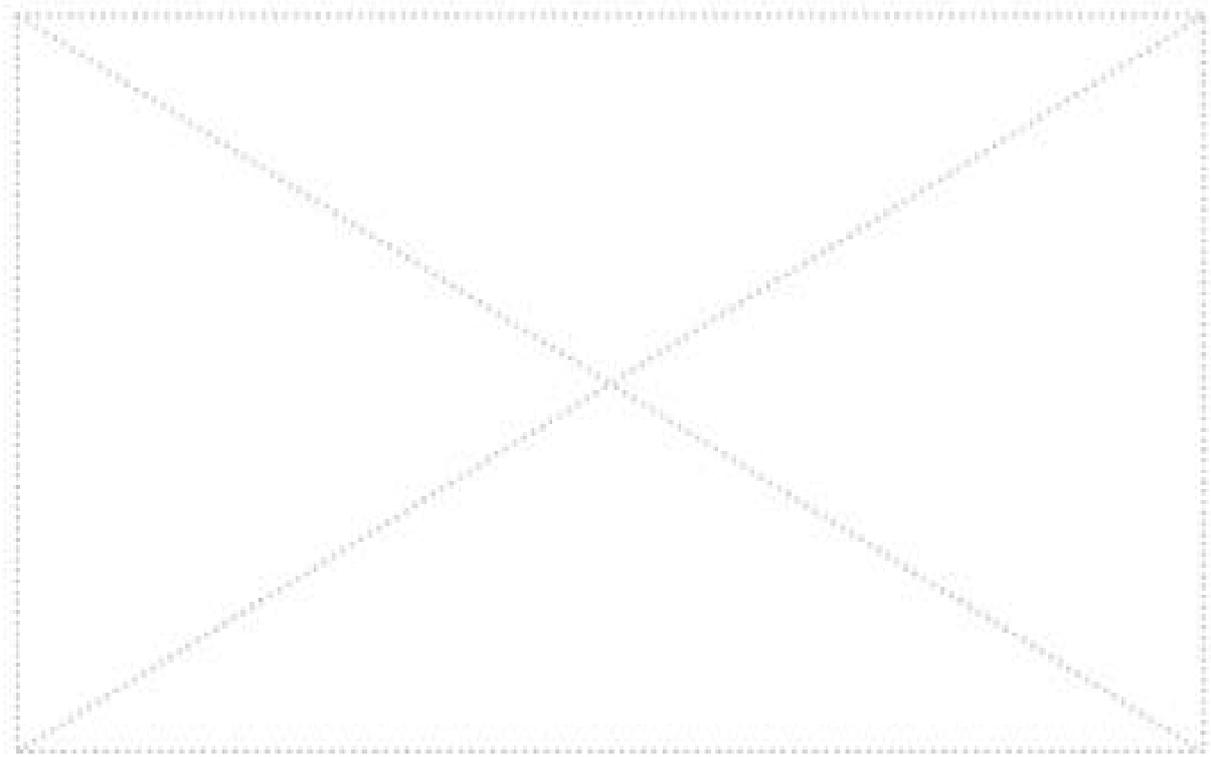


- 본 “미래 반도체 기술개발 로드맵”은 분야별 핵심전략기술로 차별성을 확보
 - 국내 공정기술은 세계 최고 수준인 반면 설계 기술이 미흡한 실정이며, 반도체 분야 전략적 핵심/원천 기술에 대한 로드맵 제시
 - 반도체 소자/설계/공정 통합된 거버넌스 체계 구축을 위한 로드맵 제시
 - (소자) 신소자 3대 주요 분야인 강유전체, 자성체, 멤리스터 기술에 대하여 요소기술 분석 및 전략기술 도출
 - (설계) 6대 디지털 혁신기술* 중 인공지능 반도체와 6G 이동통신 반도체 기술에 대하여 요소기술 분석 및 전략기술 도출
 - * 인공지능, 인공지능반도체, 5·6세대(5G·6G), 양자, 메타버스, 사이버보안 등 6개 분야
 - (공정) 前공정 미세화를 위한 제조·공정기술 및 반도체 생산 효율 개선을 위한 첨단 패키징 공정·장비·소재 기술개발에 대한 요소기술 분석 및 전략기술 도출
 - 국가 R&D 기술로드맵 중 반도체 분야 로드맵 부재로 인해 본 ‘미래 반도체 기술개발 로드맵’ 제시

【 미래 반도체 기술개발 로드맵 추진분야 】



- 소자-설계-공정 분과, 7개 그룹에서 총 56개 요소기술 분류 및 검토
 - 반도체 3대 분야의 기술분류를 통하여 우선적으로 검토가 필요한 56개 요소기술을 선별하고, 그룹별 전략기술 및 상호연계를 위한 Bridge 전략기술 등 핵심전략기술 도출

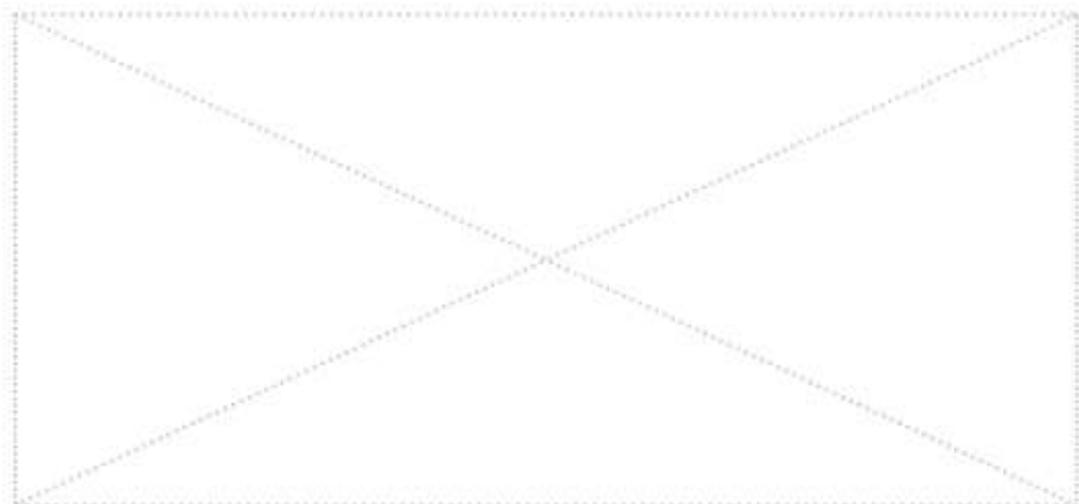


(2) 미래 반도체 기술개발 로드맵의 활용

가) 활용방안

- 본 “미래 반도체 기술개발 로드맵”은 중장기 기술개발 전략 및 중점 투자분야를 기반으로 범부처 R&D 사업 기획

【 미래 반도체 기술로드맵 추진단계 】



- 로드맵은 크게 4단계로 구분하며, 신규 단계진입 전 단계별 목표추진을 위한 전략 수정·검토
- 「국가전략기술 육성방안」 및 「국가첨단전략산업법」과 연계한 민·관 거버넌스를 구축하고, 기술표준화 연계 등을 통하여 본 로드맵을 확장 및 최적화 하고자 함.
- 대학과 연구소에는 중점 연구 방향성을 제시함으로써 연구개발 포트폴리오의 구체화 근거로 활용
- 중소·중견기업에게는 미래 먹거리에 대한 기술혁신 및 연구개발의 전략 수립 지원 및 참고자료로 활용
- 미래 반도체 핵심 원천기술 아이টে을 발굴함으로써 국내 IDM 업체 및 파운드리외의 관심 및 참여 유도할 수 있는 참고자료로 활용
- 정부의 반도체 분야 연구개발 지원 방향을 설정하는 길라잡이 역할

II. 신소자 분과

1. 자성체 소자 기술

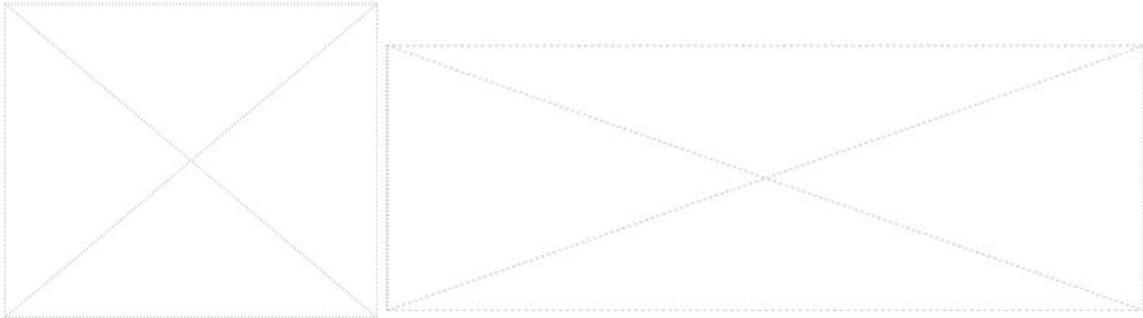
(1) 기술 개요

□ 기술의 정의

- (정의) 자성(Magnetic) 소재*를 포함하는 소자로서, 전류·전압에 의한 자화 방향을 이용해 정보를 저장하거나 처리하는 차세대 소자

* 강자성체, 반강자성체, 준강자성체 등의 금속 물질

【 STT, SOT, VCMA MRAM의 단위소자 개략도 】



- (특징) DRAM 대비 비휘발성에 따른 저전력 소비, NAND 대비 고속으로 정보처리하면서도 DRAM, NAND처럼 고집적화 구현이 가능하고 現 반도체 공정 라인을 활용할 수 있어 시장성이 높음

【 자성체 소자와 기존 주요 메모리 비교 】

구분	DRAM	NAND FLASH	자성체 소자
메모리 유지	휘발성	비휘발성	비휘발성
정보처리 속도	중간	느림	빠름
집적도	높음	높음	중간
복잡성	낮음	낮음	높음

- 넓은 작동온도 범위, 뛰어난 방사선 내성, 높은 내구성 등으로 모빌리티, 산업 자동화, 우주·항공 등 활용분야가 다양

- 자성소자가 시냅스 역할을 하여 향후 인-메모리 소자 및 뉴로모픽 소자 등 차세대 지능형 반도체 소자로 확장 가능

- (한계) 복잡한 단위소자 구조로 인해 現 양산 수준에서 경제성이 낮아 범용적으로 활용되기 어려운 측면이 존재

- (의의) 자성체가 향후 상용화될 수 있기 위해 SOT/STT MRAM, VCMA MRAM, MTJ 기반 컴퓨팅 소자 등의 핵심 원천기술 확보가 필요

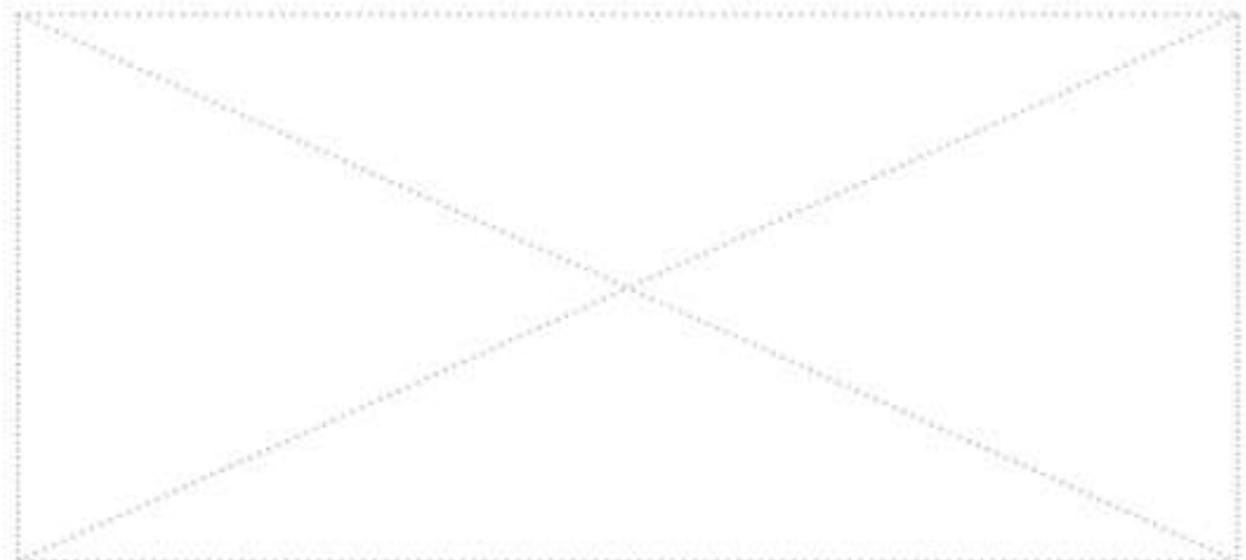
- (소재) 기존 강자성체 물성의 근본적 한계로 새로운 소재에 대한 연구개발이 중요하고, 이를 통해 現 기술의 단점인 에러율 개선
- (SOT/STT) 자화방향 제어의 효율을 높이기 위해 신물질 관련 연구개발이 필요하며 메모리, 양자컴퓨팅, 암호화 소자로 활용가능
- (VCMA) 효율 및 구동 속도를 높이는 방향으로 연구가 필요하고 에너지 효율이 기존 메모리를 상회할 수 있는 가장 유력한 방법
- (MTJ 기반 컴퓨팅) MTJ는 연산이 가능한 소자로 1차원/2차원 정보전달 소자 개발 및 추가 연구를 통해 확률론적 컴퓨팅이 가능

□ 기술의 필요성

○ 전류 구동 기반 자기메모리 (STT, SOT-MRAM)

- 초기 자기장에 의해 기록되는 toggle MRAM이 양산되었으나, 자기장 기록방식의 경우 고밀도화에 따라 기록 전류가 증가하는 문제로 인해 큰 시장을 창출하지 못하였음.
- STT MRAM은 고밀도화에 따라 기록 전류가 감소하는 특성으로 인해 2019년 국내 반도체 업체에 의해 양산이 시작되었고, 현재 차세대 기술로 SOT MRAM에 대한 연구가 진행 중임.
- 아래 표에 STT/SOT MRAM과 기존 SRAM/DRAM/Flash의 장단점을 비교하였음.

【 MRAM과 기존 메모리 비교 】



- 2022년 기술 수준을 고려해볼 때, MRAM은 구동 속도의 경우 SRAM에 비해 열세이고, 밀도의 경우 DRAM에 비해 열세라는 단점을 갖고 있음. 따라서 MRAM 시장 확대를 위해서는 현재 수준 대비 구동속도를 높이거나(SRAM 시장 진입), 고밀도화가 필요함. (DRAM 시장 진입)
- 현재 R&D 단계에 있는 SOT MRAM은 구동속도에서 장점이 있어 SRAM향으로 개발

중임.

- 위 표에서와 같이 STT MRAM은 구동속도와 밀도 모두 평균 이상의 특성을 가지고 있어 타 메모리 대비 전반적인 특성이 우수하고 비휘발성을 함께 가지고 있다는 장점이 있음.

○ 전압 구동 기반 자기메모리 (VCMA-MRAM)

- 전류 구동 기반 MRAM의 경우, 2022년 기준으로 DRAM과 비슷한 비트당 100fJ의 기록 에너지를 가지는 수준까지 기술이 발전하였음.
- 일반적으로 전하이동 방식과 산소이온 이동방식 두 가지 형태의 VCMA가 보고되어왔는데, 산소이온 이동방식의 경우 수십~수백 μ 초 이상의 느린 속도가 문제가 되었음.
- VCMA 기반 MRAM의 경우, 전압에 의한 원자 내에 전자가 공간적으로 분포하는 방식을 전압으로 바꾸는 원리를 이용한 것으로 이론상 기존 소자 대비 약 1000배 낮은 기록 에너지를 갖는 소자를 구현할 것으로 예측됨.
- 특히 VCMA와 STT 혹은 SOT를 동시에 이용하는 하이브리드 방식의 소자도 제안이 되고 있는 등, 소자 동작 에너지를 최소화하는데 중요한 개발 방향이 될 수 있음.

○ MTJ 기반 비메모리(PIM 포함)

- 현재 양산 중인 STT MRAM과 동일한 MTJ 구조의 미세조정을 통해 논리연산, 확률적 스위칭 등이 가능
- 동일 stack을 갖는 wafer에서 부분적인 회로변경을 통해 STT MRAM과 magnetic logic을 동시에 구현할 수 있어 PIM에 적용 가능
- STT 혹은 SOT에 의한 자화스위칭이 확률적이기 때문에, 최근 양자컴퓨팅으로 가기 위한 중간단계로 인식되고 있는 확률비트(p-bit)용 기본구조로 사용 가능
- 확률적 스위칭을 활용하여 진난수를 발생시킴으로써 보안소자에 적용 가능
- 이상의 다양한 비메모리 응용을 현재 양산기술이 충분히 축적된 동일한 MTJ 구조로 구현할 수 있기 때문에, 연구개발 시간을 단축시키는 것이 가능

나) 주요기술 분류(Technology Tree)

【 자성체 소자 주요 기술 분류 】

중분류	소분류	요소기술
STT-MRAM 공정기술	저전력 소자 및 공정기술	<ul style="list-style-type: none"> • 낮은 감쇄상수를 갖는 강자성체 소재/박막 기술 • 스핀분극향상을 위한 강자성체 소재/박막 기술
	고신뢰소자 및 공정기술	<ul style="list-style-type: none"> • 쓰기 에러비율 감소를 위한 공정/박막 기술 • 높은 TMR을 위한 소재/박막 기술
SOT-MRAM 공정기술	저전력 소자 및 공정기술	• 높은 스핀 홀 효과를 갖는 소재/박막기술
	고신뢰 소자 및 공정기술	• 쓰기 에러비율 감소를 위한 공정/박막 기술
VCMA-MRAM 기술	저전력 소자 및 공정기술	• VCMA 효과가 큰 소재/박막 기술
	고신뢰 소자 및 공정기술	• 스위칭 속도 향상을 위한 소재/박막 기술
MTJ 기반 컴퓨팅 소자 기술	확률론적 컴퓨팅	<ul style="list-style-type: none"> • 알고리즘 개발 및 응용 기술 • stochastic MTJ 공정기술
	지능형 소자	<ul style="list-style-type: none"> • 8bit 이상의 멀티레벨이 가능한 접합구조 소재 기술 • 2단자 혹은 3단자 기반 in-memory 회로 구현을 위한 공정 기술
	암호화 소자	• 스핀-케도 토크를 이용한 난수 발생 기술
	스핀파 소자	• 스핀파 검출 신호 강화 기술, 스핀파 신호 변화 기술

(2) 기술 분석

가) 국내·외 기술 현황

□ 주요 기술에 대한 국내외 기술 동향

○ STT MRAM

- 1990년대 중반에 2-terminal 구조로 개념이 제안되어 현재 일부 상용화 됨.
- Global foundries (미국)에서 22nm embedded-STT으로 IOT등 각종 응용분야에 공급
- Cornell대 (미국), Tohoku대 (일본), CNRS (프랑스) 등에서 TMR 향상, 스위칭 전류저감, 열적 안정성 개선 등에 중점을 두고 연구를 진행하고 있음.

○ SOT MRAM

- 스핀홀 효과와 라쉬바 효과를 기반으로 3-terminal 소자로 개발됨.
- 프랑스 CNRS(2010), 미국 Cornell대 (2012) 등에서 SOT 소자를 실험적으로 보여줌.
- 국내에서는 2018년 한국과학기술연구원에서 자성체(수직자화)-비자성체-자성체(수평자화) 구조에서 무자장 SOT 스위칭이 가능하다는 것을 발표함.
- 현재 기초연구단계로 미국, 일본, 프랑스, 싱가포르, 등의 대학 및 연구소에서 스위칭 효율 향상, 스핀-케도결합 채널소재 개발, 계면 엔지니어링 등에 중점을 두고 활발한 연구가 진행 중임.

○ VCMA MRAM

- 2010년 AIST (일본)에서 VCMA에 의한 MTJ의 자화 반전을 최초로 구현함.

- 2018년 MIT (미국)에서 산소이온보다 이온 반경이 작은 수소 이온(H⁺) 이동으로 속도를 개선할 수 있는 가능성을 발표하였으나 2022년 기준 여전히 μ 초 이하의 속도를 가지기 어려운 것으로 알려짐.
- 2020년 IMEC (벨기에)에서 300mm 웨이퍼 스케일에서 제작된 VCMA-MRAM 구조에서 20fJ의 낮은 에너지로 나노초 스케일의 스위칭 속도를 발표함.
- 2022년 한국과학기술연구원에서 전계효과에 의한 자화 제어를 통해 딥러닝 연산을 수행할 수 있는 발진기(oscillator) 소자를 구현하였음.

○ 신소재 기술

- Antiferromagnet 물질은 이웃 셀과의 간섭이 없고 초고주파 특성을 가지고 있어 IBM, 버클리대 (미국), 히타치-캠브리지 연구소 (영국) 등에서 기초연구를 진행하고 있음.
- 2007년에 Würzburg대 (독일)에서 이차원 위상절연체를 보고한 뒤 Bi₂Se₃, Bi₂Te₃ 등의 3차원 위상절연체에 관한 연구가 진행되어 왔으며 스핀채널로 사용하기 위한 시도가 계속 되고 있음.
- 이차원 스핀소재는 층상구조를 가지고 있는 물질 중 기계적으로 박리가 가능한 물질을 중심으로 진행되어 왔으며 최근에는 FeTaS, FeGeTe를 중심으로 하는 이차원 자성체를 이용한 MTJ 연구도 동경대 (일본), 제네바대 (스위스) 등에서 활발히 이루어지고 있음.
- 국내에서는 서울대, 성균관대, 한국과학기술원, 울산대, 금오공대 등이 이차원 스핀소재에 대한 연구를 진행하고 있음.

○ 지능형 반도체 및 차세대 컴퓨팅 기술

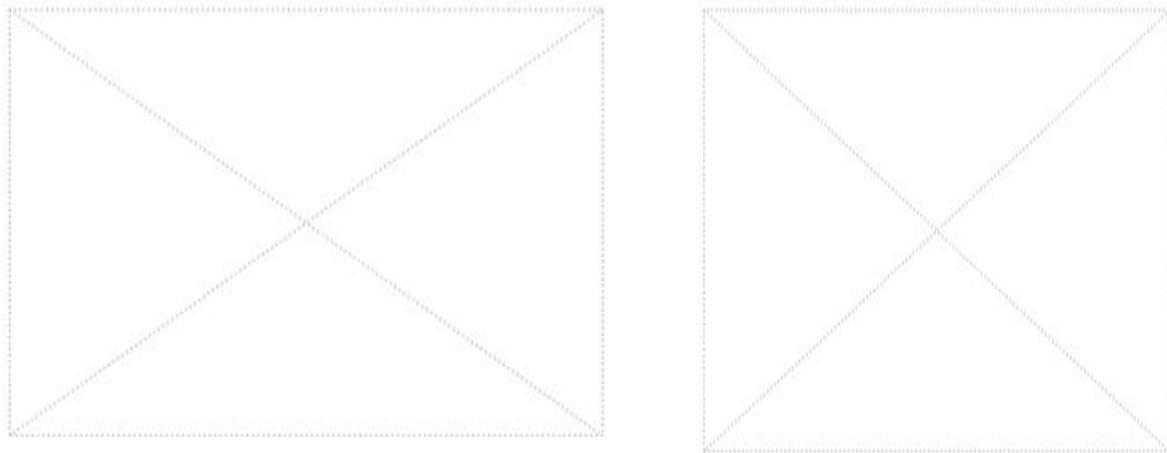
- STT-MRAM이나 SOT-MRAM의 비휘발성을 이용한 뉴로모픽 소자가 Georgia Tech, Intel (미국), McGill대 (캐나다), IMEC (벨기에) 등을 중심으로 진행되고 있음.
- 2018년 중국의 Beihang 대학에서는 MTJ를 이용한 PIM 소자 구성을 제안하였음.
- MTJ의 무작위성을 이용한 확률론적 컴퓨팅이 제안되었으며 Purdue대(미국)와 Tohoku대(일본)가 공동연구로 인수분해를 할 수 있음을 보여줌. (2019)
- 자구벽을 이용한 스핀소자는 IBM에 의해 고용량 메모리로 2008년에 제안되었으며 IBM, MIT (미국), CNRS(프랑스), 교토대(일본) 등에서 연구가 진행되었으며 스위칭 전류, 자구벽 위치제어 등의 문제를 극복하기 위한 연구와 멀티레벨 메모리, 뉴로모픽 소자 등 새로운 응용 분야를 개척하는 중임.
- 한국에서는 2020년 한국과학기술연구원과 2021년 표준과학연구원이 각각 2차원 자성 준입자인 스커미온을 전기적으로 생성/재생할 수 있는 방법을 고안, 뉴로모픽 소자를 발표하였음. 한국과학기술연구원은 확률론적 컴퓨팅을 활용한 다양한 문제해결법에 대한 연구를 활발히 수행함.

나) 특허 및 논문 동향

□ 특허 동향

- 자성체 메모리 관련 특허는 2010년대 초반에는 미국과 일본의 비중이 컸으나, 이후 중국과 대만의 특허 건수가 크게 증가
 - 이미 시장 진입에 성공한 embeded MRAM 관련 특허는 TSMC, IBM, 삼성전자, Qualcomm이 가장 많은 건수를 발표
 - STT 관련 특허는 기초과학에 기반한 원천특허와 관련된 내용이 많고, 특히 Huazhong·Harbin·Nanjing 등 중국 대학에서 적극 활동
- Magnetic random access memory 관련 특허 현황

【 ‘Magnetic random access memory’ 연도별 및 국가별 특허건수 】

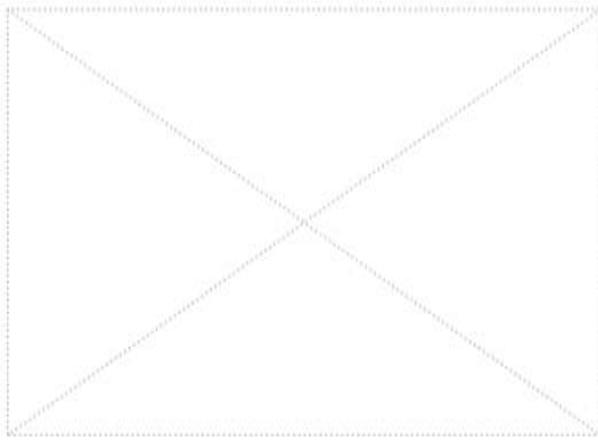


<연도별 특허건수>

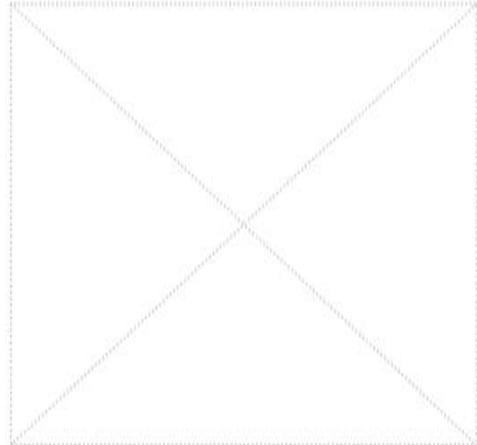
<국가별 특허건수>

- Magnetic random access memory 전체 기술 분야의 전체 특허 출원건수는 2.925건으로, 미국, 중국, 일본, 한국, 유럽, 대만 순으로 확인됨.
 - Magnetic random access memory 기술 분야의 전체 연도별 특허동향을 살펴보면, 2012, 2015, 2019년도에 일시적으로 출원 건수가 증가한 것으로 나타남.
 - 2011년부터 현재까지 증가 및 감소를 반복하는 추세를 보임. (2021, 2022년도에 미공개 특허가 존재하는 것을 고려한 분석임.)
- Magnetic tunnel junction 관련 특허 현황

【 ‘Magnetic tunnel junction’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

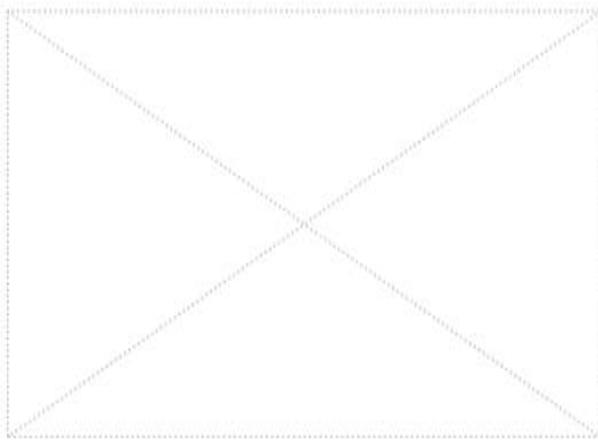


<국가별 특허건수>

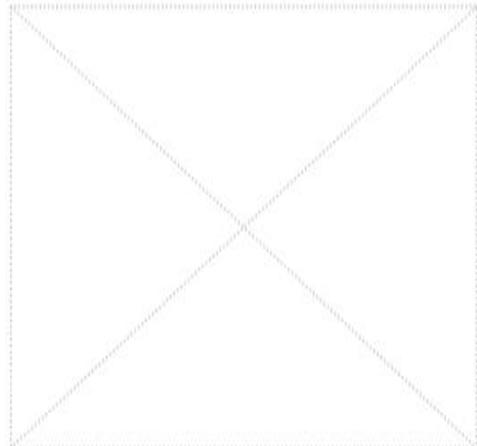
- Magnetic tunnel junction 전체 기술 분야의 전체 특허 출원건수는 4,660건으로, 미국, 중국, 한국, 대만, 유럽, 일본 순으로 확인됨.
- Magnetic tunnel junction 기술 분야의 전체 연도별 특허동향을 살펴보면, 2017년도에 일시적으로 출원 건수가 다소 감소한 것으로 나타남.
- 2017년도 이외에, 2011년부터 현재까지 전반적으로 증가하는 추세를 보임. (2021, 2022년도에 미공개 특허가 존재하는 것을 고려한 분석임.)

○ Tunneling magnetoresistance 관련 특허 현황

【 ‘Tunneling magnetoresistance’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

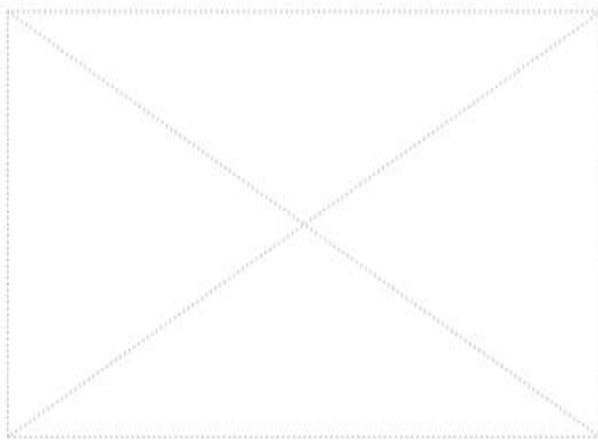


<국가별 특허건수>

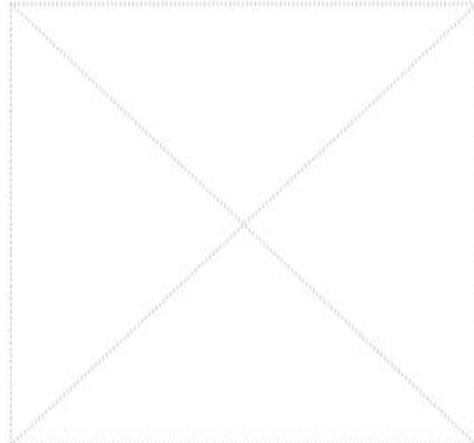
- Tunneling magnetoresistance 전체 기술 분야의 전체 특허 출원건수는 241건으로, 미국, 중국, 대만, 유럽, 일본, 한국 순으로 확인됨.
- Tunneling magnetoresistance 기술 분야의 전체 연도별 특허동향을 살펴보면, 2014년도에 일시적으로 출원 건수가 증가한 것으로 나타남.
- 2016년부터 현재까지 전반적으로 증가하는 추세를 보임. (2021, 2022년도에 미공개 특허가 존재하는 것을 고려한 분석임.)

○ Current-induced magnetization switching 관련 특허 현황

【 ‘Current-induced magnetization switching’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

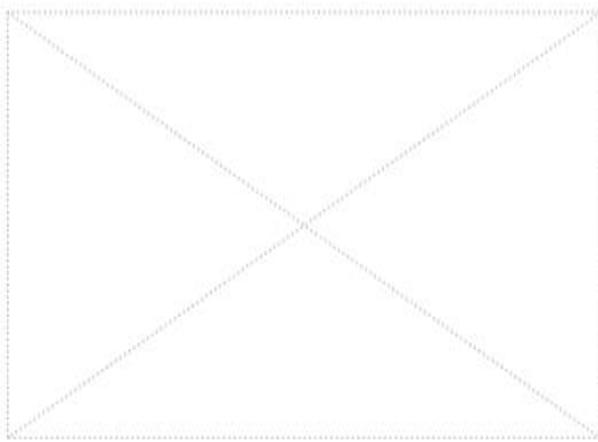


<국가별 특허건수>

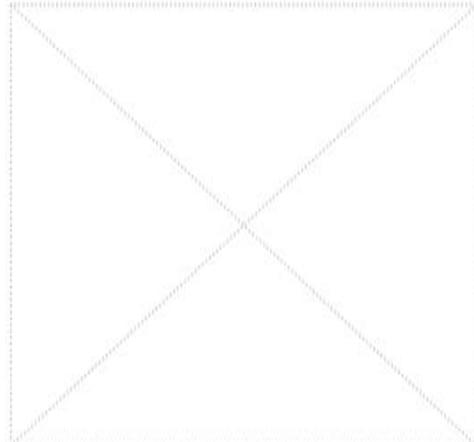
- Current-induced magnetization switching 전체 기술 분야의 전체 특허 출원건수는 2,374건으로, 중국, 유럽, 미국, 일본, 대만, 한국 순으로 확인됨.
- Current-induced magnetization switching 기술 분야의 전체 연도별 특허동향을 살펴보면, 2011년도부터 2018년도까지 증가하는 추세를 보임.
- 2019년도부터 현재까지 다소 감소하는 추세를 보임.

○ Voltage-induced magnetic anisotropy change 관련 특허 현황

【 ‘Voltage-induced magnetic anisotropy change’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

- Voltage induced magnetic anisotropy change 전체 기술 분야의 전체 특허 출원건수는 292건으로, 미국, 중국, 유럽, 한국, 일본, 대만 순으로 확인됨.
- Voltage induced magnetic anisotropy change 기술 분야의 전체 연도별 특허동향을 살펴보면, 2019년도에 출원 건수가 급격히 증가한 것으로 나타남.

□ 논문 동향

- STT와 SOT 기술의 논문 동향은 기술의 발전 단계에 따라 서로 다른 경향을 보임. 특히 SOT의 경우 소재 및 원리와 관련된 원천기술 연구가 주로 이뤄

지고 있음.

- STT 기술은 2022년 기준, embedded MRAM의 핵심 기술로, 소재 연구보다는 MTJ 구조를 활용한 확장성에 초점을 맞추어 연구가 진행되고 있음. 이에 따라, 학술 논문의 수가 감소 추세임.
- SOT 기술은 2022년 기준 상용화 단계에 이르지 못하였음. 이는 아직 대면적 생산이 가능한 기술 수준까지 발전하지 못하였기 때문이며, 이에 따라 원천 기술의 연구가 주로 이루어지고 있음.
- VCMA MRAM은 미국, 일본의 대학 및 연구소에서 활발하게 연구가 진행되고 있음. 자성 특성의 전계효과의 원리 규명과 전계효과의 크기를 극대화하는 것에 초점이 맞춰짐.
 - 2009년 오사카 대학에서 Fe/MgO 계면에서 전계효과에 의한 자기이방성 제어가 가능하다는 것이 보고됨.
 - 기존 학문적 영역에 머물렀던 전계효과에 의한 자기이방성 제어 연구가 실제 MRAM에 적용시키기 위한 목적으로 활발하게 진행되어옴. 2012년에는 STT와 VCMA를 동시에 활용하여 자화를 스위칭시킬 수 있음이 Johns Hopkins의 C.-L.Chien 교수팀에 의해 제안되었음.
 - UCLA의 Kang L. Wang 팀은 2014년 MgO/CoFeB/Ta에서 30fJ/V·m 수준임을 보고하여, MTJ 소자에도 적용할 수 있음을 보였음. (Appl. Phys. Lett. 104, 112410 (2014))
 - 쓰기 에러율 역시 중요한 이슈임. VCMA 특성상 자화의 세차운동과 스위칭과의 밀접한 연관이 있는데, 이로 인해 스위칭 특성이 입력신호의 펄스 길이에 의존적임. CoFeB의 조성과 MTJ 구조를 조절하여 쓰기 에러율을 10^{-6} 까지 낮춘 결과가 오사카 대학의 Y. Suzuki 팀에 의해 발표되었음.
- 로직소자에 대한 연구 및 논문출판은 개념 제안 수준에서 벗어나, 최근 다양한 실험 결과들이 보고되기 시작함.
 - 자기저항 및 스핀토크 기반: 자기저항을 이용한 로직소자에 대한 연구가 많은 그룹에서 진행되었음. 영국 캠브리지 대는 2000년 자기점(Magnetic dot)을 이용한 로직기능을 시현하였고, 스위스에 Paul Scherrer Institute에서는 자구벽 이동을 이용하였으며, 국내의 KAIST에서는 전기장 제어 스핀로직을 보여줌.
 - 반도체 채널 기반; 미국 UC San Diego 대와 Purdue 대에서 반도체 내의 스핀전달을 이용하여 기능 재설정 로직 소자를 제안함. 국내에서는 KIST에서 InSb 채널을 이용한 로직소자와 스핀트랜지스터를 이용한 상보성 로직소자를 보여줌.
 - Magnetoelectric spin-orbit (MESO) 로직 소자 : 강한 스핀-궤도결합과 양자물질의 스핀-전하 전환을 이용한 로직소자를 Intel에서 제안함.
 - 지능형 반도체 기반: 프랑스 Spintec에서는 자성소자를 뉴럴 네트워크 소자에 이용하려는 시도를 하였으며 그 외 시냅스 기능을 하는 자성소자 연구들이 많은 그룹에서 진행됨. 미국 Purdue대와 일본 Tohoku대가 협력하여 확률론적 컴퓨팅을 통해 소인수분해를

보여줌. 국내의 삼성에서는 자성메모리를 이용한 in-memory 컴퓨팅을 시현함.

다) 기술 수준 및 역량 평가

□ 기술 수준 분석

○ MRAM의 상용화 측면

- 국내기업인 삼성전자에서 embedded MRAM을 세계에서 최초로 성공한 배경에는 오랜 기간 지속되어온 국내 자성체 분야의 활발한 산·학·연 연구에서 비롯됨. MRAM과 관련된 국내 연구 수준은 특허 수, 논문의 질적 수준에서 세계적 수준으로 판단됨. 그러나, 핵심원천기술의 개발과 관련해서 여전히 미국, 일본, 유럽에 비해 뒤떨어져 있음. 특히, MRAM의 산업화에 따른 산업체와 학계 간의 학문적 괴리와 경쟁국에 비해 적은 연구인력 규모는 장점이었던 산·학·연 협력의 단점을 가져올 수 있음.

○ 원천기술 확보 측면

- 자성체 소자 분야에서 미국·일본·유럽은 여전히 독보적인 위치를 점하고 있으며, 최근에는 중국과 싱가포르 역시 자성체 분야에서 많은 연구적 성과를 발표하고 있음. 해당 국가들의 학제간 협력, 즉 기초과학과 재료 및 전자공학의 활발한 협력에 기반한 연구 활동 및 인재양성은 자성체 소자 관련 원천기술확보에 큰 경쟁력이 되고 있음.

□ 기술 역량 분석

○ Challenge

- 비휘발성 메모리 시장에서 NAND 플래시메모리와 같은 기존 소자의 기술 성숙도와 높은 시장 점유율로 차세대메모리 시장의 축소
- 소자의 미세화를 위해서는 열적 안정성을 높여야 함. ($E_b/kBT > 40-50$). 열적 안정성을 높이기 위해서는 자성 소자가 갖는 자기이방성 에너지를 높여야 하나, 자기이방성 에너지의 증가는 소비전력을 증가시키는 문제가 있음.
- 자성체 소자는 십 수층의 자성체-비자성체 다층박막이 나노미터 수준으로 구성된 구조를 갖고 있어, 기존 메모리 소자들과 확연히 다름. 이로 인해, 신기술에 대한 진입 장벽이 높은 편이며, 기술 개발 인력의 부족으로 이어짐.

○ Solution

- 자성체 메모리의 기본 원리는 이온의 이동, 상변화 등 물질 자체의 변화를 이용하는 것이 아니라 자성체의 자화 방향, 즉 자기쌍극자의 방향을 변화시키는 원리를 이용함. 따라서, 자성체 소자는 자구(magnetic domain)벽, 스커미온과 같은 자성 준입자(quasiparticle)를 활용한 새로운 개념의 컴퓨팅 소자, 특정 조건에서 자화방향의 무작위성을 활용한 확률론적 컴퓨팅 소자 등으로의 확장성을 가지고 있음. 자세한 내용은 4장 핵심 전략기술과 로드맵에서 설명함.
- 앞서 설명한 열적 안정성과 소비전력을 동시에 만족할 수 있는 신소재 발견 및 공정기술 개발이 핵심 전략이 될 수 있음. 이는 원천기술의 개발이므로 장기적 관점에서

의 인재양성 및 투자가 필요함.

○ Opportunity

- 앞서 설명한 바와 같이 기존 메모리 기술과의 격차를 줄이기 위해 많은 노력이 이어져 왔으며, embedded 메모리로서는 상용화에 성공하고 시장을 생성함. 이는 다른 이머징 메모리에 비해 CMOS 기술과의 호환성이 우수하다는 것을 의미
- 저전력 동작으로 모바일, AI 등의 분야에 적합하며, 전자의 스핀을 이용하기 때문에 양자컴퓨팅 등까지 응용을 확장할 수 있음.

○ Technology Environment

- 한국은 지난 20년간 메모리 분야 강국의 위치를 유지해온 만큼, 많은 기술적 노하우를 보유하고 있으며, 특히 세계 최고 수준의 공정기술은 신기술의 발 빠른 산업화에 유리하다고 할 수 있음.
- 국가적 반도체 연구비 지원의 확대, 주요 대학의 반도체 학과 설립을 통한 유능한 전문 인력양성 등, 사회적으로 반도체 산업 중요성에 대한 인식을 바탕으로 적극적인 투자와 개발이 가능한 상황임.

【 자성체 소자 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • 기존 메모리 소자의 미세화로 집적도에서 경쟁력 약화 • 열적 안정성과 소비전력이 서로 상충 • 대량소비가 가능한 분야에 진출 어려움 • 기존 기술선호에 따른 신기술에 대한 거부감에 따른 개발 인력의 부족 	<ul style="list-style-type: none"> • 새로운 개념의 PIM 이나 뉴로모픽, 확률론적 컴퓨팅에 응용 가능 • 새로운 자성층 및 채널층에 사용할 신소재 개발 필요 • 신개념 소자에 대한 장기적인 투자 필요
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • 타 비휘발성 이머징 메모리에 비해 우수성 입증 • 일부 상용화에 성공하여 MRAM 시장생성 • 저전력 동작으로 모바일, AI 등 분야에 적합 • CMOS 기술과의 호환성 우수 	<ul style="list-style-type: none"> • 수십 년간 이어온 메모리 강국의 노하우 보유 • 세계 최고 수준의 공정기술 보유 • 국가적 반도체 연구비 지원 확대 • 사회적으로 반도체 산업 중요성에 대한 인식강화 • 반도체 학과 확장 등 인력양성 기반조성

라) 중장기 기술발전 전망

□ 자성체 소자의 현안 및 전망

○ STT 및 SOT-MRAM

- STT-MRAM의 현안
 - STT-MRAM은 2019년 삼성전자가 embedded MRAM의 형태로 상용화에 성공함. 비휘발성이면서도 속도와 내구성 그리고 쓰기 전력 등이 SRAM 및 DRAM과 비슷한 장점을 가지고 있으나, 소자 자체가 가지고 있는 구조의 복잡성과 낮은 재생신호는 개선이 필요함.
- STT-MRAM의 전망
 - 층간 자화 상호작용을 이용한 합성 반강자성체(synthetic antiferromagnet)과 같

은 신물질 시스템을 이용하여 1나노초의 기록시간을 달성하기 위한 연구가 계속 될 것임. 또한, 높은 재생 신호를 가지면서도, MTJ의 구조를 단순화시킬 수 있는 신물질의 개발이 이어질 것으로 보임.

- SOT-MRAM의 현안

- SOT-MRAM은 삼성을 비롯한 반도체 기업들에서 현재 연구개발 중이며, STT-MRAM에 비해 10배 빠른 1나노초 수준의 짧은 기록시간, 쓰기/읽기 선을 공유하지 않는 3단자 구조의 형태를 가지고 있어 에러율을 낮출 수 있는 장점이 있음. 그러나 스위칭을 위해서 자기장을 이용해야 하거나, 구동 원리의 핵심인 스핀 전류 발생을 위해 높은 기록 전류를 사용해야 하는 등의 단점이 있음.

- SOT-MRAM의 전망

- SOT-MRAM이 가지고 있는 1나노초 기록시간 특성을 유지하면서, 동시에 낮은 기록 전류를 만족시키는 방향으로 연구가 진행되고 있음. 무자기장 스위칭 기술이 적용되어야 하는 것도 에너지 효율을 높이기 위해 중요한 이슈임. 이를 위해서는 스핀 전류를 증가시키기 위한 위상학적 특성을 가진 재료 개발이 핵심임. 현재, 자성체 분야에서 가장 활발하게 연구되고 있는 주제임.

○ VCMA MRAM

- VCMA-MRAM의 현안

- 2012년 MTJ구조에서 스위칭이 가능하다는 것이 보고된 이후, 계면 및 MTJ구조를 최적화하는 단계에서 100 fJ/V·m의 VCMA를 확보함. 그러나, STT 및 SOT-MRAM과 마찬가지로 단위 소자인 MTJ를 사용하기 때문에 낮은 재생 신호가 문제가 되고 있음.

- VCMA-MRAM의 전망

- 높은 재생 신호와 VCMA 효율을 동시에 만족하는 소재 혹은 구조를 개발한다면, 개발 중인 MRAM 메모리 종류 중에서 가장 높은 에너지 효율을 가질 수 있는 메모리임.

○ 차세대 컴퓨팅 소자

- 차세대 컴퓨팅 소자의 현안

- 특정 조건에서 자성체의 자화가 열적으로 불안정하여 자화 방향이 특정 방향을 선호하지 않게 되는 무작위성을 이용하는 확률론적 컴퓨팅 기술이 2018년 일본 도호쿠 대학과 미국 퍼듀대학의 공동연구를 통해 발표됨.
- 2022년 카이스트와 현대자동차 미래기술연구소와의 공동연구를 통한 암호화를 위한 난수 발생 소자 구현 등이 제안되고 있음.

- 차세대 컴퓨팅 소자의 전망

- 제안된 차세대 컴퓨팅 소자들은 기술적으로 아직 시작단계일 뿐만 아니라 동작 원리 또한 정형화되지 않았음. 따라서 각 제안 기술의 목표를 위한 적용기술의 정형화가 필요하며, 그를 위한 소재 및 구조 개발이 지속될 것임.

【 자성체 소자의 요소 기술에 대한 현재와 미래 】

요소 기술	현재	미래
STT-MRAM 소재/박막 기술	<ul style="list-style-type: none"> 삼성전자 등에서 양산 중 10ns 수준의 기록시간, 10¹⁵ cycle의 내구성 등의 장점 낮은 재생신호(TMR) 	<ul style="list-style-type: none"> 1ns 수준의 기록시간 높은 재생신호(TMR) >200%@300K (수직 자화 MTJ)
SOT-MRAM 소재/박막 기술	<ul style="list-style-type: none"> 1ns 수준의 기록시간 높은 기록전류 스위칭에 자기장 필요 	<ul style="list-style-type: none"> 1ns 수준의 기록시간을 유지하면서 낮은 기록전류 동시 만족 무자기장 스위칭 적용
쓰기 에너지 효율 감소 기술	<ul style="list-style-type: none"> 복잡한 다층박막 구조를 갖는 고정자성층 	<ul style="list-style-type: none"> 특성 열화없이 단순화된 고정자성층
VCMA 효과 최적 기술	<ul style="list-style-type: none"> 계면 및 MTJ 구조를 최적화 하는 단계에서 100 fJ/V·m의 VCMA 확보 VCMA의 동역학 원리 규명 상대적으로 높은 에러율 	<ul style="list-style-type: none"> 높은 재생신호와 VCMA 효율을 동시에 만족하는 구조 개발 10⁻⁶ 이하의 에러율 달성 STT/SOT 효과와 혼용하여 에너지 효율 향상
확률론적 컴퓨팅 기술	<ul style="list-style-type: none"> 무작위성을 갖는 자화셀 확보 소인수분해 시현 	<ul style="list-style-type: none"> 다수의 자화셀 어레이 연결 최적 알고리즘 개발 및 난이도 높은 문제 (NP문제 등) 해결 자율주행, 신약개발, 암호화에 응용
지능형 소자 기술	<ul style="list-style-type: none"> 자기저항 메모리기반 PIM 시현 스핀 오실레이터를 이용한 뉴로모픽 소자 개발 멀티레벨을 갖는 자성층 개발 	<ul style="list-style-type: none"> 저전력 스위칭 특성확보 멀티레벨의 수를 증가시키고, 셀 사이즈를 줄이는 연구 뉴로모픽, PIM 시스템에 응용

(3) 산업 및 시장 분석

가) 시장 동향 분석

□ 국내·외 시장 동향

- MRAM은 크게 stand-alone 타입과 Embedded MRAM 타입, 두 가지 개발 방향으로 발전하고 있으며, 각각의 시장 동향은 다음과 같음.

【 MRAM 시장 규모 분석 】

(단위 : 억원)

구분	2021	2022	2023	2024	2025	2026	2027	CAGR [%]
세계 시장 규모	3,304.8	5,033.2	7,665.6	11,674.7	17,780.5	27,079.8	41,242.5	52.3
국내 시장 규모	99.1	151.0	230.0	350.2	533.4	812.4	1,237.3	-

[출처 및 산출 방법]

* 'Magneto Resistive RAM(MRAM) Market: Global Industry Trends, Share, Size, Growth, Opportunity and Forecast(2022-2027, IMARC Group)' 참조

* 국내 시장은 세계 시장의 3%로 잡았으며, 환율은 1,200원으로 계산함.

○ Stand-alone MRAM 시장 동향

- Stand-alone 타입 메모리 시장은 NAND flash 메모리와 DRAM이 대략 97%를 차지하고 있으며 시장 규모는 약 1,600억 달러임.
- MRAM을 포함한 차세대 비휘발성 메모리의 시장 점유율은 2023년까지는 3% 미만으로 유지될 것으로 전망하고 있음. 그러나, STT-MRAM의 경우 2018년 1억 달러 미만 규모에서 2026년 약 23억 달러까지 큰 폭의 성장을 보일 것으로 예상됨.
- 현재 stand-alone MRAM을 생산하는 회사들은 아래와 같음.

【 Stand-Alone MRAM 생산 회사 】

구분	1	2	3	4	6
회사명	SONY	Avalanche Technology	Global Foundry	Everspin	UMC
국 적	일본	미국	싱가포르	미국	대만
선 폭	40 nm	40, 28 nm			22 nm
성능(용량)	128Mb	128 Mb, 1Gb			-

* 출처 : Emerging Non-Volatile Memory(Yole, 2022)

○ Embedded 시장 동향

- Embedded 타입 메모리의 경우 2022년 현재 전체 차세대 비휘발성 메모리 시장의 16% 내외임.
- Emebeded 타입 STT-MRAM의 경우 단위소자의 크기, 내구성, 쓰기 속도 등에서 장점을 가지고 있어, 2020년 eMRAM 기반 Sony의 GPS(28nm FD-SOI 기술 활용 삼성 제조) 및 Ambiq의 저전력 MCU(22nm ULL기술 활용 TSMC 제조) 양산이 발표되는 등 산업화가 이루어지고 있음.

【 Embeded MRAM 생산 회사 】

구분	1	2	3	4
회사명	Samsung	Global Foundry	TSMC	Intel
국 적	대한민국	미국	대만	미국
적용분야	SRAM	eFlash	SRAM	eFlash, SRAM
기타	28 nm FD-SOI (양산)	22 nm FD-SOI (양산)	22 nm bulk (양산)	22 nm FinFET (양산 준비중)

* 출처 : Emerging Non-Volatile Memory(Yole, 2022)

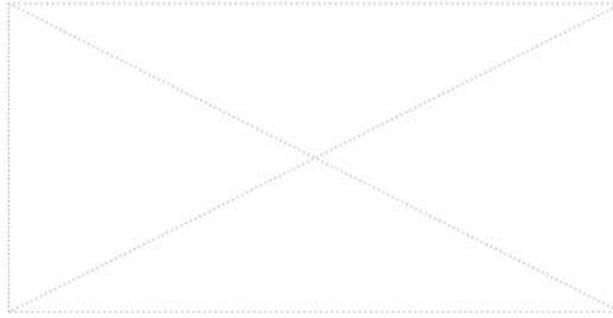
나) 산업 동향 분석

□ 국내·외 산업 동향

○ MRAM 시장의 다각화

- MRAM은 빠른 속도, 넓은 작동온도 범위, 내방사선 특성, 높은 내구성 등의 장점이 있기 때문에, 아래의 다이어그램에서 알 수 있듯이 다양한 분야에 활용이 될 수 있음.

【 주요 MRAM 응용 분야 】



- 아래는 MRAM 산업을 이끌고 있는 대표적인 회사인 Everspin과 삼성전자의 사례임.
 - 자동차에 활용되기 위해서는 소자의 높은 고온 신뢰성이 요구됨. Everspin의 경우 4Mb MRAM 칩을 개발하여 오토모빌리티 시장에 공급하였음. 해당 칩은 엔진 컨트롤 유닛, 고급 변속 컨트롤, 차량 내 데이터 로그 및 멀티미디어 시스템 등에 응용되고 있음.
 - 국내 기업인 삼성전자는 MRAM의 응용 분야를 확대하고 있음. 이미 2019년에 내장형 MRAM(Embedded MRAM, eMRAM)을 소형 전자제품에 사용되고 있는 마이크로 컨트롤러 유닛(Micro Controller Unit, MCU)과 시스템 온 칩(SoC)에 활용된 바 있음.
- 위와 같은 MRAM 시장의 다각화를 위해서는 2022년 기준 embedded 형태의 상용화에 더해, 완성형 메모리인 stand-alone 타입 MRAM, L3 Cache와 같은 Last level cache, 로직-인-메모리를 위한 crosspoint array 기술과 그에 대한 시스템 설계 기술 등이 상용화 레벨까지 달성되어야 함. 본 로드맵에서 제안하는 핵심 전략기술은 이와 같은 기술적 배경을 바탕으로 정리되었음.

(4) 핵심 전략기술 및 로드맵

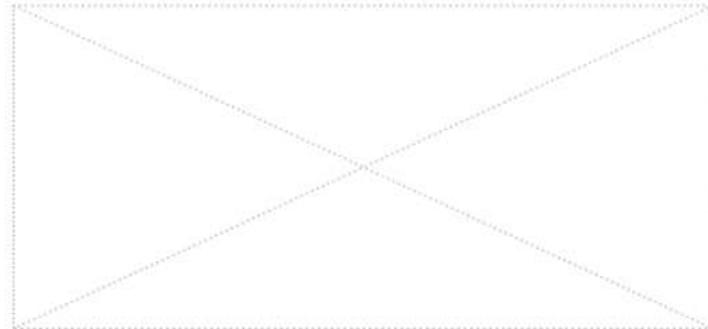
가) 핵심 전략기술

□ 전략기술의 구성

- 자성체 소자 개발을 위한 핵심전략기술은 아래 그림과 같이 1) 기초과학에 근거한 단위소자 자체의 접합구조에서 발현되는 현상을 연구하는 단계에서 2) 단위소자의 특성을 최적화하고, 이를 바탕으로 3) 대면적 공정이 가능한 집적회로 개발단계로 구성됨. 2022년 기준, embedded MRAM의 상용화는 기초과학 관점에서의 핵심기술이 곧바로 집적회로 개발로 이어질 수 있다는 점에서 중요한 의미를 가짐.
- MRAM의 경우 DRAM이 가지고 있는 휘발성 특성, FLASH 메모리가 가지

고 있는 느린 동작 특성을 대체할 수 있는 중요한 메모리임. 제안하는 핵심전략 기술은 MRAM이 가진 장점을 바탕으로 상용화 단계까지 필요한 기술을 중심으로 기술됨.

【 자성체 소자 핵심전략기술 개발단계 】



□ 전략기술의 목표

○ 자성 소자의 핵심 전략기술의 4가지 목표와 현안

- STT 기반 MRAM: 기록 전류의 감소, 자기 터널 저항비의 향상, 고정층 단순화
- SOT 기반 MRAM: 기록 전류의 감소, 자기 터널 저항비의 향상, 고속스위칭 달성
- VCMA 기반 MRAM: 전압 인가 자기이방성 변화 효율 향상, 고속스위칭 달성
- MTJ 응용 지능형 로직 소자: 새로운 방식의 컴퓨팅 소자, 회로, 알고리즘 개발

□ 전략기술의 중요성 및 추진 방향

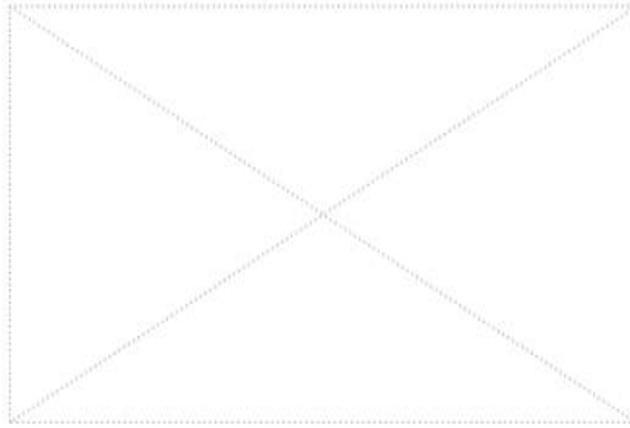
○ 전략기술의 중요성

- 본 로드맵에서 다루는 자성 기반 소자의 핵심 세부 전략기술의 경우, 앞서 언급한 현재의 상용화된 기술 수준을 반영하여 향후 10년 안팎으로 다루어질 중요한 단계적 목표를 제시하고자 함.

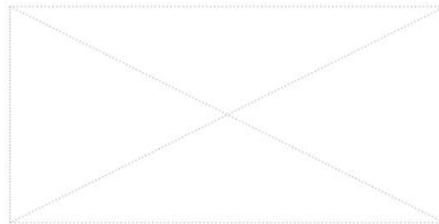
○ 전략기술들의 추진 방향

- 선정된 전략기술들은 자성 소자의 시장 점유율 확대를 위한 요소기술의 성숙도 향상에 있음. 요소기술의 최종 목표 성능에 기반한 MRAM이 담당할 수 있는 메모리 계층 구조는 아래 그림에 제시되어있음. 특히, MRAM의 경우 2030년까지 소자 속도에 따라 다양한 시장 확대전략을 가지고 있음.

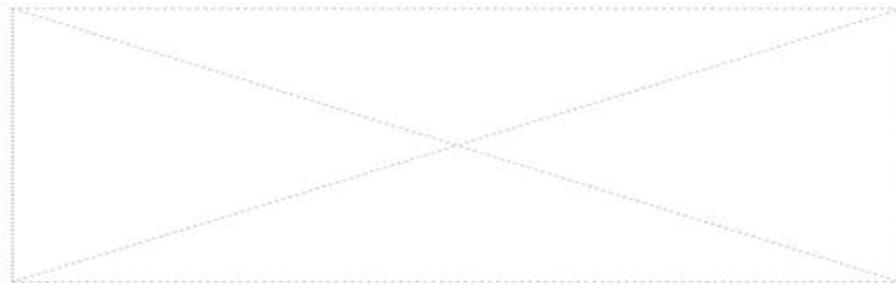
【 메모리 형태에 따른 기록 전력 및 데이터 처리 지연시간 】



【 현 메모리 계층 구조에 대한 MRAM의 대체 가능한 역할 】



【 MRAM의 잠재적 시장 】



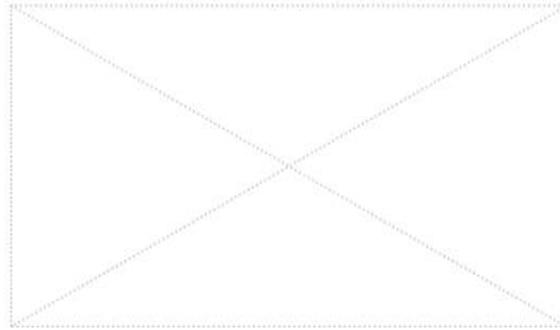
□ 핵심 전략기술 발굴

○ STT/SOT MRAM

- STT 기록전류를 감소시킬 수 있는 소재/소자 개발
 - STT 기록전류는 (자유자성층의 감쇄상수)/(STT 효율)에 비례하므로, 낮은 감쇄상수를 가지는 동시에 높은 STT 효율을 갖는 자성소재의 개발이 요구됨.
 - 감쇄상수는 SOI와 연관된 반면, STT 효율은 SOI와 거의 무관하므로 두 특성을 독립적으로 조절할 수 있으며 소재 합금화와 함께 밴드구조 설계를 통한 접근이 유용할 수 있음.
- SOT 기록전류를 감소시킬 수 있는 소재/소자 개발
 - STT 대비 높은 기록전류를 갖는 SOT MRAM의 문제를 해결하기 위해 높은 스핀홀효과를 갖는 소재 혹은 기존 스핀홀 대비 다른 스핀분극 방향을 갖는 스핀전류를 발생시키는 소재의 개발이 요구됨.
 - Cr-doped $(\text{BiSb})_2\text{Te}_3$, Bi_2Se_3 등과 같은 위상 절연체의 경우 전하 기반 전류가 스핀 기반 전류로 전환되는 비율이 1을 넘는다고 보고가 되고 있으며, 양산을 위해서는 기존 MgO 기반 MTJ 구조에서 200%이상의 높은 TMR, thermal stability factor 40 이상의 높은 열정

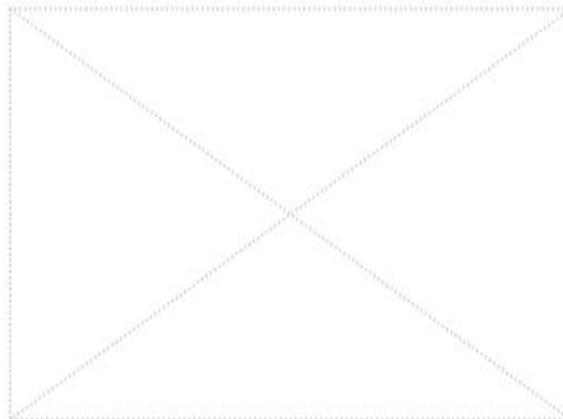
안정성을 갖는 시스템 개발, 300 mm 웨이퍼에 적용 가능한 공정기술 개발이 요구되고 있음.

【 스핀 전류 생성 물질과 특성 】



- 무자기장 (field-free) SOT 스위칭 소재/소자 개발
 - 일반적인 SOT는 면내 자기장을 인가하여야만 수직자화를 외부자기장 없이 스위칭할 수 있는데, 면내 자기장을 만들기 위한 추가적인 층 구조 혹은 회로는 상용화에 걸림돌이 되며, 따라서 무자기장 스위칭이 가능한 소재 개발이 요구됨.
 - 무자기장 SOT 스위칭을 위해 아래 그림과 같이 다양한 아이디어가 제안되고 있음. 제안된 방법 중 층간 교환상호작용, 강유전체와 강자성체의 결합은 대량생산에 적합하지 않거나 기술적으로 적용하기 어려운 반면, 반강자성체를 활용한 교환바이어스, z 스핀을 갖는 구조 등은 대량생산에 적용이 가능하여 현재 반도체 기업에서 연구되고 있음.

【 무자기장 SOT 스위칭 소자 】



- 재생 시간 단축을 위한 높은 TMR MTJ 소재 개발
 - 현재 200% 수준의 TMR비를 현저히 키울 수 있는 MTJ 소재 및 공정기술 개발
 - TMR은 절연층과 인접한 자성층의 계면특성에 의해 결정되므로, 계면 미세조절을 위한 새로운 공정기술의 개발이 요구됨.
 - 스퍼터를 이용하여 합성된 호이슬러 합금의 경우, 1) MgO와의 접합 계면에서 발생하는 산화물 형성, 결합 발생 등에 의한 분극률 저하와 2) 낮은 커리 온도로 인한 분극률 저하 등으로 인해 자기 터널 저항비가 일반 강자성 합금을 사용한

CoFeB/MgO/CoFeB 접합구조에 비해 크게 높지 않음. 따라서, 발견된 반쪽금속들의 특성을 유지하면서 자기터널접합에 활용할 수 있는 계면 제어기술의 개발에 집중될 것임.

- 앞서 설명한 이론적 TMR을 구현하려면 터널 접합과 형성한 계면에서의 산화, 결합 발생 등을 막을 수 있는 계면 제어법이 개발되어야 함. 이러한 관점에서 이차원 반데르발스(2D van der Waals, 이하 2D vdW) 결합 물질이 활용될 수 있음. 2D vdW 물질의 경우 면 방향으로 강한 공유결합을 이룬 반면, 면직(perpendicular to the plane) 방향으로 약한 반데르발스 결합으로 이루어져 있기때문에 강자성 금속/절연체/강자성 금속 형태의 3중층 구조를 모두 2D vdW 물질로 대체한다면, 이상적인 계면을 갖는 MTJ를 만들 수 있음. 2D vdW 물질을 실제 산업에 활용하기 위해서는 ALD 혹은 CVD를 이용한 증착법의 이용이 가능해야 하며, 특히 SOT 혹은 STT 현상을 유도하기 위한 여러 적층 구조를 형성하기 위해서는 스퍼터링 법과 in-situ 공정이 가능한 하이브리드 증착 기법의 연구가 필요함.
- 전력 소모 측면에서 전자소자의 발열은 전력을 낮추는 것을 방해하는 요소임. 따라서 저온 환경에서 작동하는 소자 및 회로에 관심이 모아지고 있음. 반면, 저온에서는 전자소자의 특성이 항상 향상되는 것이 아니므로, 극저온 환경에서 우수한 동작 특성을 갖는 전자소자의 개발이 필요함. 이것은 현재의 전력 스케일링 문제를 해결할 수 있는 방향이 될 수 있음. 또한, 양자점 소자와 같은 양자컴퓨팅 등에 사용될 수 있는 1K 미만의 초 극저온 환경에서 동작 가능한 소자 개발이 필요함. 이러한 배경을 고려해볼 때, 극저온에서 자성 특성을 유지하며 우수한 자기저항 특성을 보이는 CrI₃와 같은 물질로 구성된 전자소자의 활용이 기대됨.

- 고정자성층(PL)의 단순화

- 상용화된 MRAM의 PL은 각각 1nm 혹은 그 이하의 두께를 갖는 10층 이상의 다층박막으로 구성되어 공정 오차에 따른 yield 문제가 있으므로, 특성의 열화 없이 PL을 단순화할 수 있는 새로운 소재, 공정기술의 개발이 핵심
- 실제 상황에서 PL이 완벽하게 고정될 수 없으므로, STT에 의해 자유자성층(FL)과 함께 PL도 일부 자화 거동을 보이며 이는 MRAM의 BER 등에 큰 영향을 미치기 때문에, PL의 STT 반응을 최소화할 수 있는 소재 구조의 개발이 요구됨.
- 수직자기이방성 기반 자기터널접합의 경우, 지금까지는 PL이 Co/Pt, Co/Pd과 같은 인공 초격자 형태의 다층박막이 사용되었음. 그러나 600°C의 높은 열처리 온도는 자기터널접합에 사용되고 있는 자성층/MgO계면 상태에 영향을 줄 수 있어, 이에 대한 연구가 필요함.

○ 전압 제어 자기이방성 (Voltage controlled magnetic anisotropy, VCMA) 기반 MRAM

- 순수 전계효과 기반 VCMA MRAM

- VCMA 연구는 MgO 터널층과 자성층의 계면에서 발생하는 계면 수직자기 이방성의 크기를 강화하는 것이 중요함. 수직자기이방성은 앞서 설명한 열적안정성 $\Delta 0$ 를

결정하는 물리 상수임. 2016년, (001) 면이 잘 유지된 Cr/Fe/MgO에서 -290 fJ/Vm 특성이 관찰된 바 있음.

- VCMA 효과를 극대화하기 위해서는 자성층/터널층의 계면 제어가 중요함. Fe/MgO의 계면에 스핀 케도 결합이 강한 Ir을 도핑하면 -320 fJ/Vm의 VCMA 계수를 가질 수 있음이 보고됨. 반면에 Ir-doped Fe/MgO 시편의 수직자기이방성은 낮아짐. 수직자기이방성의 경우 전계효과에 의한 자화 동역학에 있어 자화 반전 속도를 저하시키기 때문에, 수직자기이방성 특성이 낮아야 고속의 VCMA-MRAM을 구현할 수 있음. Ir-doped Fe/MgO의 경우 VCMA-MRAM 구현의 중요한 템플릿이 될 수 있음.
- 더 높은 coefficient를 얻기 위해서 3가지 방향성이 고려됨.
 - * high-K dielectric 물질 사용
 - * Low-temperature 조사
 - * strain engineering
- VCMA 계수는 전기장의 크기와 dielectric constant K에 비례함. (MgO = 9.8) 따라서, MgO보다 큰 K를 가지며 TMR을 높일 수 있는 물질 연구가 필요(HfO₂, STO 등)

- 2D 자성체 기반 VCMA MRAM

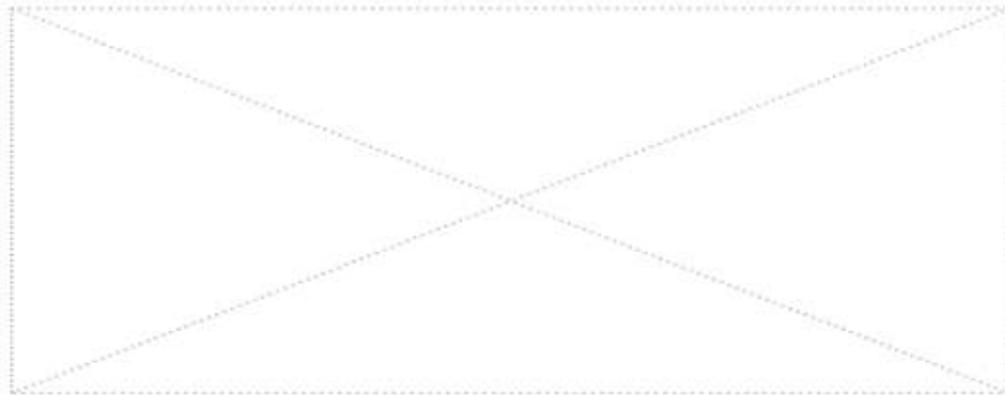
- 기존 3d 전이금속의 경우 전기장이 미치는 영향은 부도체와의 계면에서 수 Å 영역에 국한되어 효율적인 자화제어에 어려움이 있음. 반면, 2d 자성체는 쿨리온도, 자기이방성 등의 특성이 전기장이나 격자변형에 의해 큰 폭의 변화율을 보임. 따라서, 상온 2D 자성체의 대면적 증착 기술이 개발될 경우, 우수한 에너지 효율을 갖는 VCMA-MRAM의 개발이 기대됨.

○ SOT-VCMA 하이브리드 타입 MRAM

- Selective operations of multi-pillar VG SOT-MRAM

- 최근 몇 년간 주요 파운드리 업체는 embedded 형태의 STT-MRAM 제품을 개발 및 양산에 착수함. 그러나, STT-MRAM은 long-incubation delay, reliability 등의 문제로 인해 L1/L2 cache SRAM 대체에 2021년 현재 어려움이 있음.
- 벨기에 IMEC 연구진은 2022년 6월 IEEE, VLSI 학술대회에서 integration density 문제 해결, low power 동작이 가능한 multi-pillar (MP) 컨셉을 발표함. MP 컨셉은 각기 다른 MTJ에 서로 다른 게이트 전압을 걸어 줌으로써 선택적 스위칭이 가능하며, 게이트 전압으로 인해 저 전력 스위칭이 가능함.
- 제안된 방식은 같은 SOT track을 공유하기 때문에 Write path에 사용되는 transistor의 수를 효과적으로 줄일 수 있기에 integration density 측면의 개선이 기대됨.

【 MP Concept 】



○ MTJ 기반 컴퓨팅 소자

- 확률론적 컴퓨팅 소자

- 확률론적 컴퓨팅은 2017년 미국 Purdue대학의 Supriyo Datta 교수가 양자컴퓨팅 연산개념과 뉴로모픽 컴퓨팅의 계산방식을 활용하여 제안한 신개념 연산 방식임.
- 확률론적 컴퓨팅(Probabilistic computing)의 기본 연산은 확률론적 비트 ('P-bit')로 구성됨 "0" 또는 "1"중 한 가지 안정 상태를 이용하는 기존 디지털 '비트'와는 다르게 P-bit는 "0" 또는 "1"의 에너지 배리어가 작아 시간에 따라 랜덤하게 변하며, 각각의 확률적 상태가 외부 입력에 의해 조절 가능해야 함.
- P-computing은 순방향으로의 연산 외에도 역방향의 ("출력"→"입력") 연산 수행이 가능함. 이러한 "역연산" 방식은 가능한 해들을 확률적으로 제시하며, 기존 컴퓨팅을 이용하여 이들 중 정답을 빠르게 선별할 수 있다는 장점이 있음. 이 방식은 bit의 개수가 늘어날수록, 연산의 시간 복잡도가 지수적으로 늘어나는 문제(Non-Polynomial Problem) 풀이에 큰 도움이 될 수 있음.
- 효율적인 P-computing을 위해서는 10ns 정도의 단위랜덤 소자의 비트 유지시간이 필요하며, 소자의 무작위성 조절하는 에너지는 1fJ 이하로 낮출 수 있을 것으로 보임.

【 확률론적 컴퓨팅 장점 】



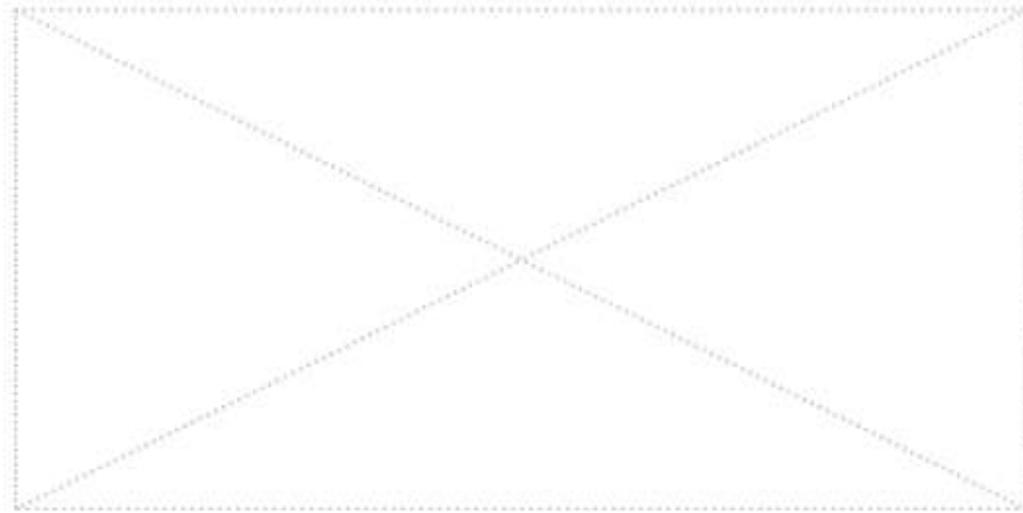
- 지능형 반도체 소자

- 폰노이만 방식과는 반대로 인간의 두뇌는 단순 계산을 수행할 때는 기존 디지털 컴퓨터보다 비효율적이지만 패턴인식, 이미지 처리와 같이 기존 디지털 컴퓨터가 어려움을 겪고 있는 빅데이터 기반 작업을 수행할 때는 매우 효율적임.
- 또한, 인간의 두뇌는 약 20W로 동작한다고 알려진 만큼 초저전력으로 작업을 수행함. 따라서 폰노이만 병목현상 및 전력소모량과 발열 문제를 극복하기 위해서는 두뇌모방형 반도체 및 아키텍처의 개발이 필요함.

- 인간의 두뇌는 디지털 소자와는 다르게 랜덤, 비선형, 비동기화 등 기존 디지털 소자와는 매우 다른 특성이 있음. 따라서 차세대 두뇌 모방형 소자는 저전력 동작뿐 아니라 위에 나열된 다양한 특성을 갖는 신소자가 필요함.

□ 핵심 전략기술 로드맵

【 자성체 소자 핵심 전략 기술 로드맵 】



나) 기술개발 로드맵

- 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 자성체 소자 전략 기술 로드맵 】 * ■ : 정부의 집중지원이 필요한 기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
자성체	소자 신뢰성 필요 (10ns 기록시간, 스위칭 자기장 必)	핵심 소재 및 소자 개발							신뢰성 및 산포제어 기술 확보			자성체 메모리 구현 (1ns 기록시간, 스위칭 자기장 無)
		자성체 기반 확률론적 컴퓨팅 기술 개발							공정/설계 기술 고도화			

다) 기대효과

□ 기술적 측면

- 반도체 기술은 물리적 현상 및 나노공정에 있어서 근본적인 물리적 한계에 근접하고 있으며, 이러한 한계를 극복할 수 있는 새로운 차세대 전자소자 기술의 출현이 강하게 요구되고 있음. 자성체 기반 메모리 및 로직기술은 현존 기술의 패러다임을 뛰어넘는 혁신기술로서 기존 반도체 소자의 스케일링 한계 극복에 기여함.

- 저전력으로 구동하는 스핀 메모리 및 로직소자는 전하와 스핀을 동시에 제어하는 기술이며 현재 반도체 공정라인을 유지하면서 기존 기술의 한계를 극복할 수 있는 미래유망 원천기술임. 본 연구사업을 통해 새로운 개념의 확률론적 컴퓨팅, 뉴로모픽 시스템 분야에서 원천기술을 선점하고 핵심 IP를 확보할 수 있음.
- 저전력, 비휘발성 특성을 활용하여 같은 성능을 구현하는데 필요한 트랜지스터의 개수를 획기적으로 감소시킬 수 있으며, 동일한 회로에서 필요에 따라 여러 기능을 수행하는 Reconfigurable 소자를 실현할 수 있음.

□ 경제적, 산업적 측면

- 반도체 산업은 큰 시장 규모와 한 나라의 경제성장 및 기술혁신을 견인하는 역할을 수행함. 반도체 산업은 지속적이며 새로운 기술혁신이 필요한 분야로 우리나라의 국부창출에 지대한 영향을 미치고 있음.
- 2030년 반도체 시장 규모는 1조 달러에 달할 것으로 예상되며 지속적인 성장이 예상됨. 본 자성체 소자 기반 반도체 기술은 반도체 및 전자산업 분야에서 신규 시장을 창출할 것으로 예상되며 사물인터넷, 인공지능, 빅데이터 분석 등의 분야에서 새로운 가능성을 제시할 수 있음.
- 초저전력 스핀메모리 및 로직소자는 시장 진입 초기 단계 기술로 일부 메모리 기술은 상용화되었고, 로직기술은 연구개발 단계에 있으나 향후 비메모리 시장의 비율이 점차 증가할 것으로 예상됨. 따라서 핵심 소재 기술의 확보 및 원천 특허 확보는 국내의 차세대 비메모리 반도체 산업의 발전을 도모할 수 있을 뿐 아니라 막대한 시장을 선점할 수 있어 그 파급효과가 지대할 것으로 예상됨.
- 초저전력 스핀로직소자 개발을 통해 사물인터넷, 인공지능, 모바일 기기 등에서 창의적이고 혁신적인 응용영역을 개척하고, 막대한 투자를 통해 급속히 발전하는 미국 및 중국 반도체 산업의 추격을 뿌리칠 수 있는 기틀을 마련함.

□ 공공 연구개발 측면

- 에너지 효율이 극대화된 고성능 자성체 기반 정보소자 개발을 통해 모바일 기기, 인공지능, 빅데이터 처리 등의 수요 증가에 따른 사회적 요구 대응
- 최근 머신러닝 및 AI의 등장으로 각종 IT 디바이스가 지능화의 방향으로 빠르게 진화하고 있으며, 본 기술을 활용함으로써 AI가 새로운 형태의 사회문화를 이끌어내는 파급효과를 만들어 낼 것으로 예상됨.
- 각 요소기술 부분은 충분히 벤처 등을 포함하는 중소기업 등에도 기술 이전 등을 통한 산업화에 기여할 수 있어 추가적인 고용 창출을 이끌 것으로 판단됨.
- 현재 가장 중요한 국가기간산업인 반도체 분야에 대한 선행투자 및 고용 창출에 원동력이 될 수 있음. 본 연구를 통해 반도체 및 나노공정기술을 습득한 우수

인력을 배출할 것으로 기대됨.

2. 메모리스트어 소자 기술

(1) 기술 개요

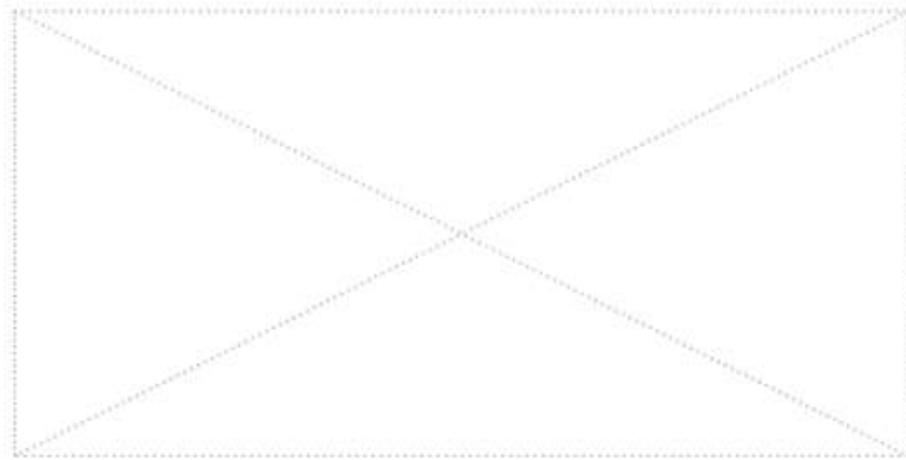
가) 기술 정의 및 필요성

□ 기술의 정의

- (정의) 외부 입력을 통해 내부 저항값을 변경할 수 있는 소자로서, 저항변화 성질을 이용하여 전기적 정보신호를 저장하는 차세대 소자

【 반도체 메모리 기술의 구분 】

(휘발성/비휘발성 및 전하 저장/저항 변화 기준을 모두 포함)



- (특징) DRAM 대비 비휘발성에 따른 저전력 소비, NAND 대비 고속으로 정보처리하면서도 DRAM, NAND처럼 고집적화 구현이 가능하고 공정 설계의 용이성이 존재

【 메모리스트어와 기존 주요 메모리 비교 】

구분	DRAM	NAND FLASH	메모리스트어
메모리 유지	휘발성	비휘발성	비휘발성
정보처리 속도	빠름	느림	중간
집적도	중간	높음	높음
복잡성	중간	중간	낮음

- 비휘발성, NAND 대비 고속 동작, 높은 집적도 등의 특성으로 인해 저전력·고속 동작 성능이 요구되는 저장 매체 기술에 활용
- 독립적인 저장 매체뿐만 아니라, 고집적 어레이(Array) 층위에서 직접적인 연산이 가능한 미래 컴퓨터 구조의 연산 주체로 기대
- (한계) 각 상태별 전류 수준이 높아 저전력 기술 개발이 요구되며, 신뢰성 및 공정 재연성 측면에서의 개선이 필요

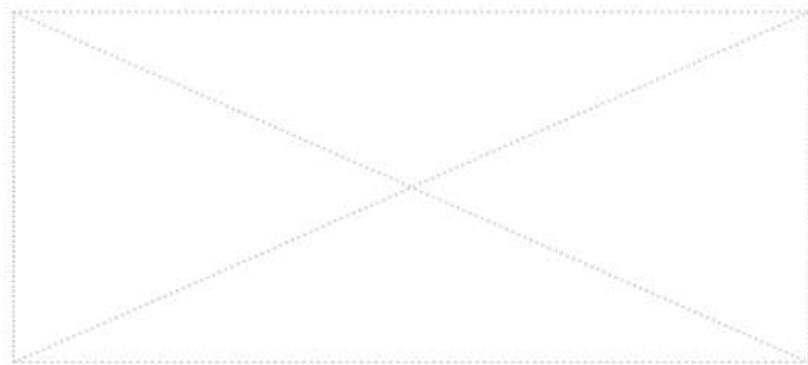
- (의의) 멤리스터가 향후 상용화될 수 있기 위해 PRAM 소재 및 컴퓨팅, RRAM 소재 및 컴퓨팅, CTM 소재 및 컴퓨팅 분야 원천기술 개발이 필요
 - (PRAM 소재) 상변화 동작에 고전류가 필요하여 동작 에너지 저하를 위한 연구 개발이 중요하고, 저전력 컴퓨팅에 필수
 - (PRAM 기반 컴퓨팅) 작은 에너지로 상변화가 가능한 물질 개발이 필요하며 저전력·고신뢰성 PRAM 기반 컴퓨팅 기술 가능
 - (RRAM 소재) State 전류 수준이 높은 한계로 새로운 물질 및 구조의 RRAM 연구 개발이 중요하고, 저전력 컴퓨팅에 필수
 - (RRAM 기반 컴퓨팅) State 전류 저하 기술과 신뢰성 향상 기술 개발이 이루어져야 하며, 초고집적 메모리 기반 컴퓨팅 기대
 - (CTM 소재) 기존의 멤리스터와 달리 캐리어 이동 메커니즘으로 전환하여 고속·저전력·고신뢰성 멤리스터 원천 기술 개발이 가능
 - (CTM 기반 컴퓨팅) 전하의 포획 및 이동이 모두 가능한 기반 물질 발굴이 필요하며, 원자/이온 멤리스터 대비 고신뢰성 기대

□ 기술의 필요성

- 기하급수적으로 늘어나는 데이터량 처리의 문제
 - 4차 산업혁명의 중요한 키워드인 인공지능 및 6G 데이터 통신 기술로 인해 기억하고 처리해야 하는 데이터의 양이 기하급수적으로 증가하고 있다. 이로 인해 빅데이터를 처리하는 데이터센터들의 확장과 신규 건립, 서버, 개인용 컴퓨터의 급속한 사양 향상 등이 이루어지고 있으나, 전력 소비가 극심한 문제가 발생하고 있음.
 - 과거 반도체 기술은 에너지 위기, 온난화에 직접적으로 영향을 미치는 기술로 보기는 어려웠으나, 빅데이터 시대와 맞물려 반도체 시스템의 데이터 저장과 초고속 연산이 필연적으로 야기시키는 발열과 막대한 전력 소비 문제는 글로벌 에너지 및 환경 문제에 직결되는 상황이 전개되고 있음.
 - 이로 인해 기존의 정보저장이라는 단일 목적, 단일 형태(stand-alone) 메모리뿐만 아니라 메모리 기술이 프로세서의 연산기능에 보다 적극적으로 활용되어, 빅데이터를 효율적으로 처리할 수 있는 메모리 중심의 연산 시스템 개발에 대한 필요성이 커지고 있음. 실제로 산업체에서도 초고밀도 메모리 장치와 더불어, 메모리 어레이 근처 또는 내부에서 데이터를 처리할 수 있는 컴퓨팅 시스템에 대한 연구개발이 활발히 이루어지고 있음.
- 멤리스터 소자의 필요성 및 현재 연구 단계
 - 멤리스터는 기존의 양산 주력 메모리 기술인 SRAM, DRAM, NAND flash 등에 비하여 비교적 간단한 구조를 가져 초고밀도 메모리 구현에 매우 유리한 기술이며, 비휘발성, 다치 레벨 동작 구현의 용이성 등의 장점으로 인해 단일 메모리 기술뿐만 아니라, 하드웨어 기반 신경모방(neuromorphic) 시스템, 인-메모리 컴퓨팅(in-memory computing) 또는 프로세싱-인-메모리(processing-in-memory) 등의 차세대 컴퓨터 아키텍처에 매우 유리한 측면들이 있음.

- 이에 따라, 메모리스터로 통칭할 수 있는 RRAM, PRAM, MRAM, FRAM 전반에 걸친 활발한 연구가 진행되고 있으며, 일부 기술에 대해서는 다이(die) 기준 256GB 까지 용량을 늘린 연구 결과가 보고되기도 하였음.
- 급속한 정보 통신 기술 발달에 발맞추어 DRAM과 NAND flash의 수요가 급격히 증가하고 있으며, 이에 따라 메모리 기술의 축소화 한계를 극복하고, 비휘발성, 저비용, 대용량, 고속 동작 특성을 갖는 차세대메모리 개발의 필요성이 대두됨. 이러한 기술적 난제를 해결하기 위하여 전압 변화에 따른 금속 전도성 필라멘트(metallic conductive filament) 또는 산소 동공(oxygen vacancy)을 이용하여 상태(state)를 구분하고 고집적에 매우 유리한 RRAM 기술이 주목받고 있음.

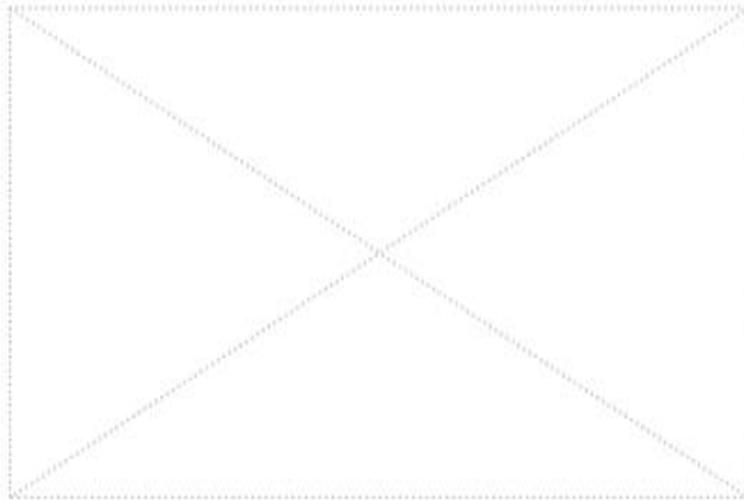
【 저항변화 메모리의 동작 방식에 따른 군 분류 】



* 출처: Y. Yang and W. Lu, Nanoscale 5, 10076 (2013)

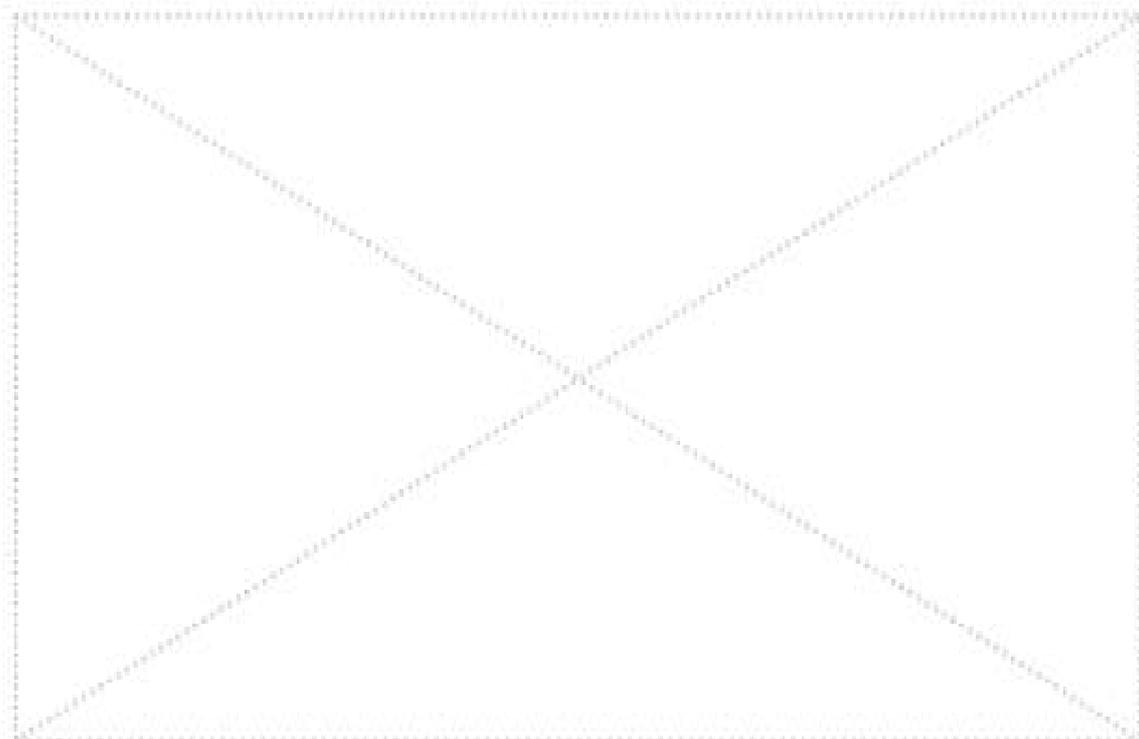
- RRAM의 경우, 해당 소자의 스위칭 특성 불균일성과 낮은 신뢰성 등의 문제가 해결해야 할 이슈로 남아 있음. 저장 가능한 정보 상태 구분이 이루어지도록 하는 저항 변화의 원인이 되는 필라멘트 또는 산소 동공의 형성과 수 변화는 동일한 전압을 인가하더라도 정확한 수준으로 제어하기 어려운 문제가 있어 이를 해결하기 위한 다양한 연구들이 이루어지고 있음. 현재까지는 DRAM, NAND flash 등 기존의 주력 양산 메모리 기술의 동작 안정성이 확보되지 않아 지속적인 연구가 필요함.

【 저항성 메모리의 기록 전력 및 데이터 처리 지연시간 】



- 상기 그림에서 살펴볼 수 있는 바와 같이, PRAM과 RRAM은 power-delay product 관점에서 보면 전체 메모리 기술에서 중간지점에 위치함.
- 성능 측면에서 살펴볼 때, 캐시(cache) 메모리와 대용량 스토리지급(storage class) 메모리에 모두 사용될 수 있는 특징점을 가짐.

【 메모리 종류에 따른 집적도와 대역폭 】



- 특히, PRAM 및 RRAM은 2단자 동작이 가능하면서도 절대 부피가 작은 소자의 구현이 가능하여, NAND와 더불어 메모리 기술 중 가장 높은 집적도를 구현 가능함.

- 위의 그림에서 단위 용량당 제조 가격이 낮아지는 방향이 집적도가 높아지는 방향을 의미하므로, PRAM 및 RRAM은 solid state 기반 메모리로서는 최고 수준의 집적도를 기대할 수 있으며 이는 인공지능 반도체 구현을 위해 필수적인 사안임.
- 반면, 쓰기/지우기 반복 동작에 대한 강인성(endurance), 정보 유지 능력(retention), 주요 동작 파라미터의 산포(distribution) 등 메모리스트어 소자의 신뢰성 문제는 근본적인 약점으로 지목되고 있어, 이들을 해결하기 위한 방안 마련은 관련 기술의 로드맵 안에서 상시적으로 다루어져야 할 필요가 있음.
- 기존의 양산 주력 메모리 대비 쓰기/지우기 동작 시 높은 에너지 소비, 10 ~ 100 배 수준의 느린 쓰기 동작 속도 등이 문제점으로 인식되고 있으며, 주요 상용 메모리 기술로 진입하는 데 있어 반드시 해결해야 할 사안으로 인식되고 있음.

나) 주요기술 분류(Technology Tree)

【 메모리스터 소자 주요 기술 분류 】

중분류	소분류	요소기술
메모리스터 소재 기술	엔트로피 조절을 통한 고신뢰성 상변화 물질	상변화 동작 시 주요 기능(backbone) 수행 영역과 결합 변화가 주로 이루어지는 영역을 분리함으로써 반복 동작에 의한 소자 불량 저감
	실리콘 공정 호환성을 갖는 저항변화 물질의 후보군 확장	대량 생산 기술 진입 가능성을 높일 수 있는 실리콘 공정 호환성을 갖는 저항변화 물질 후보군 확장 및 호환성 확보를 위한 물질 조합 발굴
	동작 신뢰성을 향상시킬 수 있는 저항변화 물질	I_{on}/I_{off} 비율, 정보 유지 능력(retention), 반복 쓰기 및 지우기 강인성(endurance) 등의 측면에서 기존 기술보다 우수하면서도 동작 파라미터의 산포 분산을 최소화할 수 있는 저항변화 메모리스터 물질
	트랩 전하량의 변화를 통해 전도도 제어 가능한 메모리스터 물질*	스위칭 층 내에서의 트랩 전하량의 변화를 통해 전도도 제어 가능한 메모리스터 물질 및 공정 개발
메모리스터 소자 기술	소자 및 집적공정 기술	성능(고속·저전력 동작) 및 집적도 향상을 위한 어레이 적층 기술(RRAM, PRAM, MRAM, FRAM)
	고신뢰성 소자 및 공정 기술	신뢰성 향상을 위한 메모리스터 소자 및 공정 기술
	자가 정류 또는 셀렉터 소자 및 집적공정 기술	신뢰성 있는 어레이 수준에서의 동작을 위해 스네이크 전류 경로를 최소화하는 기술 및 자가 정류/셀렉터 소자외의 적층 또는 자체 정류 기술 개발
	전하 트랩 메커니즘 기반의 메모리스터 소자*	트랩 전하량의 변화를 통해 전도도 제어 가능한 메모리스터 층 및 스택(stack) 구조 개발
	새로운 구조의 메모리스터 소자 개발	고속·저전력 및 고신뢰성 동작이 이루어질 수 있는 새로운 구조의 메모리스터 소자 개발**
메모리스터 어레이 기술	메모리스터 어레이 최적 전기적 동작 기법	메모리스터 소재 또는 소자가 가질 수 있는 불완전성을 극복할 수 있는 최적의 메모리스터 어레이 동작 기법 개발
메모리스터 기반 시스템 기술	코어(core) 개발 기술	기존의 단위 동작 셀(블록)별 액세스와 달리 동시다발적 액세스가 가능한 코어기술 및 저전력·고속 동시다발적 액세스 기술 개발
	코-프로세서 (co-processor) 기술	코어 간의 효율적 메모리 사용 및 코어 간 효율적 데이터 통신 기술 개발

* 물질과 구조에 제한을 두지 않는 원천기술 영역으로서 동작 신뢰성 및 공정 재현성에 주안점을 둠.

** 동작 성능, 신뢰성 향상을 위한 구조 최적화, 신구조 개발 포함. 단자 수에는 제한을 두지 않음.

(2) 기술 분석

가) 국내·외 기술 현황

□ 국외 기술 동향

○ 실리콘 CMOS 회로 기반 뉴로모픽 기술

- Hodgkin-Huxley 뉴런 모델은 뉴런의 막전위에 따른 이온 채널의 수 변화를 전 기전도도로 표현함.
- Lopicque et al.은 막전위 값이 문턱 전압을 초과할 때, 활동전위를 발현하는 누적-발화(integrate-and-fire) 뉴런 모델을 제안함.
- 이를 실리콘 CMOS 기반 집적회로로 구현할 때, 다수의 트랜지스터와 더불어 회로에

서 큰 면적을 차지하는 커패시터를 구성 요소로 포함하므로 고집적 뉴로모픽 하드웨어에 불리한 측면이 있음.

○ 실리콘 CMOS 회로 기반 뉴로모픽 기술

- HP(Hewlett Packard)의 Stanley Williams 그룹이 Mott 메모리스터를 최초로 구현함.
- IBM Zurich 연구소에서는 확률적 상변화(stochastic phase change) 뉴런 기술을 발표함.
- UCSD의 Kuzum et al.은 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 상변화 물질 기반의 메모리스터에서 반복 펄스에 의해 유도되는 점진적 저항 변화를 이용하여 시냅스의 가소성(plasticity)을 성공적으로 모사함.
- Crossbar Inc.는 필라멘트 기반 비휘발성 RRAM 기술개발을 선도하고 있는 회사로서, 10^{10} 수준의 높은 선택비를 가지며, 5mV/dec의 매우 가파른 스위칭 스윙 특성을 갖는 우수한 성능의 크로스바 어레이를 구현하기 위하여 FAST(field-assisted superlinear threshold)라는 선택 소자를 개발함.
- Dialog Semiconductor는 2004년부터 CBRAM(conducting bridge random-access memory) 실제 제품을 제작하였으며, 반도체 물질을 필라멘트로 사용하여 동작 전류를 낮춘 'subquantum CBRAM' 개념을 제안, 크로스바 어레이로 구현하여 비지도학습(unsupervised learning)이 가능함을 증명함.
- Michigan 대학교 Wei Lu 그룹은 메모리스터-CMOS 통합 시스템을 개발하여 메모리스터 칩 위에서 단일층 퍼셉트론(single-layer perceptron)의 학습을 검증함.
- Southern California 대학교 Joshua Yang 그룹은 확산성(diffusive) 메모리스터를 제작하여 장·단기 가소성을 구현하였으며, 메모리스터를 활용하여 뉴런 및 시냅스를 모두 구현할 수 있는 궁극적인 형태의 뉴로모픽 컴퓨팅 가능성을 제시함.

□ 국내 기술 동향

○ 메모리스터 소자 연구 및 인공지능 하드웨어 적용

- 삼성종합기술원에서는 MRAM을 기반으로 하여 기존의 전류 합산 방식이 아닌 '저항 합산' 방식의 인-메모리 컴퓨팅 및 뉴로모픽 플랫폼을 세계 최초로 고밀도 구현함.
- UNIST의 연구팀은 상변화 물질의 자발적 드리프트 현상을 역이용하여 학습 능력이 향상된 PRAM 기반 메모리스터 어레이 구현에 성공함.
- KIST의 연구팀은 이온 환원 확률이 높은 전이 금속(Ti)을 활용하여 CBRAM 소자의 시냅스 아날로그 특성을 개선하고 정보 보존 능력을 향상시킴.

나) 특허 및 논문 동향

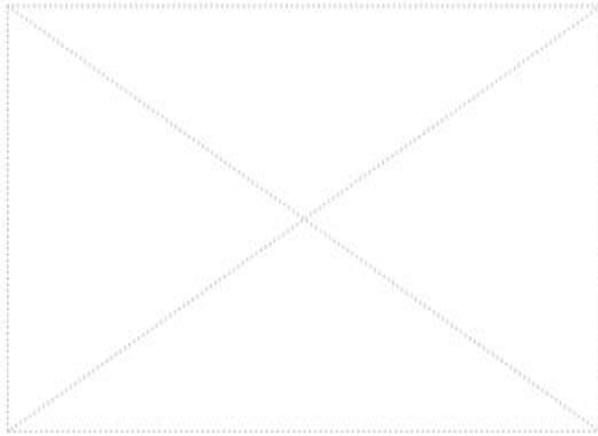
□ 특허 동향

○ 뉴로모픽

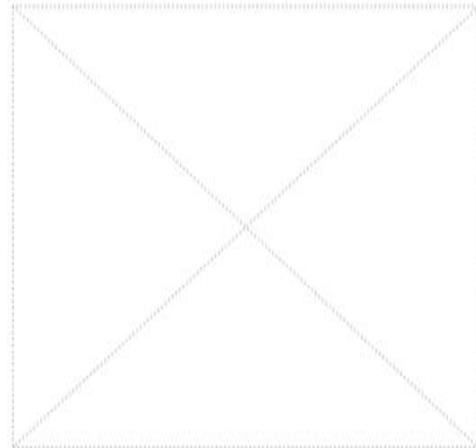
- 미국, 중국, 한국에서 뉴로모픽과 관련된 다수의 특허들을 활발히 확보하고 있음.
- 특히, 2017년 이후 뉴로모픽 관련 특허 건수가 급증함
- IBM, 삼성전자, SK 하이닉스, Intel 등 차세대 반도체 소자 기술에 관심을 갖고 있는 주요 국내외 대기업들이 상당수의 특허들을 보유하고 있음.
- 소자 구조, 회로 구성 등 뉴로모픽 구현에 필요한 특허들이 전 분야에 걸쳐 동시다발적으로 보고 됨.

○ 상변화 메모리

【‘상변화 메모리’ 연도별 및 국가별 특허건수】



<연도별 특허건수>

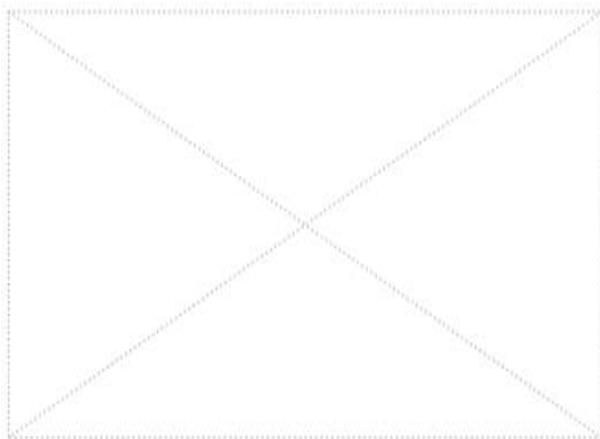


<국가별 특허건수>

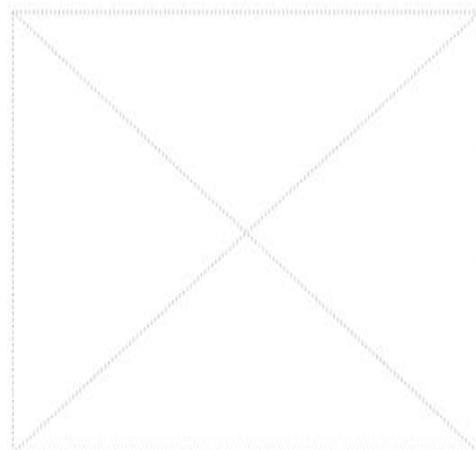
- PRAM 기술 분야의 전체 특허 출원 건수는 2,555건으로 국가별로는 중국, 미국, 한국, 유럽, 대만, 일본 순으로 확인됨.
- PRAM 양산화 및 인공지능 시스템 적용 가능성이 확보되면서 2018년 이후 다시 증가를 하였으며, 현재까지 전반적으로 매년 많은 수의 특허가 출원되고 있음.

○ 저항변화 메모리

【‘저항변화 메모리’ 연도별 및 국가별 특허건수】



<연도별 특허건수>



<국가별 특허건수>

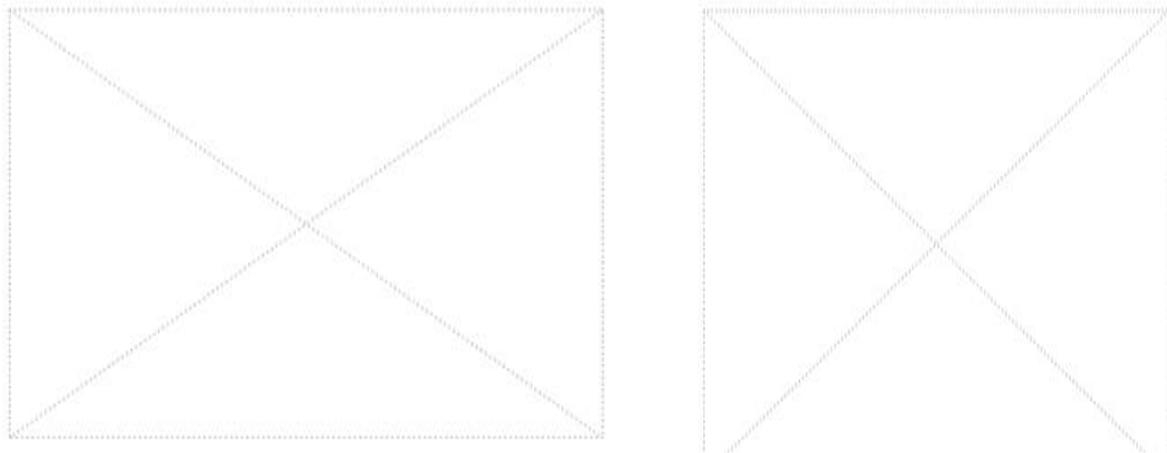
- RRAM 기술 분야의 전체 특허 출원 건수는 7,339건으로 국가별로는 대만, 미국, 중

국, 한국, 유럽, 일본 순으로 확인됨.

- RRAM 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2020년도에 출원 건수가 다소 감소한 경우가 있었으나 2011년부터 현재까지 전반적으로 증가하는 추세를 보임. (2021, 2022년도에 미공개 특허가 존재하는 것을 고려한 분석임.)
- 최근 특허 동향을 살펴보면 저항변화 메모리의 구조 및 제작 방법, 재료적 관점에서의 엔지니어링, 어레이 구현 및 새로운 응용 적용 등 여러 방면에서 다양한 내용의 특허가 고르게 출원되고 있음을 확인할 수 있음.

○ 멀티레벨 동작

【 ‘멀티레벨 동작’ 연도별 및 국가별 특허건수 】



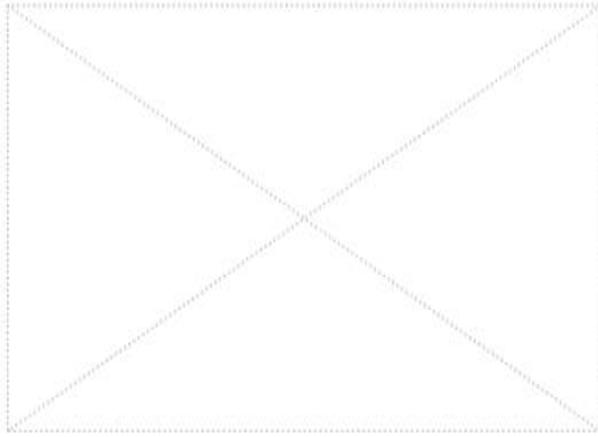
<연도별 특허건수>

<국가별 특허건수>

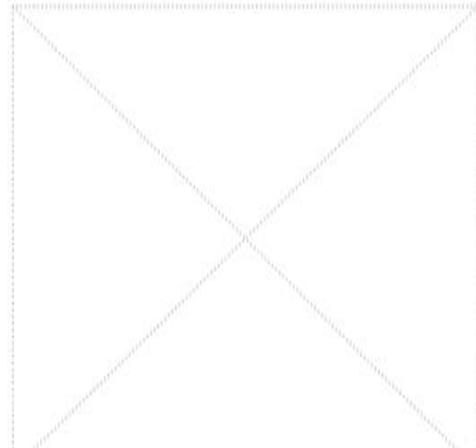
- 멀티레벨 동작 관련 전체 특허 출원 건수는 2,119건으로 국가별로는 미국, 중국, 한국, 대만, 일본, 유럽 순으로 확인됨.
- 멀티레벨 동작 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2016년도에 출원 건수가 다소 감소한 것으로 나타나며, 이후에는 2017-18년도에 상승했다가 전반적으로 감소하는 추세를 보임.
- 실제로 멀티레벨 동작 관련 특허는 대부분 국내외 산업체에서 보유하고 있음을 확인할 수 있으며, 보유 회사들의 주력 상품들을 고려해볼 때, flash 메모리에 주로 적용되고 있을 것으로 예상되며 다양한 비휘발성 메모리에도 적용될 수 있을 것으로 예상함.

○ 수직형 메모리

【 ‘수직형 메모리’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

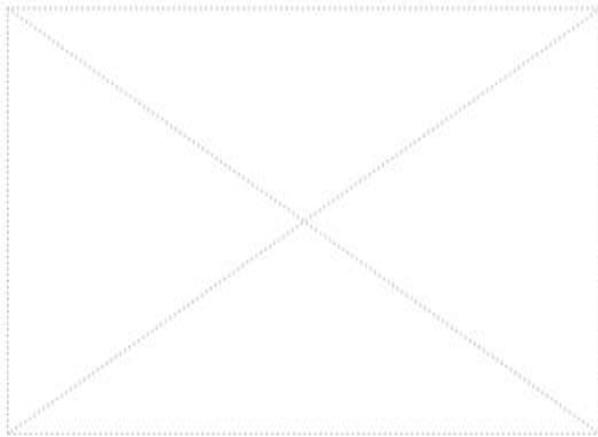


<국가별 특허건수>

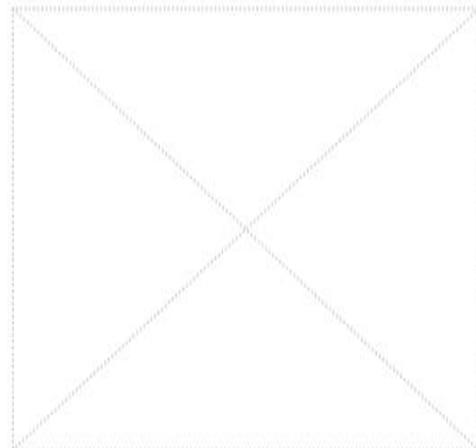
- 수직형 메모리 기술 관련 전체 특허 출원 건수는 1,256건으로 국가별로는 한국, 미국, 중국, 대만, 유럽, 일본 순으로 확인됨.
- 2011년 이후 전반적으로 증가하는 추세를 보임. (2021, 2022년도의 경우 미공개 특허가 존재하는 것을 고려)

○ 엔트로피 제어

【 ‘엔트로피 제어’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

- 국내외적으로 아직 엔트로피 제어라는 용어는 생소한 측면이 있으나, 상변화 메모리와 관련된 기술 용어이며 실제로 메모리 회사들을 중심으로 관련 특허들이 출원되고 있음.
- 엔트로피 제어 기술 분야의 전체 특허 수는 233건으로 국가별로는 중국, 미국, 일본, 유럽, 한국 순으로 확인됨.
- 아직 관련 특허의 전체수는 작으나, 2011년 이후 전반적으로 급격히 증가하는 추세임.
- 특허의 수가 급격히 증가한 시점은 2016년경으로 Intel의 PRAM 기반 Optane 칩이 발표된 시점과 거의 일치함. 기존의 PRAM 기술의 소관 문제를 해결하기 위한 새로운 물질을 탐색하는 과정에서 엔트로피 제어 가능한 상변화 소재 특허가 급증

□ 논문 동향

○ 우수한 메모리스트 소자 특성을 위한 저항층 구성 물질 연구

- 메모리스트 소자 구성을 위한 신물질 개발과 관련하여 다양한 물질군의 저항층을 적용한 메모리스트 소재 및 소자 기술에 대한 연구 결과들이 보고되고 있음.
- 기존에는 금속 산화막 기반의 스위칭 층을 갖는 메모리스트 소자에서 외부 펄스에 반응하여 산소 동공(oxygen vacancy) 기반 전도성 필라멘트(conductive filament)가 생성 또는 소멸함으로써 이루어지는 저항 변화에 대한 보고가 주를 이루었음.
- 비교적 최근에는 알려진 물질들을 기반으로 하는 산화막에 Bi, Na, Al, Ag 등을 도핑하여 물질 구성에 변화를 줌으로써 메모리스트 동작 성능을 향상시키는 연구 결과들이 다수 발표
- 2차원 물질을 메모리스트에 적용한 보고가 활발히 이루어지고 있음. 결함의 양을 조절하는 방식으로 동작하는 소자, 산소를 도핑하여 산소 이온의 분포를 조절하여 동작하는 소자 등 기존 산화막 기반의 메모리스트 소자에서 더 나아가 둘 이상의 복층 구조를 갖는 안정적인 특성의 메모리스트 스위칭 층 및 이를 기반으로 하는 소자들을 확보하려는 연구가 지속됨.
- 스위칭 층의 구조 및 물성 측면에서의 엔지니어링을 통해 전도성 필라멘트 형성 과정의 무질서함을 개선하려는 연구가 지속됨. 격자 균열(dislocation) 혹은 나노 기공(nano-porous) 구조를 통해 미리 형성해 둔 길(pre-defined path)로 필라멘트가 형성 되도록 하거나, 실리사이드(silicide) 형성 혹은 Ti 잔유 필라멘트(residual filament) 형성을 통해 고신뢰성 동작을 가능토록 한 사례들이 발표됨.
- 상변화 물질군 역시 메모리스트 소자의 기반이 될 수 있다는 다수의 보고가 지속적으로 이루어지고 있음.

다) 기술 수준 및 역량 평가

□ 기술 수준 분석

○ 뉴로모픽 응용을 위한 메모리스트 소자 개발

- SK 하이닉스는 PRAM 기반 메모리스트에 4D NAND 기술을 접목하여 비용과 집적도, 메모리 용량 측면에서 높은 경쟁력을 갖춘 뉴로모픽 컴퓨팅 메모리 개발
- 삼성종합기술연구원에서는 MRAM 메모리스트 기반 저항 합산 방식의 병렬연산 구조를 갖는 뉴로모픽 플랫폼 개발 성공
- 서울대학교에서는 메모리스트 어레이를 이용한 시변(time-varying) 데이터 처리 시스템 개발 성공
- KAIST에서는 CMOS 적층 가능한 고신뢰성 RRAM 단일 소자 및 어레이 개발 성공
- ETRI에서는 초박막 구조 기반 고성능 메모리스트 소자를 이용한 뉴로모픽 하드웨어 개발

- KIST에서는 클러스터 타입의 아날로그 메모리 개발 성공

□ 기술 역량 분석

○ 상변화 소재 기반 메모리 개발 역량

- 국내 대학과 정부출연연구기관에서 차세대 비휘발성 메모리 기반의 메모리 개발 연구가 활발히 이루어지고 있으며 특히, 소재 단위의 특성 연구 역량이 매우 우수함.
- 국내 대학과 연구기관은 상변화 물질 기반 메모리 소재의 물성 연구가 10년 이상 지속되어 높은 수준의 연구 결과들이 축적되었으며 이해도가 매우 높음. 특히, 저항 드리프트 현상을 제어하는 초격자구조의 멀티레벨 상변화 소자와 관련된 최신 연구는 우리나라가 미국, 일본, 독일 등과 더불어 매우 높은 역량을 보유하고 있음.
- 메모리 응용을 위한 상변화 소재 영역에서는 특정 물질군에서 엔트로피 손실 (entropic loss)의 제어가 가능한 저전력·고효율 성능의 소자 개발이 가능한 수준임.

○ RRAM 소자 및 공정 개발 역량

- 국내 대학과 정부출연연구기관에서 하드웨어 중심 인공지능 프로세서를 위한 차세대 비휘발성 메모리와 인공지능 소자 개발 연구가 활발히 이루어지고 있음.
- 우리나라는 저항 변화 기반 메모리 소재의 물성 연구 역시 10년 이상의 기술 축적이 이루어졌으며, 기술 이해도와 향후 응용기술개발 가능성이 매우 높음. 특히, CMOS 적층 가능한 고신뢰성 멀티레벨 저항 변화 소자 연구는 우리나라가 선도국 수준의 역량 보유
- 우리나라의 RRAM 연구는 기존의 필라멘트 기반의 저항 변화 메커니즘이 갖는 불완전성을 보완하기 위해 다공성 레이어를 이용한 필라멘트 형성 제한, 다수의 약한 필라멘트 혹은 인터페이스 스위칭 메커니즘을 이용한 아날로그 동작 특성 구현

○ 3D RRAM 어레이와 CMOS 회로의 적층형 집적시스템 기술

- 국내 대학과 정부출연연구기관에서는 실리콘 기반의 CMOS 회로 상부에 RRAM 어레이를 제작함으로써 CMOS-RRAM의 3차원 집적시스템을 구현하는 연구 활발
- 국내 대학과 연구기관에서는 10년 이상의 투자와 연구개발을 통해 RRAM 기반의 하드웨어 중심 인공지능 시스템 구현에 노력을 기울이고 있음. 그러나 미국, 대만 등 비메모리 및 반도체 공정 분야에서 최선두권을 유지하고 있는 강국들의 대규모 투자진행

【 메모리스터 소자 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • 중앙처리장치의 동시적 처리 가능한 데이터 폭에 존재하는 한계(bit 수) • 폰 노이만 컴퓨터 구조에서 중앙처리장치와 메모리 영역 간에 필연적으로 존재하는 물리적 거리(배선의 RC 지연) • 중앙처리장치와 메모리 영역 간에 존재하는 성능(동작 속도) 간극과 상기 이유들로 인한 데이터 병목(bottleneck) 현상 • 스케일링 한계로 인한 집적도 증가 둔화 • 실리콘 CMOS 공정 호환성을 갖는 물질 및 공정 선택의 제한 문제 • 반복 펄스에 대한 불안정한 점진적 저항 변화 특성 • 멀티레벨 구현의 정확도를 개선하기 어려운 동작 메커니즘의 한계 • 신뢰성 문제를 해결하기 위한 요소 및 공정 기술을 적용했을 때 발생하는 크로스바 어레이가 갖는 실질적 집적도 문제 	<ul style="list-style-type: none"> • 새로운 컴퓨팅 패러다임의 뉴로모픽 및 인-메모리 컴퓨팅 기술을 위한 메모리스터 소자 개발 • 2단자 동작 기반 게이트가 없는 (gateless) 구조의 메모리스터 개발 • 실리콘 CMOS 공정 호환성을 갖는 물질군 확장과 더불어 호환성을 갖지 못하는 물질도 실리콘 제조 라인에서 다룰 수 있도록 해주는 배리어(barrier) 물질 및 제반 공정기술개발 • 셀 간의 간섭을 최소화하면서도 정교한 저항 제어가 가능토록 하는 어레이 동작 기법 개발 • 재연성 높은 멀티레벨 동작이 가능한 메모리스터 소재 개발을 통해 점진적 저항 특성 구현 • 공정 신뢰성 향상을 통하여 메모리스터 소자 및 어레이 수율 향상 • 3차원 적층을 통한 집적도 향상 • 동작 메커니즘의 개선과 새로운 메커니즘의 발굴을 통해 우수한 소자 신뢰성 및 정교한 멀티레벨 동작 특성 확보
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • 메모리스터 기반의 뉴로모픽 및 인-메모리 컴퓨팅 요소기술 개발 • 상호 전기적·열적 간섭을 최소화할 수 있는 안정적인 소자 구성 및 제작 • 멀티레벨 PRAM 메모리스터의 개발과 하드웨어 중심 컴퓨팅 기술에 적용 • 고성능·고신뢰성 동작이 가능한 RRAM 크로스바 어레이 개발 • CMOS-RRAM의 3차원 적층 집적시스템을 구현할 수 있는 실리콘 공정 호환 가능한 물질, 소자, 집적공정 개발 	<ul style="list-style-type: none"> • 10년 이상 축적된 상변화 물질 연구 결과들을 기반으로 높은 수준의 상변화 물질 박막 증착 기술, 박막 도핑 기술 등을 확보하고 있음. • 10년 이상 축적된 저항 변화 메모리 연구 결과들을 기반으로 점진적 저항 변화 기술, 메모리 어레이 기술, 인공신경망 설계 기술 등을 확보하고 있음. • 우리나라가 최강국의 위상을 유지해온 DRAM, Flash 등 메모리 기술로부터 전용 가능한 나노스케일의 초미세 공정 기법, 초고밀도 어레이 공정 기법, 다양한 펄스 기법들을 비롯한 어레이 동작 기법, 주변 회로 기법 등을 메모리스터 기술에 적용하기에 매우 유리한 환경

라) 중장기 기술발전 전망

□ 메모리스터 기술의 현재와 미래

【 메모리스터 소자의 요소 기술에 대한 현재와 미래 】

요소 기술	현재	미래
하드웨어 인공지능을 위한 소자 및 공정	<ul style="list-style-type: none"> 프로세서-메모리 간 데이터 병목 현상 해결을 위해 고속 메모리 인터페이스 구현을 위한 메모리 소자 및 집적공정 기술 개발 SRAM과 DRAM이 하드웨어 인공지능을 위한 메모리 셀로 적용되고 있음.(고속 메모리만 적용됨.) 	<ul style="list-style-type: none"> 프로세서-메모리 간 데이터 병목 현상을 해결하고, 데이터 처리의 병렬성을 극대화할 수 있는 고성능·고집적 메모리스터 및 집적공정 기술 개발 PRAM, RRAM을 비롯한 메모리스터 기술로 확대하여 체감 속도를 현저히 높이는 인공지능 하드웨어 개발
인공지능 프로세서	<ul style="list-style-type: none"> SRAM을 기반으로 한 인공신경망 칩, DRAM을 기반으로 한 HBM PIM 기술 등이 최신 기술에 해당 대용량 합 곱(MAC) 연산의 가속기 기술에 중점을 두고 있음. 곧, 실제 프로세서와는 별도로 존재함. 완벽한 실리콘 공정 호환성을 가져 양산에 진입하였으나, 미세공정 기술에 크게 의존하며 직렬적 데이터 처리를 벗어나지는 못함. 	<ul style="list-style-type: none"> 서버, 모바일 엣지 등 사용자 영역별 전력, 성능 및 기능을 특화하여 서비스 경쟁력을 갖춘 인공지능 프로세서 기술 실현 비휘발성 메모리가 MAC 연산뿐만 아니라, 일반 산술 및 논리연산까지 적극적으로 관여하는 범용성 높은 초고속 인공지능 프로세서 메모리스터 어레이를 기반으로 연산 및 저장이 한 장소에서 이루어져 데이터 처리의 병렬성 극대화
멀티레벨 소자	<ul style="list-style-type: none"> Flash 메모리에서는 멀티레벨 기술이 구현되고 있으나, 메모리스터 기술 영역에서는 완전히 구현하기 어려운 측면이 있음. 메모리스터 후보군에서 가장 큰 주목을 받는 PRAM, RRAM 기반 메모리스터는 0과 1의 이진동작은 무난하나, 생물학적 신경망 요소의 가소성, 점진적 저항 변화 특성을 정확히 모사하기는 어려움. 	<ul style="list-style-type: none"> 펄스에 따른 점진적 저항 변화가 유리한 PRAM 기반 메모리스터 프로세서가 선발표될 가능성이 높을 것으로 예상함. CMOS 회로와의 수직 집적을 통한 3차원 적층 시스템은 크로스바 어레이 기반 RRAM 기술이 용이함. 동작 메커니즘의 변화 및 보안을 통하여 신뢰성과 집적도를 향상시킨 메모리스터 소자 기반 시스템

○ CMOS 집적회로 기반 인공지능 시스템

- 최근의 뉴로모픽 컴퓨팅이나 인-메모리 컴퓨팅 기술들은 모두 기존의 컴퓨터에 기반을 두는 직렬적 데이터 처리 방식에서 벗어나, 병렬적·동시적 데이터 처리 능력을 극대화할 수 있는 새로운 컴퓨터 구조에서의 연산 방식을 추구하며, 이를 위해서는 이러한 컴퓨터 구조에 맞추어 설계된 새로운 구조, 우수한 성능의 소자 개발이 필수적임.
- 현재 최신 인공신경망칩은 CMOS 집적회로를 기반으로 제작되고 있으나(뉴런 회로와 시냅스 회로), 저전력·고속 동작을 위해서는 스케일링 기술에 의존하지 않으면 안 된다는 한계가 존재함. 완결성 높은 신경망 구성 요소의 구현을 위해서는 CMOS 집적회로에서 대면적 커패시터들의 사용이 불가피하다는 점에서 CMOS 집적회로만으로 구성한 인공지능 반도체 칩은 기술발전에 한계가 명확함.
- 뉴로모픽이나 인-메모리 컴퓨팅 기술은 공통적으로 메모리 기술을 중심으로 하는 시스템 기술임. 따라서, 나노스케일의 대단위 메모리스터 어레이 구현이 정보의 저장과 연산이 이루어지는 핵심 장소로 기능할 수 있는 시스템 기술을 지향하는 것이 매우 전략적인 접근임.

○ 3차원 집적시스템 구현을 위한 집적공정

- 기존의 CMOS 기반 집적시스템에 있어서는 고속·고용량 시스템 구현을 위한 연산과 저장을 담당하는 소자의 구조와 제작을 위한 집적공정이 상이함.
- RRAM을 독립적인 시스템으로 구현하는 것보다 설계 및 공정기술이 성숙한 CMOS 기반 시스템과 핵심 연산 및 저장 기능을 수행하는 RRAM을 통합하는 방식이 신뢰성과 성능의 완결성 측면에서 유리함. 다만, 실리콘 CMOS 공정 호환성으로 인하여 물질 및 3차원 적층 공정과정에서 제약 조건들이 발생할 소지가 큼.
- RRAM 소자 및 어레이 개발과 집적공정 개발에 지속적인 투자를 통해 신뢰성 및 집적도를 동시에 향상시키는 연구개발은 새로운 개념의 컴퓨팅 기술 분야에 있어 핵심적인 내용이 될 것으로 보임.

(3) 산업 및 시장 분석

가) 시장 동향 분석

□ 국내외 시장 동향

○ 1세대 CMOS 기반 뉴로모픽 반도체 기술

- 2009년 Stanford 대학에서 256×256 크기의 어레이를 기반으로 하여 아날로그/디지털 혼합 설계방식으로 구현한 뉴로모픽 집적회로인 Neurogrid 발표함.
- 2012년 영국 Manchester 대학에서 스파이크 신경망을 실시간적으로 모델링할 수 있는 대규모 병렬처리 뉴로모픽 슈퍼컴퓨터인 SiNNaker 개발
- 2014년 IBM은 미국 국방부 산하 DARPA의 SyNAPSE 프로젝트에 참여하여 4,098개의 시냅틱 코어로 구성된 TrueNorth 개발
- 2019년 Intel은 14nm 공정을 기반으로 온 칩(on-chip) 학습이 가능한 스파이킹 뉴로모픽칩인 로이히(Loihi) 발표

○ 차세대 뉴로모픽 반도체

- 차세대 뉴로모픽 반도체 기술은 생물학적 시냅스를 보다 더 정확히 재현하며, 메모리와 가변 저항의 두 가지 특성을 동시에 갖는 멤리스터 소자를 활용할 가능성이 높음. 현재 멤리스터 기술을 주도하고 있는 국가는 미국이며, 독점 기업 없이 Crossbar Inc., IBM Corporation, Knowm Inc., Samsung Group, Intel Corp. 다섯 기업이 경쟁 구도를 가지며 시장을 주도하고 있음.
- 2012년 Intel과 Micron에서 PRAM 기반의 3D XPoint Memory를 선보임. 독립된 메모리 기술 자체로서는 경쟁력이 높지 않아 장기적인 사업 아이টে으로 자리 잡지는 못하였으나, 대단위의 병렬적 MAC 연산에 매우 유리한 크로스바 어레이 구조를 기반으로 하고 있어, 차세대 뉴로모픽 반도체 기술로서의 가능성을 상시 가지고 있음.
- 2019년 2월 Crossbar Inc.와 Robosensing Inc.는 AI 컴소시엄에서 엣지 컴퓨팅, 클라우드 및 데이터센터에 적용될 수 있는 속도 향상이 이루어진 저전력 AI 플랫폼을 공개함.

- 2019년 8월 4DS Memory Ltd.에서 RRAM 기반 멤리스터 관련 기술 특허를 등록함. (Resistive Memory Device Having a Retention Layer)

【 멤리스터 시장 규모 분석 】

(단위 : 억원)

구분	2021	2022	2023	2024	2025	2026	2027	CAGR [%]
세계 시장 규모	929.6	1,421.4	2,173.4	3,323.1	5,080.9	7,768.8	11,878.4	52.9
국내 시장 규모	27.9	42.6	65.2	99.7	152.4	233.1	356.4	-

[출처 및 산출 방법]

* Maximize Market Research에서 발간한 'Memristor Market: Global Industry Analysis and Forecast (2022-2029)' 참조.

* 국내 시장은 세계 시장의 3%로 잡았으며, 환율은 1,200원으로 계산함.

○ 글로벌 RRAM 메모리 시장 동향

- 글로벌 RRAM 시장 규모는 2025년 6억 5,500만 달러 규모로 예상되며 연평균 16%의 성장률을 보일 것으로 전망됨. (출처: Market Research Future, 2021)
- 인공지능과 기계학습의 발전은 이미지 처리, 음성 인식, 번역 및 로봇 제어 등 다양한 응용 분야에서 이루어지고 있으며, RRAM 기반의 하드웨어 인공지능 개발의 필요성은 급격히 증가함.
- 낮은 소비전력, 높은 연산 속도, 초고밀도의 메모리 구현이 가능한 RRAM 메모리 기술에 대한 수요가 폭발적으로 증가하고, 반도체 시장 전반의 성장 촉진에 파급을 줄 것으로 기대됨.

나) 산업 동향 분석

□ 국내외 산업 동향

○ 퀄컴 스냅 드래곤(Snapdragon)

- 2013년 퀄컴은 신경망 네트워크를 모방하여 학습하는 인공지능 프로세서인 제로스(Zeroth)를 공개하였으며, 이를 기반으로 스마트폰 AP(application processor)에 뉴로모픽 개념을 접목시킴.
- 2016년 정교한 뉴로모픽 기술이 탑재된 스냅드래곤 820과 2019년 상위 버전인 스냅드래곤 865를 발표

○ 애플 A 시리즈

- 2019년 하반기 고성능 코어를 기반으로 하면서도 저전력 동작이 가능한 A13 바이오닉 발표
- 인공지능 업체인 엑스노.ai(Xnor.ai)를 2억 달러에 인수하여 사람과 동물, 물건을 감별하는 인공지능 센서 기술 확보

- 삼성전자 엑시노스(Exynos)
 - 2019년 삼성전자는 뉴로모픽 기술을 탑재한 엑시노스 9820을 선보임.
 - 2030년까지 뉴로모픽 분야 전문 인력을 2,000명까지 확대하여 인공지능 프로세서 기술 기반 확보 계획을 발표함.
- 화웨이 기린(Kirin)
 - 2017년 화웨이는 뉴로모픽 기술을 탑재한 기린(Kirin) 970을 발표함.
 - 2018년, 2019년 인공지능 성능을 연달아 향상시킨 기린 980, 기린 990을 공개하여, 뉴로모픽 기반의 스마트폰 산업에 공격적인 투자를 펼치고 있음.
- TetraMem(미국)
 - 2024년 RRAM을 기반으로 한 인공지능 가속기 생산을 목표로 함.
- CrossBar(미국)
 - 2021년 RRAM을 기반으로 한 암호화 소자 기술(physically unclonable function, PUF)을 발표함.
- Intel(미국)
 - 2019년 22nm CMOS 로직 공정을 토대로 한 임베디드 RRAM 메모리를 개발하였으며, 10.1Mbit/mm의 저장 용량, < 1pJ의 read energy/bit 특성을 확보함.
- Fujitsu(일본)
 - 2022년 12Mbit의 메모리 용량과 0.15mA의 낮은 읽기 전류를 갖는 RRAM 기반의 메모리 제품 MB85AS12MT를 발표함.
- Sony(일본)
 - 소니는 128GB 및 256GB RRAM 드라이브를 상용화하여 자사 제품인 플레이스테이션 5 게임기 콘솔에 적용하는 것을 목표로 함.
 - 128GB 드라이브의 경우 25.6GB/s의 읽기 속도, 9.6GB/s의 쓰기 속도 및 14.6W의 소비전력을 목표로 하며, 256GB 드라이브의 경우 51.2 GB/s의 읽기 속도, 19.2 GB/s의 쓰기 속도, 27.2 W의 소비전력을 성능 목표로 삼음.
- Weebit Nano Ltd.(이스라엘)
 - 2022년 미국 SkyWater사의 130nm CMOS 공정을 기반으로 한 RRAM 메모리 칩 제작
- TSMC(대만)
 - 2019년 40nm 공정을 이용한 2Mb RRAM 칩을 개발하였으며, 자동 포밍(auto-forming), 자동 쓰기(auto-write) 기법을 이용하여 forming time과 page write time을 각각 95%, 99% 감소시킴.

다) 정책 분석

□ 주요국의 정책 동향

○ 유럽 EU

- EU에서는 2013년도부터 10년간 10억 유로 규모의 지원으로 Human Brain Project(HBP) 진행 중
- EU는 2022년 2월 유럽 반도체 법안을 발표함. 유럽의 반도체 기술 확보를 위하여 총 33억 유로(한화 4조 6천억 원)의 기금으로 유럽 반도체 이니셔티브 설립, 공급 안정화 체계 마련, 모니터링 및 대응 조정 체계 형성하는 계획이 주요 내용임.

○ 미국 신개념 반도체 소자 연구

- 미국 국방부 산하 DARPA가 주도하는 SyNAPSE(Systems of Neuromorphic Adaptive Plastic Scalable Electronics) 프로젝트를 통해 인공지능 반도체 관련 두뇌모사형 뉴로시냅틱칩인 TrueNorth를 개발하여 보행자 서비스 및 차량 기술에 일부 적용 중
- Brain Initiative 프로그램을 통해 2013년부터 10년간 총 30억 달러의 예산을 지원하여 뇌의 종합적인 이해와 뇌 질환 극복을 위한 뇌지도 구축 프로젝트를 진행 중
- 2022년 7월 29일 '반도체와 과학법'을 통과시키며 인공지능 및 첨단 산업의 중장기적인 역량을 확보하기 위해 총 2,800억 달러 규모의 연구개발 예산 및 산업 보조금을 편성함.

○ 대한민국

- 2022년 7월 21일 산업통상자원부는 '반도체 초강대국 달성 전략'을 발표하였으며, 기업 투자 확보를 위한 세제 및 인프라 지원과 규제 특례, 10년간 15만명 이상의 인력 양성, 2030년 시스템 반도체 시장 점유율 10% 달성, 소부장 생태계 구축을 통한 자립화율 50% 확대를 목표로 공표함.

○ 중국

- 해외기업 의존도가 높은 단점을 극복하기 위하여 자국 반도체 산업 육성 추진
- 첨단산업 육성 전략인 '중국제조 2025'를 통해 10년간 170조 원을 투자해 2025년 반도체 자급률 70%를 달성하고자 함.
- 미·중 갈등 심화로 인해 2019년 350억 달러 규모의 기금을 조성하고, 미국 제재의 회피와 기술 독립을 주요 목표로 삼고 있음.

○ 일본

- 일본 경제산업성은 2021년 6월 '반도체 전략'을 발표하였으며, ① 첨단 반도체 양산 체제 구축, ② 차세대 첨단 반도체 설계 및 개발 강화, ③ 반도체 기술의 그린 이노베이션, ④ 국내 반도체 제조기반 재생, ⑤ 경제안전보장 관점에서의 국제 전략 추진
- 자국의 약점인 세계적 수준의 유망 파운드리 부재를 외국 첨단 파운드리 업체인 TSMC와의 협업을 통해 극복하고, 이를 자국의 강점인 국내 반도체 소재/제조장치 산업과 결합하는 방향으로 반도체 기술 전략을 수립함.

(4) 핵심 전략기술 및 로드맵

가) 핵심 전략기술

□ 전략기술의 목표

- 인공지능 반도체 시스템을 위한 메모리 소자, 소자, 공정, 아키텍처 및 SW 개발
- 반도체 메모리는 결국 우수한 성능의 컴퓨터 시스템 적용을 목표로 하고 있는데, 근래 컴퓨터 기술은 공통적으로 빅데이터 처리를 위한 연산 병렬성(parallelism)을 극대화할 수 있는 인공지능 컴퓨팅을 추구하고 있음.
- 인공지능 반도체 시스템을 위한 메모리 또는 메모리 기술 개발의 방향이 결코 단일 메모리 기술 개발의 요건과 배치되지 않음.

○ 새로운 상변화 물질 개발

- 고속, 저전력, 고신뢰성 메모리 개발을 위해서는 소재 개발이 우선적으로 이루어져야 함.
- 대표적인 PVD(physical vapor deposition) 기법인 RF sputtering을 기반으로 초격자 구조의 박막을 형성할 수 있는 기술 확보 필요
- Metavalent 특성을 갖도록 화학 결합 조절이 용이한 상변화 물질 개발 필요
- 저엔트로피 합금(low entropy alloy) 구조 기반 재료 개발: 엔트로피가 극도로 낮은 물질의 설계를 통해 상변이 시 물질 내부 구조가 완전히 용융되지 않고 제한된 수의 원자들의 이동을 통해서도 큰 저항 차이를 만들어내는 새로운 물질 시스템 구현 필요
- 고엔트로피 합금(low entropy alloy) 구조 기반 재료 개발: 박막 내 국소 구조 안정성을 비교하여 온도에 따른 엔탈피 및 엔트로피가 안정화되는 구역을 나누어 가역적인 에너지 소실을 극소화할 수 있는 기술 개발 필요

○ 상변화 메모리 기반 학습용 PIM 소자 개발

- 학습(learning)과 추론(inference)이 가능한 고속, 저전력, 고신뢰성 PRAM 소자 개발
- 크로스바 구조의 상변화 메모리 어레이 제작 및 특성 평가
- 멀티레벨 동작 특성이 확보된 상변화 메모리를 활용하여 고밀도 하드웨어 인공지능 시스템 구현 기술
- MAC 연산뿐만 아니라 일반 산술 및 논리 연산이 가능한 범용성 높은 하드웨어 인공지능 셀 기술 개발

○ 저전력·고신뢰성 저항변화 소자 개발

- 기존의 RRAM이 신뢰성 문제를 겪는 가장 큰 이유는 내부 필라멘트의 불규칙한 생성과 붕괴임. 따라서, 필라멘트의 동작을 균일하게 유지할 수 있는 국소 필라멘트(confined filament) 기술 기반의 RRAM 소자 개발 필요
- 산화물 기반 RRAM의 경우, 전도성 필라멘트 내부의 산소 동공 농도가 낮거나 동

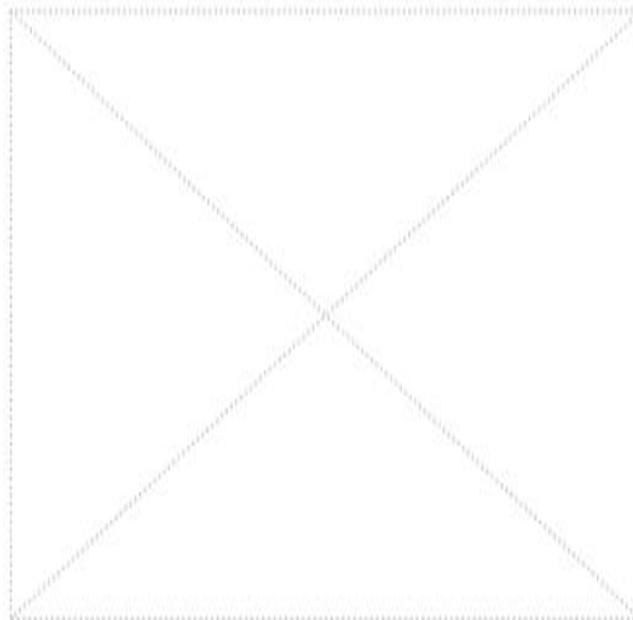
공 사이의 거리가 멀리 분포할 수 있는 물질을 기반으로 저전력 RRAM 소자 개발이 필요

- 금속 이온 기반 RRAM의 경우, 기존의 Ag 혹은 Cu보다 전기전도성이 낮아 전류 소모가 작은 반도체 물질의 필라멘트를 기반으로 동작하는 저전력 RRAM 소자 개발이 필요

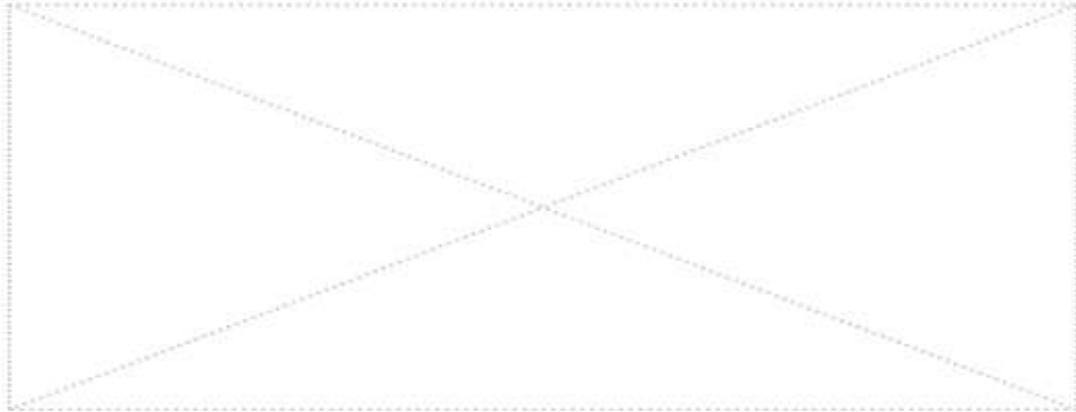
○ 효율적인 인공지능 시스템을 위한 RRAM 소자 개발

- 하드웨어 중심의 저전력 인공지능을 위한 신경망 구현을 가능토록 하는 고신뢰성 RRAM 소자 및 어레이 기술 개발
- 크로스바 구조 기반 RRAM 어레이 제작 및 특성 평가
- 크로스바 어레이 내에서의 연산 성능 평가
- 다중층(multi-layer) 구조의 복잡한 인공신경망 구현이 가능한 초고집적 RRAM 소자 및 어레이 개발과 평가

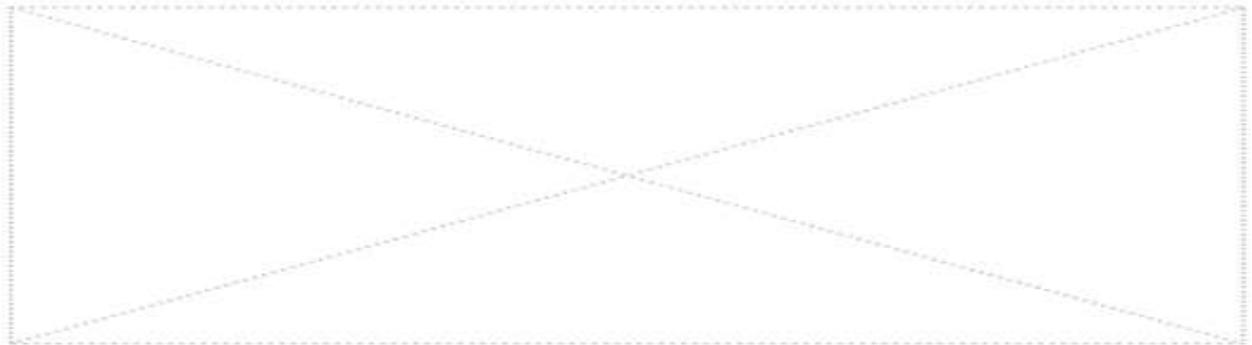
【 핵심 전략 기술 개념도 】



【 필라멘트 형성의 국소화(confinement)를 통한 고신뢰성 RRAM 소자(좌)
반도체 필라멘트를 기반으로 동작하는 저전력 RRAM 소자(우) 】



【 RRAM 크로스바 어레이에서의 MAC 연산 원리(좌), CMOS 주변회로와 함께 집적된 RRAM
기반 신경모방 컴퓨팅 프로세서: 공정 단면도(가운데)와 시스템 구성도(우) 】



○ 전하 트랩 메모리스터 원천 기술 개발

- 상의 변화, 원자 및 원자의 공공(vacancy)의 이동을 전제로 하지 않는 새로운 메커니즘 기반의 메모리스터 개발. charge-trap flash와는 구분되는 개념으로, 기본적으로는 2단자 구조를 가지며 전하를 트랩하는 영역 자체가 conduction path의 일부라는 점에서 큰 차이가 있음.
- 아직은 PRAM, RRAM 등에 비하여 기술 수준이 초기 단계이므로 scaling 기술이나 적층 기술을 기반으로 한 칩 기술 개발, 이들과 동일한 수준으로 로드맵을 제시하는 것은 어려움이 있을 수 있음. 그러나 로드맵과 별개의 track으로 새로운 메커니즘의 메모리 원천기술 역시 지속적으로 발굴되는 것 자체도 '메모리 로드맵'에 포함될 필요가 있음.
- 저항의 변화를 위해 conduction path의 원자의 움직임이 전제되어야 하는 기존의 메모리스터 기술에서 한발 더 나아가 원자의 움직임은 최소화하면서 스위칭 영역 내에서 전자를 포획함으로써 효과적인 전류량 변화를 가능토록 하는 새로운 개념의 메모리스터 개발
- 메모리 기술에 적용 가능한 물질 확장보다 안정적인 메모리스터 기술 개발이 이루어질 수 있는 원천기술의 확보가 이루어지도록 제3의 기술 트랙 마련이 필요함.

□ 전략기술의 중요성 및 추진 방향

○ 새로운 상변화 물질 개발

- 상변화 과정에서 발생하는 엔트로피 변화의 제어 외에도 소재 특성의 변화 및 물성 분석, 새로운 구조의 원자 레벨 시뮬레이션을 통해 제한된 엔트로피를 갖는 시스템(limited entropy system)에 기반한 새로운 연구 영역 확장 필요
- 초격자 구조 기반의 저엔트로피 상변화 소재 개발
- 고엔트로피 물질 기반의 상변화 소재 개발
- 밀도범함수 계산을 통한 상변화의 동역학(dynamics) 분석 기법 개발

○ 인공지능 반도체에 적합한 재료 및 소자 개발

- DRAM, NAND flash로 대표되는 전하 저장 기반의 메모리보다 저항 변화 기반 메모리인 상변화 물질이 단위 셀 내에서 다치연산을 효과적으로 수행하는 데 비교적 더 적합하므로, 향후 초격자 기술을 이룰 수 있는 메모리 개발을 위해서는 소재-소자 기술이 긴밀하게 연동된 연구개발이 필요
- 초격자 구조 기반의 저엔트로피 상변화 소자 개발
- 고엔트로피 물질 기반의 상변화 소자 개발
- backpropagation 등 인공신경망의 주요 기능들을 구현할 수 있는 상변화 소자 기반 하드웨어 인공지능칩 기술 개발

○ 저전력·고신뢰성 저항변화 소자 개발

- RRAM은 뛰어난 아날로그 동작 특성, 간단한 소자 구조 및 공정, CMOS 공정 호환성 등으로 큰 주목을 받았지만, 낮은 동작 신뢰성과 높은 전류 소모로 인해 상용화에 어려움을 겪어 왔음. 저항변화층의 물질 및 구조 측면에서의 연구를 통해 고신뢰성을 갖추면서도 저전력 동작이 가능한 RRAM 멤리스터의 연구개발이 필요
- 필라멘트의 움직임을 제한하여 신뢰성을 높일 수 있는 구조(nanoporous material) 개발
- 필라멘트가 이어진 상태(on state)에서도 과도한 전류가 흐르지 않도록, 적합한 크기의 저항을 갖는 소자 개발

○ 효율적인 인공지능 시스템을 위한 RRAM 소자 개발

- RRAM 크로스바 어레이는 소자 내부에서 자체적으로 행렬 연산(MAC 연산)이 가능하며, 기존의 SRAM 또는 DRAM 기반 인공지능 프로세서 대비 하드웨어의 구조가 간단하며, RRAM 크로스바가 인공신경망의 가중치를 저장함과 동시에 연산까지 수행하므로 전력 측면에서도 매우 효율적임. 따라서, 에너지 효율성이 높은 경량 인공지능 프로세서의 개발을 위해서는 기존의 SRAM, DRAM에서 벗어나 RRAM 기반 크로스바 어레이 기반의 인공지능 프로세서 개발이 필연적임.
- 고신뢰성 및 저전력 동작 특성을 갖는 아날로그 RRAM 크로스바 어레이 개발
- 개발한 고신뢰성 RRAM 크로스바 어레이를 기반으로 인공지능 기능 수행을 위한 시스템 및 알고리즘 개발

□ 핵심 전략기술 발굴

○ 새로운 상변화 물질 개발

- DRAM 대비 속도 경쟁력을 갖기 위해서는 10ns 이하의 초고속 메모리 동작이 가능한 원천 소재 개발이 필요함.
- 이와 동시에 수십 ps 이내에서의 상변화 메커니즘 규명이 필요
- phonon anharmonicity 및 화학 결합 특성(metavalent bonding)을 펨토초 영역에서 분석 필요

○ 인공지능 반도체에 적합한 상변화 재료 및 소자 개발

- 상변화 소재 개발을 통해 인공지능 시스템 구현에 적합한 물질군 선정 및 합성 원천 기술 확보
 - 세계 최초로 학습이 가능한 비휘발성 메모리 기반 인공지능 반도체 원천기술 개발을 통해 독창적인 IP를 확보하고, 기업과의 공동연구 전개와 기술 이전 등이 가능함.
 - * 인공지능 시스템을 위한 소자에 활용 가능한 소재 개발을 위하여 물질군 선정 방법론 확립
 - * 공정 및 전기적 스위칭에 대한 원천기술 확보
 - * 확보한 원천기술을 기반으로 PRAM 기반 인공지능 시스템 관련 설계, 재료, 장비 분야의 생태계 주도 가능

○ 3D 크로스바 어레이를 위한 증착 기술 및 상변화 재료 평가

- 현재까지 보고된 상변화 물질에 기반한 3D 크로스포인트 기술은 집적도의 한계로 NAND flash를 대체하지 못하며, 동작 속도 측면에서도 DRAM을 대체하지는 못함.
- 차세대메모리 재료로 주목받는 상변화 물질에 대한 원천기술 특허가 미국과 중국에 비해 부족한 상황임.

○ 비휘발성 메모리 기반 멤리스터 소재 개발 및 원천기술 확보

- 비휘발성 메모리 기반의 멤리스터를 기반으로 게이트가 없는 구조의(gateless) 2단자 메모리 소자 및 고집적 시스템 구현 기술 확보가 가능함. 다만, 새로운 구조의 소자 설계에 있어 단자의 수는 절대적 기준이 될 수는 없으며, 응용에 따른 집적도/전력 소모/동작 속도 요건에 따라 자유도를 가질 수 있음.
- 상변화 소재에서 metavalent 결합 형성 정도를 조절함으로써 단일 메모리 소자 성능을 극대화하고, 안정적인 multi-level 상태 구현이 가능한 원천기술 확보 연구가 필요함.

○ 필라멘트 이동을 효과적으로 제한하는 confine 소재 개발

- 불규칙한 필라멘트의 움직임이 한 곳으로만 이루어질 수 있도록 공간적 제한을 주어, 일정한 위치에서 형성/붕괴되는 필라멘트를 위한 나노 구조의 RRAM 개발 필요
- 높은 신뢰성을 가지면서도 기존 RRAM의 장점인 아날로그 메모리 특성, 간단한 소자 공정, BEOL(back-end-of-the-line) 공정 호환 가능성을 유지할 수 있는 소자 개발 필요

○ 저전력 동작 가능한 RRAM 개발

- 기존 RRAM 대비 더욱 낮은 전류로 동작할 수 있는 소자 개발 필요
 - * 기존의 RRAM은 동작 전류가 높은 문제가 있어 저전력 동작에 유리하지 못함. 필라멘트 자체의 저항을 높일 수 있는 방향의 연구가 필요함.

○ RRAM 소자 기반 크로스바 어레이 구현 및 응용 기술 개발

- RRAM 소자를 이용한 뉴로모픽 컴퓨팅, 행렬 연산 등을 하려면 결국 고집적 크로스바 어레이에서도 RRAM 소자가 균일하고 우수한 특성을 유지할 수 있다는 것이 검증되어야 함.
- 단일 소자를 넘어서 고집적 크로스바 어레이로 집적하기 위해 적합한 소자와 그에 맞는 공정을 개발해야 하며, 제작된 크로스바 어레이에서 각 소자 간 특성이 균일하다는 것이 검증되어야 함.
- RRAM 크로스바 어레이를 실제 제품화가 가능한 뉴로모픽 프로세서로 만들기 위해서는, 이를 위한 하드웨어 시스템과 알고리즘이 함께 개발되어야만 함. 하드웨어 시스템과 알고리즘의 개발이 함께 진행되었을 때 비로소 RRAM 기반 뉴로모픽 프로세서의 상용화가 가능할 것임.

나) 기술개발 로드맵

○ 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 메모리스트 소자 전략 기술 로드맵 】 * ■ : 정부의 집중지원이 필요한 기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
메모리스트	소자 신뢰성 필요 (배선 RC 지연, 저항특성 변화 多, 멀티레벨 X)	핵심 소재 및 소자 개발						신뢰성 및 산포제어 기술 확보			메모리스트 기반 프로세서 구현 (3차원 수직적층, 저항특성 변화 少, 멀티레벨 O)	
		메모리스트 어레이 기반 컴퓨팅 기술 개발						공정/설계 기술 고도화				

다) 기대효과

□ 기술적 측면

○ 새로운 상변화 물질 개발

- 응용 소자 구현을 위해서 우수한 상변화 특성 확보
- 초격자 구조를 제작하여 수직 방향으로의 원자 확산을 제어함으로써 구현된 저항 상태들의 resistance drift를 효과적으로 제어
- 초고속/저에너지 상변화 소재를 개발하는 과정에서 상변화 소자의 특성을 평가하기 위한 소자 구조 최적화가 가능한 원천기술을 확보

○ 인공지능 반도체에 적합한 상변화 재료 및 소자 개발

- 소자 제작 과정에서의 공정 최적화 연구 진행이 필수적임.

- DRAM으로 대표되는 전하 기반의 메모리와 달리 저항 기반의 PRAM 메모리는 Memristor 구조로서 적합함.
- 상변이 물질 내부에서 화학적 결합이 부분적으로 바뀜으로써 저항값을 구별할 수 있는 Multi-level 특성을 활용하여 집적도 향상이 가능함.
- 외부에 별도의 저장 장치가 필요 없이 Data transfer가 가능하며, 메모리 소자에서 직접 연산 수행
- Gateless 두 단자 메모리 소자로서 동작이 가능해 고집적도 시스템이 구현 가능함.

○ Crossbar array 구조 기반 시스템 구축

- Back propagation을 통한 딥러닝 연산 등이 용이하여 뉴로모픽 연산에 적합한 시스템임.
- 고신뢰/저전력의 다치화 특성이 확보된 상변화 물질 기반하여 Matrix-Vector-Multiplication (MVM)을 보다 적극적으로 활용할 수 있음.

○ 저전력·고신뢰성 저항 변화 소자 개발

- 상용화 가능한 RRAM 소자 개발을 위해 고신뢰성, 저전력 특성 확보
- 전도성 필라멘트의 전기전도성을 획기적으로 낮추어 on 상태에서 0.01 mA 이하의 전류를 소모하는 저항 변화 물질 개발
- 고신뢰성, 저전력 RRAM 소자를 개발하는 과정에서 이러한 특성을 가능케 하는 독창적인 소자 구조, 물질 및 공정에 대한 원천기술을 확보하고 단일 소자 수준에서의 데이터를 기반으로 하여 고집적 어레이 제작을 위한 발판이 될 수 있음.

○ RRAM 기반의 뉴로모픽 컴퓨팅 프로세서 개발

- SRAM, DRAM 기반 뉴로모픽 프로세서는 고집적이 불가하여 에너지 효율이 떨어지며, 휘발성 특성을 가져 전원 연결이 필수적이고, 무엇보다 아날로그 가중치 저장이 불가하여 행렬 연산을 위한 별도의 거대한 주변 회로가 필요함.
- RRAM 기반의 뉴로모픽 프로세서를 이용하면 에너지 효율적이면서도 전원이 없이도 가중치를 계속 저장할 수 있고, 기존의 뉴로모픽 프로세서 대비 작고 가볍게 제작이 가능하기 때문에 웨어러블 디바이스, 휴대폰 등에서도 인공지능을 수행할 수 있는 엣지 디바이스 형태로도 제작이 가능해짐.

□ 경제적, 산업적 측면

○ Big Data 처리

- Crossbar array 구조는 DRAM, NAND Flash 기반 모듈에 비해서 아날로그 연산에 적합하여 Back propagation을 통한 딥러닝 연산 등에 적합한 구조
- 기존 3단자 트랜지스터를 상변화 물질 기반 2단자 (Gateless) 트랜지스터로 대체하여 고집적 연산에 유리한 구조를 갖추고 있음.

○ 소자 공정 원천기술 및 노하우 확보

- RF sputtering 기반 대면적/고품질 상변화 물질 박막 합성법 개발이 필수적임
- 실리콘 기반 반도체 공정 방식을 그대로 적용하여 산업적 활용 가능성 극대화할 수 있음.
- 반도체 시장을 재편할 차세대 성장 동력으로서 상변화 소자 분야의 새로운 산업 패러다임을 창출 및 개편할 것으로 기대됨.

○ 차세대 인공신경망 프로세서의 원천기술 확보

- RRAM 기반의 크로스바 어레이는 기존 메모리와 달리 소자 내부에서 가중치의 저장뿐만 아니라 행렬 연산이 동시에 가능하기 때문에 에너지 측면/크기 측면에서 매우 효율적임. 따라서, 현재 인공지능의 가장 큰 해결 과제로 여겨지는 막대한 에너지 사용량 및 컴퓨팅 자원 사용량을 해결 가능할 것으로 기대함.

○ 소자 공정 원천기술 및 노하우 확보

- RRAM의 상용화를 위해선 고신뢰성 특성 및 저전력 특성 확보는 필수적이며, 이에 대한 기술을 미리 선점하여 큰 경제적 효과를 볼 수 있음.
- 기존 CMOS 공정기술을 이용하기 때문에 추가적인 설비 도입이 필요치 않아 경제적임.
- 추후 차세대 비휘발성 메모리 시스템, 뉴로모픽 프로세서, 로직 소자 등 다양한 응용이 가능하기 때문에, 이에 대한 원천기술과 노하우가 확보된다면 무어의 법칙에 따라 한계를 맞이하고 있는 Si 반도체를 넘어 새로운 반도체 생태계를 주도할 수 있음.

□ 공공 연구개발 측면

○ 융복합 연구

- 상변화 물질 기반 전자 소자에 대한 이론 연구, 소재 개발, 소자 공정, 소자 및 회로 모델 등 다양한 분야의 융복합 연구가 가능함.
- RRAM 소자에 대한 이론적 연구, 저항 변화 물질 개발, 공정 개발, 소자 및 회로 모델, RRAM 기반 뉴로모픽 시스템 개발 등 다양한 분야의 융복합 연구가 가능함.

○ 우수 실용인재 배출

- 소재 기술, 시뮬레이션 기술, 증착 기술, 측정 및 분석 기술 등에 전문적인 지식과 연구 경험한 연구원 배출하여, 관련 분야 국내 반도체 산업을 선도하는데 기여함.
- 소자 개발 기술, 시뮬레이션 기술, 하드웨어 시스템 개발 기술 등에 전문적인 지식과 연구 경험한 연구원을 배출하여, 관련 분야 국내 반도체 산업을 선도하는데 기여함.

3. 강유전체 소자 기술

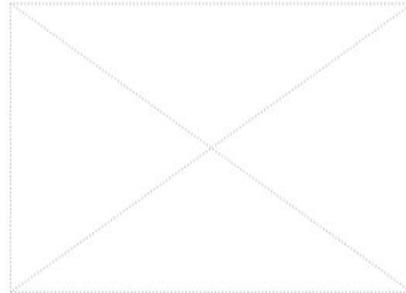
(1) 기술 개요

가) 기술 정의 및 필요성

□ 기술의 정의

- (정의) 강유전체(Ferroelectric) 소재*를 포함하는 소자로서, 전기장에 의한 분극 특성을 이용해 정보를 저장하거나 처리하는 차세대 소자

【 강유전체 구조 및 동작원리 】



강유전체의 분극-전기장 (Landau energy landscape와 분극 상태에 따른 HfO_2 의 unit cell 모식도)

- (특징) DRAM 대비 비휘발성에 따른 저전력 소비, NAND 대비 고속으로 정보처리하면서도 단순한 구조로 3D 초고집적도 달성이 가능하고 MPB 고유전을 및 음의 유전율로 고속 로직소자로 활용

【 강유전체 소자와 기존 주요 메모리 비교 】

구분	DRAM	NAND FLASH	강유전체 소자
메모리 유지	휘발성	비휘발성	비휘발성
정보처리 속도	중간	느림	중간
집적도	높음	높음	높음
복잡성	낮음	낮음	낮음

- NAND FLASH와 비견되는 간단한 구조 및 다치소자 구현, 3D 초고집적이 가능하여 차세대 메모리로서 유망
- 단일 기능으로 스토리지 및 SCM(Storage Class Memory)에 응용이 가능하며, 임베디드 메모리에도 적용될 것으로 기대

- (한계) 반복 동작횟수가 기존 메모리에 비해 낮으며, 멀티 비트(Multi bit)를 위한 추가 기술개발이 필요

- (의의) 강유전체가 향후 상용화될 수 있기 위해 소재, FeRAM / 강유전체 Capacitor, FE-FET / NC-FET, FTJ, 강유전체 기반 컴퓨팅 기술이 우선적으로 필요

- (소재) 현 기술에서 크기와 신뢰성 한계로 소재 측면에서 초박막 및 고신뢰성 박막 개발이 중요하며, 향후 초고집적 메모리 응용 촉진
- (FeRAM/강유전체 Capacitor) FeRAM은 1T-1C 구조의 비휘발성 Capacitor를 포함한 메모리로, 고속·고신뢰성·멀티레벨·고유전을 연구가 필요하며 향후

eDRAM 혹은 post DRAM 응용 가능

- (FeFET/NC-FET) FeFET, NC-FET은 비휘발성 고속 MOSFET으로, 고속·고신뢰성·멀티레벨·고유전율·저산포 소자 연구가 필요하고 이를 기반으로 post NAND 및 로직 소자로 응용 기대
- (FTJ) FTJ는 강유전체 초박막 기반 멤리스터로 높은 on/off 비율·고속 스위칭·고내구성·저산포 연구가 필요하며 SCM이나 3D 적층 통한 Storage로 높은 응용성 보유
- (강유전체 기반 컴퓨팅) 특유의 비휘발성으로 PIM 및 뉴로모픽 컴퓨팅 응용이 가능하나, LiM, CiM, PUF, CAM 등의 PIM 기술 연구와 M3D 및 3D 기술이 적용된 셀 및 어레이 기술이 필요

□ 기술의 필요성

○ 강유전성 HfO₂ 소재 및 결정상 제어 기술의 필요성

▪ 강유전성 HfO₂ 소재의 필요성

- * 강유전성 기반 메모리 소자는 강유전체 특유의 비파괴성(non-destructive), 비휘발성(non-volatile), 낮은 에너지소모, 빠른 동작 속도, 등의 장점들로 인해 차세대 메모리 소자들 가운데 가장 유망한 후보 중 하나로 여겨져 왔음.
- * 강유전성 HfO₂를 이용하면 차세대메모리 소자로 각광받는 강유전 기반 메모리 소자를 10nm 영역으로 소형화가 가능하며 고에너지 효율의 소자 제작이 가능함.
- * 강유전성 HfO₂ 기반 메모리 소자에 대한 연구는 메모리반도체 강국인 대한민국에 산업 친화적인 연구이며, 기초과학적인 측면에서도 국가적인 차원에서 기술적 및 지식적 우위를 선점할 가능성이 매우 높음.

▪ Pca₂₁ orthorhombic phase 안정화 기술 필요성

- * 강유전성 HfO₂는 orthorhombic(Pca₂₁) 상에서 기인하는 것으로 알려져 있음.
- * HfO₂에서는 도핑, 두께, 상부 캡핑, 열처리 조건 등 다양한 요인들이 복합적 및 유기적으로 작용해 준안정상인 강유전성 orthorhombic(Pca₂₁)상을 안정화시킬 수 있음.
- * 대면적 집적회로에서 Device-to-device-variation을 줄이고 높은 수율을 얻기 위해서 균질한 강유전성 HfO₂ 소재를 대면적에 형성하는 기술은 필수적이며 이를 위한 안정적인 기술 개발이 시급한 상황임.

○ 강유전체 2단자 소자의 필요성

▪ Ferroelectric Tunnel Junction (FTJ)의 필요성

- * 2단자 저항 변화 메모리 소자로서, RRAM, CBRAM, MRAM, PRAM에 사용되는 소자 대비, 상대적으로 탐색이 덜 되어 있고, CMOS compatibility가 우수하며, 전하수송기구가 잘 이해되고 있어, 2단자 저항 변화 메모리 소자로서 성공 가능성이 큼.

▪ MPB high-k의 필요성

- * 현재의 DRAM 기술은 지속적 Scaling down으로 1X nm급 3차원 트랜지스터 등 장 및 상용화에 따른 높은 종회비의 Capacitor 구조 채택됨. 셀 Capacitor의 극박막 절연체 사용에 따른 급격한 누설전류 증가와 Retention 특성과 센싱마진의 열화
- * 기존 DRAM의 1T-1C구조에, 절연막에 높은 유전상수를 가지는 소재가 필요함. 성공적으로 연구개발 시, 차세대 DRAM 향 유전체에 매우 적합함.

○ 강유전체 3단자 소자의 필요성

▪ FeFET의 필요성

- * FeFET는 동작 속도를 DRAM 수준까지 개선할 수 있으며 retention과 endurance 등 신뢰성이 우수함과 동시에 비휘발성을 가지고 있으므로 기존 DRAM, 3D 낸드 플래시의 대체, 혹은 DRAM과 SSD의 가교역할을 위한 SCM으로 활용 가능함.
- * FeFET는 3 Terminal로 구성되어 쓰기/지우기와 읽기 동작을 위한 단자가 분리되어 메모리 성능 및 신뢰성 향상을 위해 요구되는 까다로운 소자의 스펙을 최적화시키기에 용이함.

▪ NCFET의 필요성

- * NCFET의 경우 기존의 MOSFET에서 절연막 물질만 강유전체 물질로 대체하여 누설전류를 감소시키고 동작 전류를 증가시킴. 또한, 완벽한 CMOS 공정 호환성을 가지고 있으며 현 로직 소자에서 사용되고 있는 FinFET 및 GAA FET에 적용 가능하여 공정 설비비용과 프로세스 개발의 노력 없이 3nm 이하 공정 노드 소자로 적용 가능함.

○ 강유전체 응용의 필요성

▪ 강유전체 기반의 비휘발성 로직 소자의 필요성

- * 비휘발성 특성을 가지며 매우 빠른 스위칭 속도와 우수한 내구성 특성을 가지고 있어 비휘발성 로직 소자에 적합함. 3단자 FeFET 활용 시, 증폭효과를 활용하여, 저항 비를 혁신적으로 상승시킬 수 있음. 비휘발성 로직 (로직-인-메모리) 소자에 있는 메모리의 높은 저항 비는 공정 변이 내성회로를 구성하는 트랜지스터의 넓은 Width가 필요하지 않아, 밀도를 혁신적으로 키울 수 있음.

▪ 강유전체 기반의 PIM 소자의 필요성

- * 기존 PIM은 단순 읽기/쓰기에 최적화되어 있어, 메모리를 이용한 로직 연산을 위해서 주변 회로가 추가적으로 필요하여 Overhead가 큼. 또한, 1개 Array에서 1가지의 연산만을 수행하기 때문에, 여러 개의 연산을 구현하기 위해서는 여러 개의 Array가 필요함. 강유전체 기반의 PIM 소자를 활용하여 다양한 연산 로직 연산에 최적화된 소자 및 Array 개발될 시, 면적 효율성과 동작 성능을 향상시킬 수 있는 1개의 Array로 다중 로직 연산의 구현이 가능

나) 주요기술 분류(Technology Tree)

【 강유전체 소자 주요 기술 분류 】

중분류	소분류	요소기술
저 전력 로직 소자	NC-FET	극 박막 강유전체 형성기술 넓은 범위의 I_D 영역에서 $SS < 60\text{mV/dec}$ 구현 기술
		3D 공정기술, 3D FET 소자 기술 고신뢰성 (Reliability) 반도체 소자 기술
메모리 소자	메모리 (DRAM)	고속 (1ns), 고내구성 (10^{15}) 소자 기술 3D 구조의 1T DRAM 소자 기술 3D 구조의 고집적 FRAM (1T-1C/1T-nC) 기술 high-k MPB 기술
	스토리지 클래스 메모리	3D 적층 X-point 공정 개발 및 집적 기술 3D 적층의 셀렉터 기술 self-rectifying FTJ 기술 고속 (10ns), 고신뢰성 (10^9) 2단자 소자 기술
	스토리지	다치 레벨 (QLC) 구현 및 산포 제어 기술 3D V-NAND의 강유전체 소자 구현 기술 high P_r 강유전체 3D 캐패시터 구현 기술 소자간 특성 산포 최소화된 대면적 어레이 구현 기술 고온, long retention (>10Y) 소자 구현 기술
로직-메모리 융합 소자 응용	비휘발성 로직	고속, 고신뢰성, 저전압 소자 FeFET 기반 다양한 로직 게이트 구현 기술
	프로세싱-인-메모리	다치레벨, 3D 구조 기술
	뉴로모픽 소자	아날로그 저항값 제어기술 강유전체 LIF 뉴런 소자 구현 기술

(2) 기술 분석

가) 국내·외 기술 현황

□ 국외 기술 동향

○ 학계 및 연구소

▪ Sony (Japan) & NaMLab (Germany)

* $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (10nm) 기반 64kbit 1T1C FeRAM array 구현 : 잔류 분극(2Pr) $> 40\mu\text{C}/\text{cm}^2$, endurance $> 10^9$ cycles (3MV/cm, 100kHz), retention > 10 years (85°C), 동작 전압 2.5 V에서 동작 속도 14ns 달성. 열처리 온도 500°C 이하, 후공정과 적합성을 확보, 현세대 CPU의 last level cache나 IoT용 System-on-a-chip(SoC)에 활용 예상

▪ NaMLab (Germany) & CEA.LETI (France)

* Si-doped HfO_2 (10nm) 기반 130nm 공정 1T1C FeRAM array 구현 : 1290개 평행한 커패시터 array, 커패시터 면적은 약 $0.248-0.047\mu\text{m}^2$ 으로 구현,

$2Pr > 25\mu C/cm^2$, endurance $> 10^5$ cycles (4V, 100kHz), retention > 10 years (85°C)
달성 열처리 500°C 이하, BEOL 및 CMOS 적합성 확보

▪ Georgia Inst. Tech. (USA)

* $Hf_{0.5}Zr_{0.5}O_2$ (10nm) 기반 capacitive crossbar array 구현 : $1X1 - 100X100\mu m^2$ 사이즈 커패시터 제작, 시뮬레이션 상 22nm node 후공정 적합성 예측, 동작 전압 3V, 읽기 동작 0V, On/Off ratio 1.125, endurance $> 10^3$ (3V, 1kHz), retention 10years (85°C) 달성, 시뮬레이션 결과 22nm ReRAM 대비 이미지 추론 프로세스 에너지소모 20-200배 감소

▪ Hefei National Lab (중국)

* LSMO 하부 기판에 에피로 성장시킨 하프니아 강유전체 FTJ의 높은 TER 값과 시냅스 특성 발표. 강유전체 소재의 경우 인가 펄스의 개수, amplitude, width에 따라 domain이 스위칭 되는 양이 달라지기 때문에 FTJ의 저항값을 아날로그적으로 조절 가능함. 또한, crossbar array 구조를 통해 vector product를 통해 병렬적인 연산이 가능하므로 시냅스의 역학 과정을 모사할 수 있음. (ACS AMI 2022)

▪ TSRI (대만)

* 반강유전체-유전체 기반의 FTJ 특성보고. M(AF)IM 구조에서 Insulator로 Al_2O_3 를 삽입함으로써 built-in field를 이용해 P-E curve shift. Antiferroelectric은 ferroelectric에 비해 dP/dV 의 기울기가 완만하여 off current가 훨씬 감소함. 이로 인해 on/off ratio가 증가함. (IEEE Elect. Dev. Lett. 2021)

▪ National University of Singapore

* Al-도핑된 하프니아 소재에서 증착 온도를 제어하여, 68의 유전상수를 가지는 MPB 특성 발표 (2021 IEDM 논문)

▪ University of California at Berkeley

* Silicon on insulator (SOI) 기판에 4.5 nm의 $Hf_{0.5}Zr_{0.5}O_2$, 1.5 nm의 SiN 절연막 적용하여 Si 채널 FeFET 제작, 3V 이하 쓰기/지우기 전압 (250ns)에서 1V의 메모리 윈도우와 안정적인 retention 특성 및 10^{10} 이상의 endurance 특성 확보 (IEEE Elect. Dev. Lett. 2021)

▪ National Cheng Kung University (대만)

* 10nm fin width, 50nm 채널 길이를 가지는 Si fin FeFET를 10nm의 $Hf_{0.5}Zr_{0.5}O_2$, HF + H_2O_2 surface engineering을 이용하여 제작함. 5V 쓰기/지우기 전압 (100ns), 2V의 메모리 윈도우, 10년 이상의 retention 특성, 10^{11} 이상의 endurance 특성을 확보하였으며 3bit operation을 검증 (VLSI, 2021)

○ 기업체

▪ Toshiba

* MFIM 구조를 활용하여 selector-less FTJ 메모리스터 발표. 2단자 저항 변화 소자의 경우 crossbar array 구조를 통해 가장 minimum pitch size ($4F^2$)를 구현할 수

있지만, crossbar array는 구조적인 특성상 sneak current가 흐르고 이로 인해 대면적이 되었을 때 read margin이 확보되지 않는 문제가 있음. 추가적인 selector device를 집적하지 않고 sneak current를 해결할 수 있는 대표적인 방법으로 insulator를 한쪽 계면에 삽입하여 비대칭성을 증가시키는 방법임. 벡터 매트릭스 증폭 연산에 특화된 소자 발표 (IEEE IRPS 2018, Nature Electronics 2020)

▪ Intel (USA)

- * 반강유전성을 가지는 $Hf_xZr_{1-x}O_2$ 기반 1T1C FeRAM을 embedded DRAM에 활용, read/write speed $\sim 2ns$, endurance $>10^{12}$ cycles ($85^\circ C$), retention $\sim 10s$ ($85^\circ C$), 최대 동작 전압 1.6V 이하, 300mm scale wafer에서 4시그마 수준 공정 편차 달성
- * 반강유전성을 가지는 $Hf_xZr_{1-x}O_2$ 기반 3D deep-trench 구조 커패시터를 통한 embedded DRAM 구현, read/write speed $\sim 10ns$, endurance $>10^{12}$ cycles ($85^\circ C$), retention 1ms ($85^\circ C$), 최대 동작 전압 1.8V 이하 달성

▪ Kioxia (Japan)

- * Si-doped HfO_2 (4nm) 기반 crossbar array 강유전체 터널 접합 구현 : 커패시터 면적 $300 \times 300 nm^2$, 6bits analog computing, On/Off 전류비 약 20, 자가정류 특성, 프로그램 에러 표준편차 0.035, 뉴로모픽 컴퓨팅 기반 이미지 인식 시뮬레이션 정확도 87.6%, 에너지소모 100tera-operations/s·watt 달성, 주변 회로 통한 선형저항 변화 최초보고

▪ GLOBALFOUNDRIES

- * 글로벌파운드리 양산 22nm FDSOI CMOS technology 사용하여 $\sim 15nm$ 두께의 Si-doped HfO_2 강유전체를 적용한 FeFET 제작함. 20nm 채널 길이를 가지는 FeFET는 4.2V의 쓰기/지우기 전압 (10ns), 1.5V의 메모리 윈도우, 10^5 의 endurance, $300^\circ C$ 까지 안정적인 retention 특성을 가짐. (IEDM 2017)
- * 글로벌파운드리 양산 14nm CMOS logic technology 사용하여 $\sim 3nm$ 두께의 Si-doped HfO_2 강유전체, 0.7nm SiO_2 절연막을 적용한 NCFET 제작함. NCFET는 54mV/dec subthreshold swing, 동일한 물리적 두께를 가지는 HfO_2 절연막이 적용된 MOSFET 대비 165% 증가 된 포화 전류를 가짐.

□ 국내 기술 동향

○ 학계 및 연구소

▪ 한국과학기술원

- * $Hf_{0.5}Zr_{0.5}O_2$ (5.5nm) 기반 자가정류 FTJ 구현 : $50 \times 50 \mu m^2$ size에서, On/Off ratio 100, 자가정류비 1000, retention 10years ($85^\circ C$) 달성. Simulation을 통한 crossbar array 구성 시, 10%의 마진을 유지하는 선에서 3500×3500 array size 달성
- * 고압 (200기압 이상) 열처리 공정의 Hf-ZrO 기반의 49의 유전 상수와 EOT

4.9A의 MPB 특성보고 (IEEE Tran. Elect. Dev. 2021)

- * 강유전체-반강유전체 이중층 유전체 스택을 활용하여 EOT 3.4A의 MPB 특성보고 (ACS AMI 2022)
- * 반 강유전체 소재에 fixed oxide charge와 서로 다른 일함수를 가지는 전극을 활용하여 Antiferroelectric Tunnel Junction 소자 개발 (Nanoscale 2020)
- * FTJ에 Built-in-potential을 유도하여 Diode 특성이 내재된 self-rectifying FTJ 특성과 TCAM응용에 대해서 발표함. FTJ의 high on/off ratio 특성을 이용하여 differential 구조 사용하지 않고도 낮은 error rate 보임. 따라서 area 최소화 가능, FTJ의 self-rectifying 특성을 이용하여 mismatch가 없을 경우 discharge 되지 않으므로 에너지 소모량도 적음. MTJ 기반 TCAM에 비해 area와 파워소모, error rate를 줄일 수 있음. (IEDM 2021)

■ 포항공대

- * HfZrOx (15nm) 기반 parallel 박막 트랜지스터 array 구현 : 채널 면적 $500\mu\text{m}^2$, On/Off전류비 약 33.1, $2Pr > 29.2\mu\text{C}/\text{cm}^2$ 달성, Convolutional neural network용 synaptic array로 활용 시, 64 level의 conductance state, 에너지소모 $\sim 2\text{fJ}$ 달성
- * HfZrOx (24nm) 기반 10nm 채널 길이를 가지는 3차원 metal-oxide semiconductor 채널 MFS 박막 트랜지스터 구현함. 채널 면적 $0.005\mu\text{m}^2$, 4V의 동작 전압, 100ns의 동작 속도, 10^8 이상의 endurance 특성확보 (Applied physics letter 2022)

■ 서울대

- * 물리적 복제방지기술을 위한 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 기반 4X4 FTJ array 구현 : $50\text{X}50\mu\text{m}^2$ 에서 $50\text{X}50\text{nm}^2$ 사이즈 array 구현, 2개의 4X4 array 조합으로 24-bit암호화 코드, 단일 소자에서 저항 상태 재현성 표준편차 $\leq 10\%$, 해밍거리 연산에서 device-to-device variation 표준편차 17%, 재현성 표준편차 4% 달성
- * 물리적 복제방지기술을 위한 HfOx (6nm) 기반 16X16 FTJ array 구현 : $5\text{X}5\mu\text{m}^2$ 에서 $500\text{X}500\text{nm}^2$ 의 사이즈 array 구현, $2Pr > 36.7\mu\text{C}/\text{cm}^2$, On/Off ratio 1000, PUF operation simulation 시 18.6fJ 에너지소모 달성

- * RTA 공정의 Hf-ZrO 기반의 MPB 특성보고 (ACS AMI 2017)

■ 인하대

- * SOI 기판에 5.5nm의 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$, 1.2nm의 SiO_2 절연막 적용하여 Si 채널 NCFET 제작 SiO_2 -Si 계면 특성 향상을 위해 H_2 이 포함된 고압 forming gas 열처리를 적용, wake-up 없이 1V의 메모리 윈도우, 3V의 동작 전압, 100ns 동작 속도, 10^{10} 이상의 endurance, 10년 이상의 retention 특성 (85°C) 확보, (IEEE Elect. Dev. Lett. 2021)
- * Gate-first 공정과 self-aligned nickel silicidation 공정 적용하여 12nm 두께의 SOI 기판에 2.8nm의 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$, 0.7nm의 SiO_2 절연막 형성하여 Si 채널

NCFET 제작 이력현상 없이 57mV/dec의 subthreshold swing 확보 (IEEE Tran. Electron Devices 2021)

○ 기업체

▪ 삼성전자

* HZO (7nm) 기반 4X4 스위처블 다이오드 cross-point memory array 구현 : 셀 사이즈 $0.5 \times 0.5 \mu\text{m}^2$, $2Pr \sim 18 \mu\text{C}/\text{cm}^2$, On/Off ratio $> 3 \times 10^5$, endurance 10^9 (3V, 100kHz), retention 10years, 동작 속도 800ps, 에너지소모 0.8fJ 달성

▪ SK Hynix

* HZO (5nm) 기반 1Xnm half-pitch 3D columnar 3D 구조 FeRAM array 세계 최초 구현 : 8GB 밀도, 동작 속도 80ns, retention 80ns, 동작 전압 0.6V 달성

* 3D NAND flash memory 양산 테스트 공정에서 storage layer만 HfO_2 기반 강유전체 물질로 대체하여 3D Fe-NAND를 제작, 3.4V의 메모리 윈도우, 1년 이상의 retention 특성, 3K 이상의 endurance 특성을 확보하였으며 TLC operation을 검증 (IMW 2022)

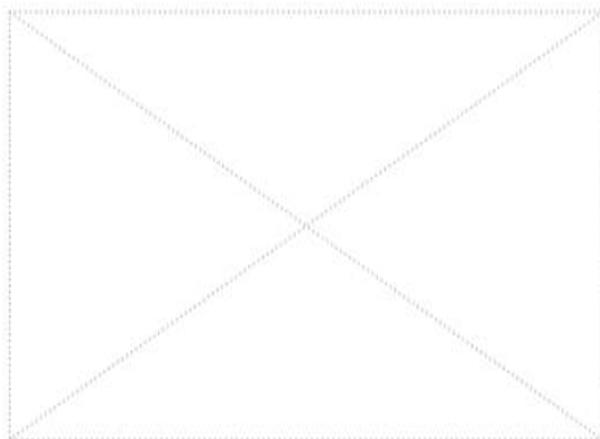
나) 특허 및 논문 동향

□ 특허 동향

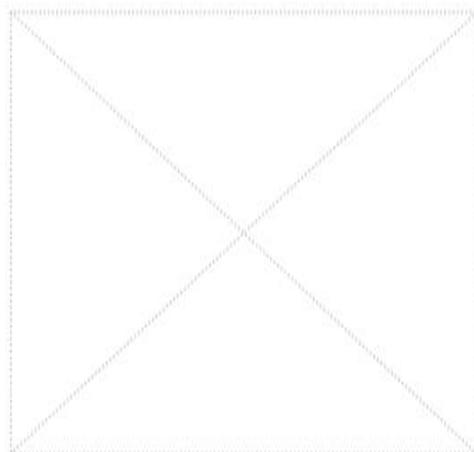
○ Ferroelectric Memory

- Ferroelectric Memory 전체 기술 분야의 전체 특허 출원건수는 2,135건으로, 미국, 중국, 일본, 한국, 대만, 유럽 순으로 확인됨.
- Ferroelectric Memory 기술 분야의 전체 연도별 특허동향을 살펴보면, 2019년도에 일시적으로 출원 건수가 다소 감소한 것으로 나타남.
- 2011년부터 현재까지 전반적으로 증가하는 추세를 보임.

【 ‘Ferroelectric Memory’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

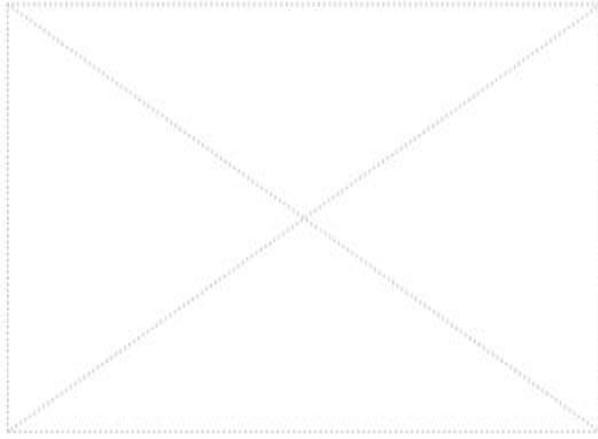
○ Ferroelectric Field Effect Transistor

- Ferroelectric field effect transistor 전체 기술 분야의 전체 특허 출원건수는

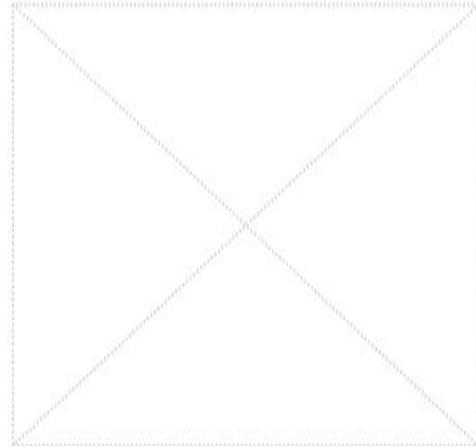
3,257건으로, 일본, 한국, 미국, 유럽, 대만, 중국 순으로 확인됨.

- Ferroelectric field effect transistor 기술 분야의 전체 연도별 특허동향을 살펴보면, 2012년도, 2017년도에 출원 건수가 일시적으로 증가함.

【 ‘Ferroelectric Field Effect Transistor’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

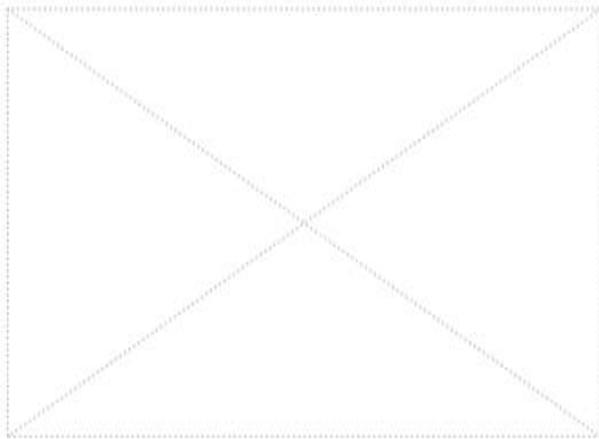


<국가별 특허건수>

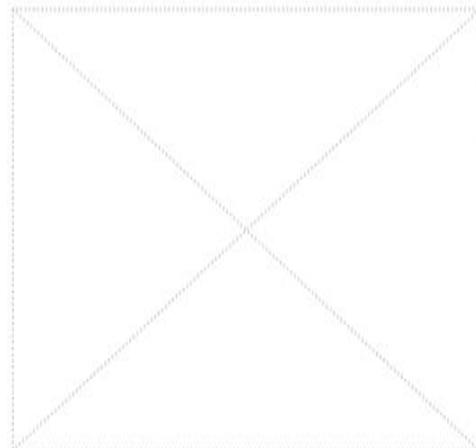
○ Ferroelectric Tunnel Junction

- Ferroelectric tunnel junction 전체 기술 분야의 전체 특허 출원건수는 71건으로, 중국, 미국, 유럽, 대만, 한국, 일본 순으로 확인됨.
- Ferroelectric tunnel junction 기술 분야의 전체 연도별 특허동향을 살펴보면, 2014, 2019년도에 일시적으로 출원 건수가 다소 감소한 것으로 나타남.
- 2014, 2019년도 이외에, 2014년부터 현재까지 전반적으로 증가하는 추세를 보임. (2021, 2022년도에 미공개 특허가 존재하는 것을 고려한 분석임.)

【 ‘Ferroelectric Tunnel Junction’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

□ 논문 동향

○ FTJ의 논문동향

* 5년간(2018~2022) 게재된 FTJ 관련 111편의 논문 중 44편은 전통적인 강유전

체 물질인 Perovskite 기반의 FTJ 논문이고, 60편은 Hafnia 기반의 FTJ 논문, 7편은 2D 물질 기반 FTJ 논문임.

- * Perovskite의 경우 Insulator가 삽입된 MFIM, MFIS구조보다는 기본적인 MFM, MFS구조가 64%를 차지하고 있고, hafnia의 경우 MFM, MFS 구조는 줄어들고 (37%) insulator가 삽입된 구조의 MFIM과 MFIS구조가 63%임.
- * Hafnia 강유전체의 경우 Defect 및 여러 Phase의 Grain이 존재하는 다결정 박막이기 때문에, 두께가 6nm이하에서는 열역학적으로 o-phase로의 결정화가 어려움. 따라서 강유전체 층은 두껍게 유지하되 Insulator 층을 얇게 삽입하여 Interlayer를 통한 Tunneling을 이 용함.

○ MPB high-k 논문동향

- * 최근 제시된 Zr 도핑된 하프니아에 대한 연구는 MPB 근처에서 높은 유전상수 및 감소된 EOT를 보여주었음. 또한 $\text{HfO}_2\text{-ZrO}_2$ 초격자 구조 (2nm의 초박막)는 FET 응용 분야에서 6.5 Å의 가장 낮은 EOT를 보고함. 이러한 초 극박막은 DRAM의 전류 밀도 요구 사항(10^{-7}A/cm^2)을 유지하기가 어렵기 때문에, 하프니아계 이중층 헤테로구조체는 MPB 근처에서 높은 유전상수 및 가장 낮은 EOT를 얻는 보고가 이루어 짐.

○ 1T-1C FeRAM의 논문동향

- * 5년간(2018~2022) 게재된 1T-1C FeRAM 관련 24편의 논문 중 Perovskite 물질과 관련해서 7편, Hafnia 기반 FeRAM은 17편 보고
- * Perovskite 물질 관련 논문 7편 중 5편은 상용화된 FeRAM 제품 기반, 5편 모두 radiation durability 평가 주목적. 평가 결과 60Coγ-rays 등 heavy ion irradiation에서 안정적인 동작
- * Hafnia 기반 FeRAM은 Perovskite 물질 대비 초기 단계의 연구, 소자 적용을 위 한 기본적인 reliability 평가가 주가 되어야 함. endurance 최대 10^{11} cycles 동작
- * 최근 scalability나 CMOS 공정 적합성 우수한 Hafnia 기반 FeRAM 출판 중이 나, 상용화된 Perovskite 기반 FeRAM 대비 array 구성 및 reliable 동작 증명 수준

○ Crosspoint memory의 논문동향

- * 5년간(2018~2022) Ferroelectric Cross-Point Memory 관련 총 31편 논문 게 재됨. Perovskite 물질 관련 2편, P(VDF-TrFE) 물질 관련 2편, HfO_2 및 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 관련 25편 논문이 각각 보고됨.
- * Cross-Point Memory 구조는 FeFET 및 FTJ로 구분, 각각 19편, 12편이 보고 됨. HfO_2 및 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 관련 논문 보고 주. HfO_2 및 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 물질의 우수한 CMOS compatibility 및 scalability 때문으로 보임.

○ FeFET 논문동향

- * MFIS 구조를 가지는 FeFET에서 채널 물질-절연막 계면 특성 열화를 최소화하기

위해 SiO₂ 절연막이 사용됨. 이때 강유전체에 인가되는 전계를 최대화하여 동작 전압 및 속도 확보를 위해 1nm 이하 두께의 SiO₂가 사용되며 이로 인하여 과도한 전계가 절연막에 인가되어 심각한 endurance 열화를 유발함.

- * Accumulation-type FeFET의 경우 계면으로 전류의 흐름이 집중되는 inversion-type FeFET 대비 채널-절연막 계면 특성의 영향이 적으므로 MFS 구조를 사용하여 성능 및 신뢰성 동시 확보가 가능함.

○ NCFET 논문동향

- * MFIS 구조를 가지는 NCFET의 로직 소자 응용을 위해 HfO₂ 기반 강유전체의 두께를 2nm 이하로 줄이며 강유전성을 유지하는 재료 관점의 연구가 진행됨. 또한, 0.7nm 이하 두께를 가져야 하는 SiO₂ 절연막에 의해 유도되는 탈분극 필드로 이력현상 없이 강유전체 분극 스위칭에 의한 급격한 전류 증가를 유도하기 위해 절연막과 강유전체의 커패시턴스를 matching 시키는 방법이 제안됨.

○ 로직 인 메모리 논문동향

- * MTJ와 FTJ의 낮은 전류와 낮은 저항비 대비, FeFET의 높은 전류 (100uA), 높은 저항비 (10⁶)로 인하여 FeFET를 이용한 로직-인-메모리의 가능성이 부각되고 있음. 특히 FeFET를 활용 시, 적은 수의 트랜지스터를 사용할 수 있고, 동적 파워 소모가 적어 비휘발성 로직-인-메모리 circuit으로서 잠재력이 매우 큼.

다) 기술 수준 및 역량 평가

□ 기술 수준 분석

- Ferroelectric Materials

■ 극박막 강유전체 형성기술

- * 미국 UC Berkeley에서 ZrO₂ 물질 기반으로 두께에 따른 반강유전상에서 강유전상으로의 상전이 현상보고됨. 상전이 임계 두께는 2nm, PFM으로 확인한 최소 두께는 0.5nm로, 극 박막 강유전체 형성기술로서는 원자 스케일 레벨에 도달
- * 중국 과학원에서 1.5 nm Hf_{0.5}Zr_{0.5}O₂ 기반 강유전체를 ALD로 NSTO 기판에 증착하여 강유전성 발현을 확인함. 특히, PUND 기법을 통해 강유전성에 의한 전하를 직접적으로 확인

- NCFET

■ 광범위 I_D에서 mV/dec 구현 기술

- * 강유전체의 NC 안정화를 위해서 유전체와 강유전체의 이종접합구조로 발전해왔음. 유전체와 강유전체 계면의 전하 트래핑이 없는 가역적인 NC 발현이 필요하나, NC-FET 분야는 다소 답보상태를 보이고 있음.
- * 미국 UC Berkeley에서 Hf_{1-x}Zr_xO₂기반 MPB를 게이트 절연막으로 사용한 NCFET를 제작, 동일 물리적 두께를 가지는 HfO₂ MOSFET 대비 이력 현상 없이 급격한 SS와 증가된 on-current 확보가 가능함을 실험적으로 검증. 또한, RF NCFET 소자를 제작하여 MPB를 게이트 절연막을 가지는 NCFET가 고속 동작이 가능함을 검증

- 3D 공정 기술, 3D FET 소자 기술
 - * ALD 공정을 이용한 하프니아가 적용된 3D 구조의 FinFET에 대한 다수의 결과가 보고되고 있으며, 공정상 이슈는 제한적인데 반해서 강유전체 내 분극 스위칭을 효과적으로 제어할 수 있는 소자 기술이 요구됨.
 - * 다만 National Chiao Tung University에서 2층 수직 적층된 poly-Si 채널 NCFET가 제작되었으나 poly-Si 채널 사용으로 SS 및 on-current 열화가 발생함. 고성능, 저전력 NCFET를 위한 단결정 Si 채널을 이용한 수직 적층 NCFET 개발이 필요함.
- 고신뢰성 (Reliability) 반도체 소자 기술
 - * 미국 UC Berkeley, S. Salahuddin 교수 그룹에서 Zr-doped HfO₂ 물질 기반 high-k SiNx interlayer 삽입한 FeFET 구조에서 endurance 10¹²cycles 달성. ALD 공정 하프니아 적용된 3D 구조의 FinFET에 대한 다수 결과에 대한 보고이며, 강유전체 내 분극 스위칭을 효과적으로 제어할 수 있는 소자 기술 요구됨.

○ 메모리 응용

- DRAM

- 고속 (1ns), 고내구성 (10¹⁵) 소자 기술
 - * 미국 Intel사에서 Hf_xZr_{1-x}O₂ 기반 antiferroelectric을 활용하여 embedded DRAM의 기준에 부합하는 2ns 동작 속도와 85°C에서 10¹² cycles의 내구성 달성, 제한적인 메모리 윈도우 특성은 개선이 필요하며, 3D 집적 공정 검증이 필요함.
- 3D 구조의 1T DRAM 소자 기술
 - * 다양한 1T DRAM의 기술이 제시되고 있으나, 열적 안정성, 내구성, C_{DE}/C_{FE} 비를 제어할 수 있는 소자 아키텍처가 부재함. 신규소자 및 프로세스 집적 scheme에 대한 연구개발이 요구됨.
- high-k MPB 기술
 - * 서울대학교에서 Hf_{1-x}Zr_xO₂ 기반 커패시터에서 MPB 상전이를 활용해 유전율 60-80 달성
 - * KAIST에서 이종접합 구조 활용하여 4Å 이하 EOT를 가지며 DRAM 응용에 활용할 수 있는 누설전류 특성을 보임. 다만 별도의 wake-up 프로세스 요구되어, 설계 레벨 제어기술 필요

- 스토리지 클래스 메모리

- 3D 적층 X-point 공정 개발 및 집적 기술
 - * 중국 과학원, Hf_{0.5}Zr_{0.5}O₂ 기반 switchable diode 활용, 32 single layer를 8 layers 적층한 3D array 구현
- self-rectifying FTJ 기술

- * KAIST, $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 기반 FTJ 활용, rectifying ratio 1000 달성했으나, FTJ의 낮은 on 전류를 개선할 접근법 필요, 극박막 하프니아 FTJ 특성 확보가 요구됨.
- 고속 (10ns), 고신뢰성 (10^9) 2단자 소자 기술
 - * KAIST, $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 기반 FTJ 활용, 80ns writing speed에 10^8 cycles endurance 달성
 - * 삼성전자, Zr-doped HfO_2 기반 switchable diode 활용, 800ps 속도, 10^9 cycles endurance 달성
- 스토리지 메모리
 - 다치 레벨 (QLC) 구현, 산포 제어 및 3D V-NAND 강유전체 소자 기술
 - * 현재까지 메모리 윈도우는 4-5.5V 수준으로, QLC를 구현하기에는 다소 부족한 수준이며, NAND 플래시 메모리에 활용하기 위해서 Vpass/Vread Disturb를 피할 수 있는 기술과 C_{DE}/C_{FE} 비를 조절할 수 있는 3D 집적 기술이 요구됨.
 - high Pr 강유전체 3D 캐패시터 구현 기술
 - * SK hynix, 5nm 두께 Zr-doped HfO_2 기반 3D columnar 구조 capacitor 기반 FeRAM 구현, 기존 1Xnm half-pitch DRAM 공정에 유전체층을 강유전체 층으로 교체. FeRAM에 요구되는 plate-line 없이 0.6V 낮은 전압에서 2Pr $\sim 35\mu\text{C}/\text{cm}^2$ 달성, 이는 박막의 두께가 얇아지면서 반강유전상이 안정화 되어 분극 반전에 요구되는 전계 낮아짐으로써 가능하지만 완전한 분극 반전을 위해 80ns의 긴 시간이 필요하여 분극 반전 속도를 개선시킬 수 있는 추가 연구가 요구됨.
 - 소자 간 특성 산포 최소화된 대면적 어레이 구현 기술
 - * 소자 간 산포 특성 개선을 위해 FeFET의 경우 단일층 하프니아 강유전체를 사용하는 대신에, 산포를 최소화할 수 있는 스택 연구가 요구됨. 또한, 기존 MFIS FeFET 대신 MFMS FeFET를 활용 시, 가운데 삽입되어있는 금속층을 사용하여 potential의 평균을 만들어 하프니아 강유전체의 산포의 영향을 최소화할 수 있음. 다만 집적공정을 위해 가운데 금속층을 뚫을 수 있는 공정 설계 요구됨.
- 로직-메모리 융합소자 응용
 - 비휘발성 로직
 - 고속, 고신뢰성, 저전압 소자
 - * 미국 UC Berkeley에서 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 강유전체 물질 < 5nm, SiN high-k interlayer < 2nm를 적용하여 쓰기/지우기 전압 < $\pm 3\text{V}$ 에서 250ns 동작 속도, endurance > 10^{12} 를 가지는 FeFET 특성을 검증
 - FeFET 기반 다양한 로직 게이트 구현 기술
 - * 독일 NaMLab과 GLOBALFOUNDRIES에서 1FeFET와 1nMOS가 직렬로 연결된 2T NOR로 구성된 memory array를 이용하여 2T half adder와 14T full adder를 구현, 제안된 회로는 <fJ 에너지소모와 1GHz의 동작 속도를 가질 수 있음을 시뮬레이션 검증

- 프로세싱-인-메모리

▪ 다차레벨, 3D 구조 기술

- * 싱가포르 National University of Singapore에서 저온 공정을 이용한 BEOL-compatible IGZO 채널 FeTFT를 제작. 제작된 FeFET는 interlayer와 강유전체의 면적비를 최대화하기 위해 metal-ferroelectric layer-metal-interlayer-semiconductor (MFMIS) 구조를 가지고 있으며 ~3V의 메모리 윈도우와 endurance $> 10^8$, retention $> 10\text{yr}$ 확보

- 뉴로모픽 소자

▪ 아날로그 저항 값 제어기술

- * 일본 Toshiba 및 Kioxia사에서 Si-doped HfO₂ 기반 FTJ를 통해 linear한 형태로 4bit (16states) 저항 변화 달성.

▪ 강유전체 LIF 뉴런 소자 구현 기술

- * 독일 NaMLab에서 FeFET를 활용하여 Integrator 거동을 보이는 뉴런 소자 특성을 보고
- * 미국 University of Notre Dame에서 FeFET 기반 Integrator에 leaky 및 adaptive property 거동을 보이는 circuit design 제안

□ 기술 역량 분석

○ Challenge

▪ 극박막 강유전체 형성기술

- * HfO₂의 박막 두께 낮아질수록 상/하부 전극 clamping effect로 HfO₂ 결정화 어려움. 낮은 두께에서 열처리 온도 400°C 이하 BEoL 공정 적합한 강유전 HfO₂ 구현을 위해 저온 결정화 기술확보 필수
- * 두께 1-2nm 단위 초박막 형태에서는 하부 기판의 표면 거칠기 등이 소자 안정성 및 신뢰성 크게 좌우, 우수한 계면 공정 확보 중요, 1-2nm 단위에서는 unit cell 2, 4개 쌓여있어, 에너지적으로 가장 안정한 특정 방위의 grain이 표면 향하도록 우선배열 필요

▪ 유전체/강유전체가 혼재한 다형체의 산포제어 기술 및 저전압 동작 기술

- * HfO₂는 다형체로, 유전체 monoclinic phase와 강유전체인 orthorhombic phase로 이루어짐. HfO₂ orthorhombic phase 발현에는 적절한 dopant 및 dopant 농도 요구됨. HfO₂-ZrO₂ 고용체는 Hf의 조성이 클수록 tetragonal에서 monoclinic으로 상변화의 열역학적 구동력 커짐.
- * 10nm 이하 두께로 낮아질수록 대면적에서의 dopant 및 ZrO₂ 분포 불균일, 따라서 초박막에서 대면적 및 계면의 다형체 산포제어 기술확보 필수, FET 응용을 위해 낮은 동작 전압 요구되어 강유전성 HfO₂의 높은 항전기장 보완을 위해 두께 최소화 필수

○ Solution

▪ 단결정 및 싱글 도메인 형성기술

- * GaN, YSZ, ITO 및 페로브스카이트 계열 기판상 epitaxial 박막 성장 보고되었으나, pulse laser deposition 공정 사용, 상용화는 어려움. ALD 공정 활용 시, La 을 dopant로 활용, 우선 배향 박막 성장시킨 결과가 독일 NaMLab에서 보고
- * 삼성과 UC Berkley, Salahuddin 교수 그룹은 약 3nm 이하 얇은 박막에서 HfO₂ 및 ZrO₂ 박막이 우선 배향성을 가질 수 있음이 제안되어, 이와 같은 기술을 활용하여 해결책을 마련할 수 있을 것으로 판단됨.
- * 독일 NaMLab의 Mikolajick 교수 그룹은 nm 스케일 채널을 가지는 FeFET에서 HfO₂ 기반 강유전체가 싱글 혹은 소수의 도메인만을 가지는 것 규명
- * 추가적인 연구를 통해 대량생산 공정에 적합하면서 강유전 특성 발현 산포 줄일 수 있는 후속 연구 필요함.

○ Opportunity

▪ DRAM 및 NAND Flash 시장 점유율

- * 2022년 2분기 기준, DRAM 시장 글로벌 점유율은 삼성 43.5%, SK hynix 27.4%, 국내기업이 70.9% 차지, NAND Flash는 삼성 33.0%, SK hynix 19.9%로 총 52.9%를 차지
- * ZrO₂와 HfO₂는 DRAM capacitor의 dielectric layer 및 transistor의 gate oxide 물질로, 추후 HfO₂ 및 ZrO₂ 기반 강유전체 소자 상용화 시, 공정 변경을 최소화하면서 높은 시장 점유율 유지할 수 있을 것으로 기대함.

▪ 세계 최고 수준의 연구 경쟁력

- * 서울대학교에서 독일 NaMLab에 이어 세계에서 두 번째로 HfO₂ 기반 박막의 강유전성을 실험적으로 규명하고 세계 최초 강유전상 발현 동역학 메커니즘 밝힘.
- * 국내 다수 연구팀 및 기업에서 high-k MPB 기술, self-rectifying FTJ, 10ns / 10⁹ endurable cycles switchable diode 및 highest Pr 3D capacitor 구현 기술 등 HfO₂ 및 ZrO₂ 기반 강유전체 물질을 활용한 소자 연구에서 세계 최고 수준의 연구 결과 보고함.

○ Technology Environment

- * 인텔/마이크론, TSMC, SanDisk, SK Hynix 및 삼성전자에서 hafnia 강유전체 소자 특허 다수 출원 중
- * 1T-1C 기반의 DRAM 기술을 대체할 수 있는 1T 기술에 대한 기업체의 니즈 매우 큼.
- * CTF 기반 플래시 소자를 뛰어넘는 낮은 동작 전압과 QLC 구현이 가능한 뉴메모리에 대한 필요성이 매우 큰 상황임.

【 강유전체 소자 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • 극 박막 강유전체 형성기술 • 유전체/강유전체가 혼재해 있는 다결정 구조의 산포제어 기술 및 저전압 동작 기술 • NCFET의 경우 넓은 드레인 전류 범위에서 SS<60mV/dec 확보의 어려움, Hysteresis 제어 이슈와 저전압 동작 구현 • 고내구성 소자의 경우 10¹² 정도의 Endurance 달성되었으나 DRAM 적용을 위한 10¹⁵ 달성이 어려움. • DRAM 캐패시터의 MPB 적용의 경우 유전율 향상이 일부 가능하나 3D 캐패시터의 두께 제약 문제 • FTJ의 dt/dv를 최소화한 대면적 제작 및 selector 개발 및 적층의 기술적 어려움. • QLC를 위한 dt/dv를 극복한 고신뢰성 multi-state의 달성이 어려운 상태임. 	<ul style="list-style-type: none"> • 하부층의 template를 이용한 단결정 및 싱글도메인 형성기술 • Flexoelectric 효과와 표면 전하 제어를 통한 강유전체 결정구조 제어기술 • 고속 측정 방법을 통해 유전체/강유전체 사이의 전하 트랩 최소화 기술 • Refresh 동작이 불필요한 비휘발성 DRAM 기술 개발 시 요구 Endurance spec의 저하 • Capacitor-less DRAM 기술개발 시 3D 캐패시터의 두께 제약 문제 해결 • Self-rectifying 소자 구현을 통한 selector 이슈 해결 • 극 박막 강유전체 형성기술과 쇼트키 장벽 제어를 통한 높은 온 전류와 저항비 특성 확보 • 신규 게이트 스택을 적용한 저 전압 다치레벨 형성기술 확보
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • DRAM 및 3D NAND 등의 소자에서 대한민국이 세계 최고 기술 확보 • hafnia 기반 강유전체 소재 및 소자 분야의 연구에서 대한민국이 세계 수준의 경쟁력을 보유 	<ul style="list-style-type: none"> • 인텔/마이크론, TSMC, SanDisk, SK Hynix, 및 삼성전자에서 하프니아 강유전체 소자 특허 다수 출원 중 • 1T-1C 기반의 DRAM 기술을 대체할 수 있는 1T 기술에 대한 기업체의 니즈가 큰 상황 • CTF 기반 플래쉬 소자를 뛰어넘는 낮은 동작전압과 QLC 구현이 가능한 뉴 메모리에 대한 필요성이 매우 큰 상황임.

라) 중장기 기술발전 전망

□ 기술의 현재와 미래

○ 소재

－ 강유전체 극박막

■ 기술의 현재

- * 소자가 아닌 박막 상태로는 1nm 이하 두께 HZO 박막의 강유전성이 보고되고 있음.
- * 소자 상태에서는 3nm 내외 두께의 HZO 박막의 강유전성이 확인되었으나, 잔류분극이 이론상 무작위 배향성 박막에서 기대되는 값의 20% 미만의 값으로 결정성, depolarization field 효과 등의 문제가 미해결

■ 기술의 미래

- * 3nm 이하 두께 초박막의 결정화도 향상 및 depolarization field 효과 억제 기술 필요

요

- 싱글 도메인, 우선배향성 결정구조 강유전체 박막

▪ 기술의 현재

* Pulsed Laser Deposition (PLD), Molecular Beam Epitaxy (MBE) 등의 대량생산 적용이 어려운 기술 중심의 우선배향 강유전체 박막에 대한 보고

* Si wafer 위에서 CMOS 친화적인 ALD 등의 공정을 통한 배향성 제어기술 부재

▪ 기술의 미래

* Si wafer 위에서 ALD, Sputtering 등 CMOS 친화 공정 기반의 우선배향성 제어 기술 필요

- 멀티 분극 상태 강유전체 박막

▪ 기술의 현재

* 실험실 연구에서 16-32개의 분극 상태가 보고되나, 대면적 어레이에서의 통계 조건을 맞출 수 있는 멀티 분극 상태의 개수는 제한적임.

* Identical pulse를 활용하여 멀티 분극 상태 구현 시 선형성, 대칭성이 미흡

▪ 기술의 미래

* 배향성 제어, 미세구조 제어 등을 통한 균질한 박막 형성기술 필요

* Identical pulse를 활용하여 우수한 선형성, 대칭성을 가지는 박막 형성기술 필요

○ 커패시터

- 높은 종횡비의 3D 구조 고신뢰성 (반)강유전체 커패시터

▪ 기술의 현재

* eDRAM 혹은 1T-1C FeRAM (반)강유전체 커패시터 제작 기술 제안되었으나 endurance가 현재 최대 10^{12} 회 수준이며 wake-up, fatigue 등 반복 동작 중 특성 변화

* 누설전류 억제, 배향성 제어, strain effect 등을 통해 (반)강유전성 최적화할 수 있는 ALD 공정 기반의 전극 증착 기술 미흡

▪ 기술의 미래

* eDRAM 혹은 1T-1C FeRAM 커패시터의 경우 endurance $> 10^{15}$ 달성할 수 있으며, 반복동작시 특성 변화 최소화된 (반)강유전체 박막 증착 기술 필요

* 누설전류 억제, 배향성 제어, strain effect 등을 통해 (반)강유전성 최적화할 수 있는 ALD 공정 기반의 전극 증착 기술 필요

- 고유전율 MPB 박막

▪ 기술의 현재

* 무작위 배향성의 MPB를 활용하여 유전율 50, EOT $\sim 5-6\text{\AA}$ 정도의 기술이 보고 됨.

* 누설전류 문제로 물리적 두께가 5nm 미만으로 감소하는 데 어려움이 있음.

▪ 기술의 미래

- * 배향성 제어를 통한 MPB의 유전을 극대화 기술 필요
- * 미세구조 제어, 계면 제어기술 등을 통한 누설전류 감소 기술 필요
- * high frequency 동작 검증된 MPB 활용 기술 필요

○ NCFET

- NC gate stack

■ 기술의 현재

- * 1nm 이하 두께 HZO 박막의 강유전성이 보고되었으나 누설전류 문제를 가지고 있음.
- * 0.7 nm의 SiO₂와 < 3nm 두께의 HZO로 구성된 gate stack을 가지는 NCFET가 ~0.7 nm의 EOT를 가짐을 실험적으로 증명하였으나 심각한 누설전류 증가를 보임.
- * SiO₂의 양의 커패시턴스와 HZO의 음의 커패시턴스의 matching을 이용 이력현상 없이 급격한 subthreshold swing (SS)을 가지는 NCFET 소자가 발표되었으나 안정적 capacitance matching 조건을 확보하기 어려움.

■ 기술의 미래

- * 2nm 이하 두께 초박막 HZO의 균일도 및 결정화도 향상 기술 필요
- * 초박막 HZO의 누설전류 향상 기술 필요
- * 후속 thermal budget과 mechanical strain에 의한 강유전성 열화 억제 기술 필요
- * 문턱전압 조절을 위한 ALD 기반 work-function metal engineering 기술 필요
- * Capacitance mismatching에 의한 이력현상 발생을 억제하기 위한 새로운 (반)강유전체 및 반강유전체 물질 개발 필요

○ FeFET

■ 기술의 현재

- * 8nm 이하 두께의 HZO 강유전체 절연막을 이용한 Si channel planar FeFET가 보고되고 있으나 < 1V memory window와 10⁶보다 낮은 endurance 신뢰성을 가지고 있음.
- * HZO 강유전체 절연막을 가지는 FeFET는 scaling-down에 따른 열화 variation 문제점을 가짐.
- * Memory window 증가와 endurance 특성 개선을 위해 high-k interlayer 도입 및 interlayer와 HZO의 면적비 조절이 도입되고 있으나 high-k interlayer와 Si 계면 특성 열화 및 footprint 증가 등의 문제점을 가지고 있음.
- * 저온 공정이 가능한 IGZO channel을 가지는 FeFET가 넓은 memory window (> 3 V)와 endurance > 10⁶ 특성을 가지지만 IGZO의 낮은 이동도, 높은 contact 저항, 미성숙한 공정에서 기인한 큰 variation, scaling-down의 문제점을 가짐.

■ 기술의 미래

- * 대면적 HZO의 균일도 및 결정화도 향상 기술 필요

- * High quality channel과 interlayer 계면 형성기술 필요
- * Memory window 증가와 endurance 특성을 동시에 개선하기 위해 footprint 증가 없이 interlayer와 HZO의 면적비 조절이 가능한 FeFET 소자구조 필요
- * High mobility IGZO 채널 물질 개발, contact 저항 개선을 위한 metal 및 계면 engineering, state-of-art CMOS 공정 도입으로 고성능, 고신뢰성 IGZO FeFET 개발 필요

【 강유전체 소자의 요소 기술에 대한 현재와 미래 】

요소 기술	현재	미래
소재	<ul style="list-style-type: none"> • 3nm 이하 두께의 이론값 20% 이하의 잔류분극 • CMOS 친화 공정 기반의 우선 배향성 제어 기술 부재 • Identical pulse를 통한 높은 선형성, 대칭성의 멀티 분극 상태 구현 기술 미흡 	<ul style="list-style-type: none"> • 3nm 이하의 높은 결정화도, 계면층 억제 기술을 통한 높은 잔류분극 구현 • ALD, Sputtering 등 CMOS 친화 공정 기반의 우선 배향성 제어 기술 개발 • 배향성 제어, 미세구조 제어 등을 통한 Identical pulse 활용 높은 선형성, 대칭성의 멀티 분극 상태 구현 기술 개발
커패시터	<ul style="list-style-type: none"> • DRAM, FeRAM형 캐패시터의 경우 현재 최대 endurance 10^{12}회 수준이며 반복 동작시 특성 열화 이슈 • (반)강유전성 최적화 및 누설전류 억제 가능한 ALD 기반 전극 기술 미흡 • MPB 고유전율 박막의 high frequency 동작, 누설전류 억제 기술 미흡 	<ul style="list-style-type: none"> • DRAM, FeRAM형 캐패시터의 경우 현재 최대 endurance 10^{15}회 달성 가능하며 wake-up, fatigue 등 특성 변화 최소화된 박막 증착 기술개발 • 우선배향성, 스트레인 효과 등을 통해 (반)강유전성 최적화 및 누설전류 억제 가능한 ALD 기반 전극 신물질 및 공정 개발 • MPB 고유전율 박막의 high frequency 동작, 누설전류 억제 기술 개발을 통한 EOT < 0.35nm 달성
NCFET	<ul style="list-style-type: none"> • 1nm 수준의 HfO_2 기반 강유전체 물질을 개발하였으나 누설전류 문제를 가지고 있음. • 0.7 nm의 SiO_2와 < 3 nm 두께의 HZO를 가지는 NCFET에서 ~ 0.7 nm의 EOT확보 하였으나 후속 열공정에 의한 누설전류 열화 억제 기술 미흡 • Capacitance matching에 의한 급격한 SS를 가지는 NCFET가 보고 되고 있으나 안정적 capacitance matching 구간 확보 기술 미흡 	<ul style="list-style-type: none"> • 2nm 이하 두께 초박막 HZO의 균일도 및 결정화도 향상 기술개발로 균일하고 높은 분극 구현 • 누설전류 향상 기술, thermal budget 및 strain에 의한 강유전성 열화 억제 기술개발 • 문턱전압 조절을 위한 ALD 기반 work-function metal engineering 기술 개발로 multi-threshold voltage 구현 • Capacitance mismatching에 의한 이력현상 발생을 억제하기 위한 새로운 (반)강유전체 및 반/강유전체 혼합 물질 개발로 이력현상 없이 급격한 SS 및 전류 증가를 가지는 NCFET 개발
FeFET	<ul style="list-style-type: none"> • Scaling-down에 따른 variation 열화 억제 기술 미흡 • Memory window와 endurance 동시 확보 기술 미흡 • 고성능, 고신뢰성 확보를 위한 저온 공정 가능한 신규 channel 물질 부재 	<ul style="list-style-type: none"> • 강유전체 물질의 배향성 제어, 미세구조 제어 등을 통한 variation 억제 기술확보 • Footprint 증가 없이 interlayer와 강유전체 물질 면적비 조절하여 Memory window와 endurance 동시 확보 가능한 소자구조 개발 • 저온 공정이 가능한 고성능, 고신뢰

FTJ

- 상대적으로 낮은 on-저항
- 기존 X-point 구조 채택 시, sneak 누설전류로 인한, 메모리 cross-bar array size의 한계
- V-NAND 타입의 공정 스텝을 최소화할 수 있는 3D 공정 및 소자 아키텍처 필요

- 성 high mobility IGZO FeFET 개발
- 3nm 이하의 높은 강유전성 O-phase의 결정화도, 고 정류비를 가지는 selector 소자와 이를 FTJ 소자와 집적 기술
 - 신규 3D 소자 아키텍처 개발

(3) 산업 및 시장 분석

가) 시장 동향 분석

□ 국내·외 시장 동향

○ 주요업체 및 주요 시장제품의 유형

- FRAM 시장의 주요 플레이어는 사이프러스 반도체, IBM, 후지쯔, 텍사스 인스트루먼트, 인피니언이며, FRAM시장의 제품 유형으로 직렬 메모리, 병렬 메모리로 나눌 수 있음.

○ 어플리케이션

- 스마트 미터, 자동차 전자, 의료 기기, 웨어러블 기기 등이 시장의 주요 어플리케이션을 이루고 있음.

【 FRAM 시장 규모 분석 】

(단위 : 억원)

구분	2021	2022	2023	2024	2025	2026	2027	CAGR [%]
세계 시장 규모	3,616.8	3,743.4	3,874.4	4,010.0	4,150.4	4,295.6	4,446.0	3.5
국내 시장 규모	108.5	112.3	116.2	120.3	124.5	128.9	133.4	-

[출처 및 산출 방법]

* IMARC Group에서 발간한 'Ferroelectric RAM Market: Global Industry Trends, Share, Size, Growth, Opportunity and Forecast (2022-2027)' 참조.

* 국내 시장은 세계 시장의 3%로 잡았으며, 환율은 1,200원으로 계산함.

나) 산업 동향 분석

□ 국내·외 산업 동향

○ Perovskite 강유전체 메모리

- 국외 동향
 - Fujitsu, Texas Instrument 등의 업체에 의해서 제품이 양산되고 있으나 아직까지는 niche market에 그치고 있음.

○ 하프니아 강유전체 메모리

- 국내 동향
 - SK-Hynix는 HZO (5nm) 기반 1Xnm half-pitch 3D columnar 3D 구조 FeRAM

array를 세계 최초 구현하고, 3D NAND flash memory 양산 테스트 공정에서 storage layer만 HfO₂ 기반 강유전체 물질로 대체하여 3D Fe-NAND를 제작하는 등 연구개발을 활발히 이어가고 있는 단계임.

- 삼성전자는 종합기술원을 중심으로 강유전체 소재 및 소자에 대한 연구를 최근 활발히 진행하고 있으며, 시뮬레이션을 통한 분극 스위칭 연구, Ferroelectric Switchable diode, ion beam을 활용한 강유전성 강화 등 기초 물성 및 단위 소자 레벨의 연구개발을 활발히 이어가고 있는 단계임.

- 국외 동향

- 미국 Intel에서는 반강유전성을 가지는 Hf_xZr_{1-x}O₂ 기반 1T1C FeRAM을 embedded DRAM에 활용하는 것을 제안하는 등 강유전체 메모리에 대한 연구 개발이 진행되고 있는 단계임. IEDM에서 2020년, 2021년에 이에 대한 연구 결과를 발표함.
- 일본 Toshiba 및 Kioxia에서는 Hf_xZr_{1-x}O₂ 기반 FTJ 메모리스트어 등에 대한 연구개발을 진행하고 있음. 이 결과를 기반으로 IEEE IRPS 2018, Nature Electronics 2020 등의 연구 결과를 발표함.
- 독일 Globalfoundries에서는 하프니아 강유전체의 발견 초창기부터 독일 NaMLab 등과 활발한 협력을 진행하여 다수의 연구 결과를 발표하였음. 28nm FeFET, 22nm FD-SOI, 14nm FinFET 등 미세화된 1T FeFET 형태의 디바이스 및 소형 어레이 연구에 대한 연구개발을 활발히 진행하고 있음.
- 벨기에 IMEC은 FeFET 소자를 low latency post-NAND 소자의 유망한 후보군으로 Roadmap에 언급하고 있으며, 이와 관련된 소재, 소자 측면에서의 연구개발을 활발히 이어가고 있음.
- 스위스 IBM Zurich는 하프니아 강유전체 소자를 활용한 뉴로모픽 컴퓨팅에 대한 연구를 활발히 진행하여 주요 학회 및 논문 발표를 진행하고 있음.
- TSMC는 파운드리 업체임에도 불구하고, 하프니아 강유전체 기반의 3D 구조의 AND Flash 메모리와 관련된 다수의 IP 확보를 추진하고 있음.
- Intel은 수직 적층이 가능한 1T-nC FRAM 연구를 본격적으로 수행하고 있으며, 셀 및 어레이 구조, 동작 방식에 대한 연구개발을 활발히 이어가고 있음.

다) 정책분석

□ 주요국의 정책동향

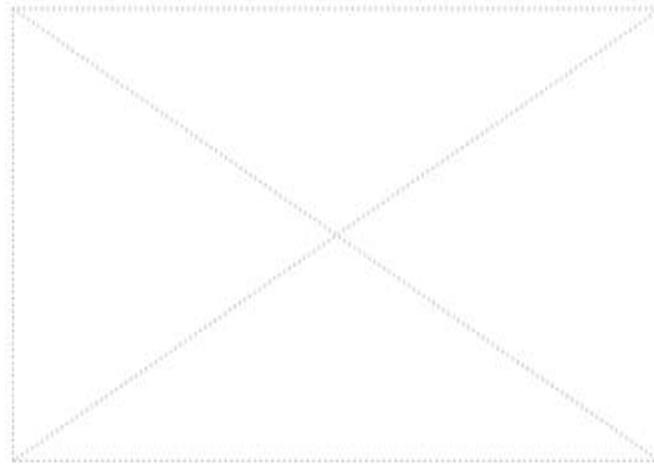
- 미국은 Chips and Science Act를 통해 반도체 산업과 첨단기술 및 기초과학 연구개발 등을 지원하는 데에 총 2,800억 USD의 예산, 특히 반도체 산업에만 520억 USD의 예산을 투입하기로 결정함.
- EU는 European Chips Act를 통해 2030년까지 총 430억 Euro 내외의 예산을 투입해 유럽 내의 반도체 산업의 재부흥을 시키기 위한 노력을 진행하고 있음. 이와 별개로 독일, 프랑스, 스위스, 그리스 등 다수의 국가가 협력하여

EU Horizon 2020의 주요 project 중 하나로 3e Ferro project를 진행하는 등 최초로 하프니아 강유전체를 발견한 이후 활발한 연구가 이미 진행되고 있음.

(4) 핵심 전략기술 및 로드맵

가) 핵심 전략기술

【 강유전체 핵심전략기술 】



□ 전략기술의 목표, 중요성 및 추진방향

○ 전략기술의 목표

- 1T1C 형태 DRAM은 미세화 및 정전용량 소형화를 통한 성능 향상에 한계가 있으며, 이를 해결하기 위한 방안으로 cell capacitor의 dielectric layer를 ferroelectric으로 대체한 하프니아 강유전체 기반 FeRAM 기술 개발 필요
- 하프니아 기반의 낮은 온저항 레벨, 저항비, 내구성을 만족하는 FTJ 기술 확보 필요
- FeFET소자를 기존 CTF를 대체하여 NAND Flash로 적용가능한 열적 안정성이 있는 강유전체 소재 및 공정 개발 필요
- 기존 DRAM 및 Flash 메모리가 planar 구조에서 3D 수직 구조로 변천함에 따라, 3D 구조에 적용할 수 있는 하프니아 강유전체 소재 및 소자 기술 필요

○ 1T1C FeRAM용 극박막 강유전체 형성 기술

- 중요성 및 추진방향

- 저전압에서 동작하며 높은 전하를 저장하는 미래 DRAM용 cell capacitor 제작을 위해서는 낮은 누설전류와 높은 잔류분극을 통해 다량의 전하를 저장할 수 있는 강유전체 초박막의 저온 제작기술이 높은 중요성을 지님.
- 우수하고 균일한 강유전성을 위해서는 낮은 열처리 온도에서도 우수한 결정화도를 보일 수 있어야 하나 박막의 두께가 낮아질수록 결정화 온도가 높아지는 경향이

나타나기 때문에 이를 해결하기 위해 (1) 증착 중 in-situ 결정화가 가능한 기술, (2) 증착 중 부분 결정화 등을 통해 저온 열처리가 가능하게 하는 기술, (3) 초박막에 적합한 새로운 열처리 기술, (4) 결정화된 두꺼운 박막에서 Atomic Layer Etching 등을 통해 초박막을 구현하는 기술 등을 고려할 수 있음.

○ 2단자 소자 기술

- 중요성 및 추진방향

- (MPB) DRAM 셀의 집적도 개선을 위해, 커패시터의 지속적인 EOT 스케일링과 낮은 누설전류 특성이 요구됨.
- (MPB) wake-up이 없으며, 낮은 polling 전압하에서도 MPB 특성을 가질 수 있도록 극 박막 하프니아의 t/o 구조 형성 및 제어할 수 있는 소재, 공정기술 필요
- (FTJ) 낮은 on 저항을 가지면서도, 높은 저항비와 우수한 내구성을 가지는 하프니아 기반의 FTJ 가 구현이 된다면, 메모리와 스토리지 사이에 성능 갭을 채울 수 있는 스토리지 클래스 메모리 구현이 가능함.
- (FTJ) 극 박막 하프니아 강유전체 형성기술과 더불어 FTJ를 이루는 박막 두께의 스케일링과 이종접합 구조에서 전하 수송 메커니즘을 면밀히 분석하여 최적의 구조 설계 기술 추진 필요

○ NCFET용 극박막 강유전체 형성기술

- 중요성 및 추진방향

- 누설전류 감소를 위해 최근 HfO_2 고유전율 게이트 절연막을 HfO_2 기반 강유전체 물질로 대체하는 음의 커패시턴스 FET가 저전력 시스템 반도체 분야에서 큰 각광을 받고 있음.
- 기존 발표된 NCFET의 경우 실제 시스템 반도체 소자에 적용하기 힘든 두꺼운 두께를 가지고 있어 2nm 이하의 물리적 강유전체 물질 두께와 1nm 이하 EOT를 가지는 $\text{SiO}_2/\text{HfO}_2$ 기반 강유전체 게이트 절연막 개발이 시급함.
- 0.7V 이하의 동작전압에서 이력현상 없이 100Hz 이상에서 동작 가능한 NC gate stack 제작기술의 확보가 필요함.

○ NAND형 하프니아 강유전체 형성 기술

- 중요성 및 추진 방향

- 저 전압 동작을 만족하며, 메모리 윈도우와 디스터브의 trade-off 현상을 이해하여 이를 최적화하는 기술 개발이 필요함.
- 이를 위해 강유전체와 상유전체의 cap. ratio 뿐만 아니라 강유전체의 막질 제어 및 열적 안정성을 개선할 수 있는 기술 개발이 요구됨.

나) 기술개발 로드맵

- 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 강유전체 소자 전략 기술 로드맵 】 * : 정부의 집중지원이 필요한
기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
강유전체	소자 신뢰성 필요 (Endurance 10^{12} , EOT<0.7nm, 누설전류 O)											강유전체 메모리 구현 (Endurance> 10^{15})
		핵심 소재 및 소자 개발						신뢰성 및 산포제어 기술 확보				
		강유전체 기반 컴퓨팅 기술 개발						강유전체 기반 컴퓨팅 기술 고도화			EOT<0.35nm, 누설전류 X)	

다) 기대효과

□ 기술적 측면

- 강유전체 신소재는 기초 물성이 비휘발성 정보 저장에 적합한 특성을 가지므로 초박막 형태로 제작될 수 있는 강유전체에 대한 원천기술의 확보는 1T1C FeRAM, 1T FeFET, 1R FTJ, Switchable Diode 등의 다양한 형태의 단위소자로 비휘발성 고집적 메모리 및 스토리지와 이를 활용한 뉴로모픽 컴퓨팅, 로직-메모리 융합 소자 등 미래 컴퓨팅 패러다임에 폭넓게 활용될 수 있음.
- 강유전성 신소재는 전계를 통한 분극을 활용한 강유전성 외에도 열적 특성, 기계적 특성이 전기적 특성과 Coupling되어 있는 초전성, 압전성 등과 같은 물성을 지니고 있어 열에너지, 기계적 에너지를 전기에너지와 상호 변환할 수 있으며, 이를 기반으로 센서, 에너지 하베스팅 등의 분야에까지 확장 가능
- 메모리 소자 강유전성 신소재는 전계를 통한 분극을 활용한 강유전성 외에도 열적 특성, 기계적 특성이 전기적 특성과 Coupling되어 있는 초전성, 압전성 등과 같은 물성을 지니고 있어 열에너지, 기계적 에너지를 전기에너지와 상호 변환할 수 있으며, 이를 기반으로 센서, 에너지 하베스팅 등의 분야에까지 확장되어 활용되는 것이 가능

□ 경제적, 산업적 측면

- 현재 FeRAM 시장의 경우 Fujitsu, Texas Instrument 등 소수 업체에 의해 서만 생산되며 Niche Market에 머물고 있는 수준임. 하지만, 본 사업을 통하여 반강유전성을 활용한 AFeFET를 통해 산화하프늄 기반 강유전체를 활용한 FeFET의 가장 고질적 문제인 제한된 endurance를 개선할 수 있는 새로운 방향이 제시된다면, 2021년 거의 100B USD에 이르는 DRAM, 70B USD에 이르는 NAND Flash, 2027년까지 10B USD 규모로 성장이 기대되는 Neuromorphic Chip 등의 반도체 산업 분야에 높은 잠재적 가치를 지닐 것으로 기대됨.
- DRAM 등 메인 메모리를 target으로 보았을 때 강유전체의 비휘발성은 Cell transistor의 요구되는 spec에 여유를 줄 수 있으며 Flash memory를 target으로 보았을 때 원칙적으로 기존 charge trap Flash와 유사한 구조를 활용하여 동작시킬 수 있는 장점을 가지고 있음. 현재 다양한 이슈가 있으나 제한된 endurance는 특히 메모리 혹은 Neuromorphic computing을 지향점으로 했을 때 높은 가치를 지닐 수 있을 것으로 판단됨.

□ 공공 연구개발 측면

- 강유전체의 분극 상태는 불연속적인 여러 상태로 적절히 제어하는 것이 가능하며

이를 활용할 경우, FeFET, FTJ 등의 형태로 Artificial Neural Network의 Weight cell 및 Spiking Neural Network의 Synaptic Device로 활용이 가능함. 또한, 미세화된 FeFET에서는 뉴런에서 나타나는 Leaky Integrate-and-Fire 거동의 모사가 가능한 것도 보고되어 현재 진행되고 있는 차세대지능형반도체 연구에 핵심이 될 수 있음을 잘 보여줌.

- FeFET의 경우 기존 MOSFET과 동일한 구조에 Gate Insulator가 삽입되어 있는 구조로 근본 원리상 로직의 역할을 하면서 동시에 메모리를 할 수 있는 이상적인 소자 형태임. MOSFET과 동일한 구조에서 유도된 특유의 비휘발성은 기존 CMOS Logic에서 구현하기 위하여 다수의 단위소자가 필요한 로직 셀들을 더 간단한 형태로 구현하는 것을 가능하게 하며 동시에 비휘발성까지 갖추고 있어 PIM 반도체기술개발사업의 핵심 소재 및 소자라 할 수 있음.
- 새롭게 강유전성이 발견된 하프니아의 경우 대표적인 화학적, 열적 안정성을 지닌 유전체 물질로 화합물반도체와도 우수한 계면 특성을 최적화된 공정을 통해 확보할 수 있음이 알려져 있음. 또한, 최근 새롭게 발견된 (Al,Sc)N 계열의 III-V 강유전체의 경우 GaN을 비롯한 III-V 반도체 substrate와 우수한 Epitaxial 계면 특성을 가지고 성장될 수 있음이 최근 연구 결과에서 확인되고 있음. 따라서, 현재 진행되고 있는 화합물반도체기술개발사업에서도 강유전체가 핵심적인 소재가 될 수 있을 것으로 기대됨.

Ⅲ. 설계 분과

1. 인공지능 반도체 기술

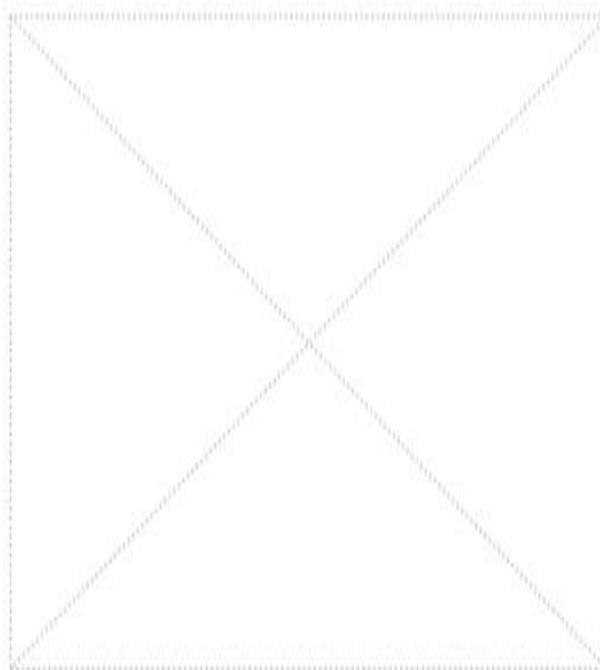
(1) 기술 개요

가) 기술 정의 및 필요성

□ 기술의 정의

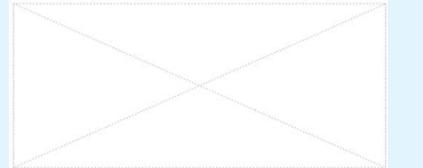
- (정의) 인공지능(AI)*의 학습, 추론, 실행을 위해 필요한 대규모 연산을 고성능·저전력으로 데이터 연산처리를 수행하는 반도체

【 AI 반도체의 개념도 】



- (특징) 인공지능 반도체는 인간의 뇌처럼 낮은 전력으로 대량의 데이터를 동시에 병렬로 처리하여, 동시다발적인 학습과 추론이 가능

【 기존 반도체와 인공지능 반도체 비교 】

구분	기존 반도체	인공지능 반도체
기능	범용목적 (단순한 인지수준으로 제약)	인공지능 최적화 (복잡한 상황 인식·판단 가능)
기술 특징	프로그램 순서대로 데이터 처리 	대량의 데이터를 동시(병렬)처리 

- 기존 중앙처리장치(CPU)와 그래픽처리장치(GPU) 한계를 극복, 고성능·저전력 강점은 있지만 범용성은 CPU나 GPU보다 낮음.
- AI 알고리즘에 최적화된 전용 반도체로 빅데이터 처리와 기계학습(ML)에 적합하여 자연어 처리, AI 음성인식, AI 로봇틱스, AI 영상 분석 등 서비스에 활용
- (한계) 병렬회로와 알고리즘으로 인한 구현 난이도가 높고, 활용에 있어 범용성이 낮으며, 現 수준에서 비싼 단가의 한계가 존재
- (의의) 인간을 능가하는 하이퍼스케일 AI 인공지능망을 학습하고, 대규모 추론 연산을 실행하는 높은 성능의 인공지능 반도체 구현을 위해 신개념 기술(페타급 성능·첨단패키징·CIM·뉴로모픽 회로·6G AI반도체 등) 필요
- (초병렬 peta급) 초당 1000조개 신경망 연산(스마트폰 AP의 10,000배 성능)을 실행하는 반도체로, 저전력으로 하이퍼스케일 AI를 구현하기 위한 기술
- (첨단패키징 PIM) 다수의 NPU 반도체 다이(Die)와 적층 메모리 다이(HBM)를 고밀도의 배선으로 연결하여 수십 페타급의 연산성능을 달성하고 전력소모량을 감소하는 반도체 기술
- (차세대 CIM) 1조개 이상 파라미터를 가진 하이퍼스케일 AI는 대규모 데이터 연산이 필요해 메모리 내에 연산기능을 통합한 기술이 필요
- (거대 스파이킹 신경망 구현 뉴로모픽) SNN(스파이킹 신경망)반도체는 AI 반도체와 비교해 수 와트급 낮은 전력으로 동일한 기능을 구현해 인간 두뇌 크기의 하이퍼스케일 AI 구현 목표로 연구 필요
- (차세대 통신 6G용 인공지능) 인공지능망을 실행하는 AI 반도체를 이용해 채널·대역폭·통신 환경의 최적 솔루션을 탐색하는 환경에서 최적화한 통신망 구현을 위한 연구 필요

□ 기술의 필요성

- AI 반도체는 인공지능 딥러닝을 수십~수백 테라플롭스의 성능을 요구하는 실 산업에 실효적으로 적용할 수 있도록 인공지능망을 높은 성능, 낮은 전력으로 실행
- 현재 딥러닝의 적용 분야는 영상처리, 컴퓨터 비전, 대화 인식, 화자인식, 문자 이해, 언어번역, 예술 및 창의, 의학 이미징, 의학 정보 처리, 로봇 및 제어, 바이오인포매틱스, 사이버 보안, 금융 등 거의 모든 디지털 컴퓨팅 분야를 포함
- 인공지능 딥러닝(Deep Learning)이 다양한 산업 분야에서 실효적(Effectiveness)으로 적용되기 위해서는 '빠른 속도'로 실행되어야 하는데 AI 반도체는 이를 가능하게 함.
- 인공지능 딥러닝(Deep Learning)은 다층구조 레이어(Layer)로 이루어진 인공지능 알고리즘으로서, 인간의 두뇌가 다층의 뉴런(Neuron)과 시냅스(Synapse)로 연결되어 있다는 점에 착안하여 만들어진 컴퓨터용 신경망 모델
- 인공지능 딥러닝의 우수성이 본격적으로 밝혀진 것은 반도체의 발전에서 촉발된 것이

며, 거대한 연산량을 요구하는 인공지능의 발전이 지속되기 위해서는 AI 반도체 기술 필요

- 인공지능은 인간의 일반지능(AGI; Artificial General Intelligence)을 달성하기 위한 초거대 인공신경망으로 발전하고 있어 “AI = AI 반도체 기술”로 변화 중

【 인공지능의 세대별 특성과 핵심 기술 】

	1세대 AI		2세대 AI		3세대 AI
시기	1960~2011		2012~2019		2020~
기술수준	신경망 모델 개발	▷	인간의 부분 지능 (시각, 청각, 언어 등)	▷	일반 지능
핵심기술	신경망 모델		반도체 ~ = 모델		반도체 >> 모델
특성	AI 개념 제시		딥러닝 AI (학습과 추론)		초거대 인공신경망 → 높은 반도체 성능 요구

- 초거대 인공신경망, 즉, 하이퍼스케일 AI에 널리 적용하고 있는 트랜스포머 (Transformer) 네트워크가 개발된 이후('18~)에는 문장에서 영상을 생성하거나, 주어진 주제에서 예술작품을 생성하는 등의 고차원적인 사고를 필요로 하는 분야에서도 인공지능이 강점
- 하이퍼스케일 AI는 인간의 일반지능(AGI)을 컴퓨터로 구현하기 위한 기술이라고 할 수 있는데, 인간이 100조개 이상의 시냅스를 가진 두뇌를 가진 것과 같이 거대한 규모의 트랜스포머 신경망 네트워크를 구성하여 디지털 인간지능을 달성하기 위한 연구 활발히 진행 중

나) 인공지능 반도체 기술 분류 (Technology Tree)

【 인공지능 반도체 주요 기술 분류 】

중분류	소분류	요소기술
NPU	초병렬 서버 NPU	<ul style="list-style-type: none"> • 초병렬 부동소수점 10페타급 NPU • AI 서버용 10TB/s급 메모리 통합 NPU • 초소형, 광범위 부동소수점 데이터 타입 NPU
	저전력 엣지 NPU	<ul style="list-style-type: none"> • 100T-Peta급 저전력 엣지 NPU • 고정확도, 고성능 아키텍처 기반 엣지 NPU • 지식증류형 데이터 변환 엣지 NPU용 프레임워크
	AI 반도체컴파일러 및 라이브러리	<ul style="list-style-type: none"> • AI 프레임워크 연동형 AI 반도체 컴파일러 • 거대인공신경망 AI 반도체용 최적화 라이브러리 • AI 기반 반도체 설계용 CAD
	초고속 반도체간 인터페이스	<ul style="list-style-type: none"> • 차세대 실리콘 포토닉스 기술 • 초고속 광학 인터커넥트 기술 • 첨단패키징 인터커넥트 기반 칩 간 광학 인터커넥트
PIM	NM-PIM	<ul style="list-style-type: none"> • DRAM기반 고용량 PIM 반도체 • 고용량 뉴타입 SRAM 기반 PIM 반도체 • 비휘발성 메모리 기반 PIM 반도체
	IM-PIM	<ul style="list-style-type: none"> • 휘발성 메모리 어레이 기반 인메모리 컴퓨팅 • 비휘발성 메모리 어레이 기반 인메모리 컴퓨팅

첨단패키징(HI) AI 반도체	HI AI반도체 설계기술	<ul style="list-style-type: none"> AI 반도체(NPU)와 HBM3/4통합 HI AI 반도체 설계 초고속 차세대 대용량 메모리 HBM3/4/4+의 NM-PIM 고속 컨트롤러 및 PHY 기술
	HI AI반도체 신뢰성 기술	<ul style="list-style-type: none"> 대면적 인터포저·기판의 휨(Warp) 하에서의 고신뢰 조립 및 신뢰성 검증 인터페이스 설계 열팽창에 의한 동적 기계적 파손 감지, 인터페이스 설계
Neuromorphic 프로세서	뉴로모픽 프로세서 코어기술	<ul style="list-style-type: none"> 고성능 높은 재구성도의 신경망 재구성 코어 두뇌수준의 학습 파라미터 기반 신경망 구성을 위한 메모리 압축 기술 거대 인공신경망 구현 확장형 뉴로모픽 프로세서
	뉴로모픽 프로세서 응용기술	<ul style="list-style-type: none"> 온칩 이벤트(Event) 데이터 분류 프로세서 이벤트의 실시간 시공간 구조 추출 알고리즘
	Emerging technology	<ul style="list-style-type: none"> 뉴럴링크를 위한 BCI(Brain-Computer-IF) 프로세서 광학기술 기반 뉴로모픽 프로세서
AI 반도체 6G 융합기술	기지국용 강화학습 AI 반도체	<ul style="list-style-type: none"> 대규모 통신 단말의 네트워크 자원관리 AI 반도체 다수 무선 채널의 동적 할당을 위한 AI 반도체 Extreme MIMO의 동적 최적 빔포밍(Beam Forming) AI 반도체 기술 Channel prediction, Positioning, Slicing, Handover, Spectrum sensing, Error correction, Channel estimation, Wi-Fi Fingerprinting AI/ML 알고리즘
	단말용 온디바이스 학습 AI 반도체	<ul style="list-style-type: none"> 통신채널 고속화를 위한 채널 자원 관리 AI 반도체 저지연, 저전력 온디바이스 학습 6G 엣지 AI 반도체

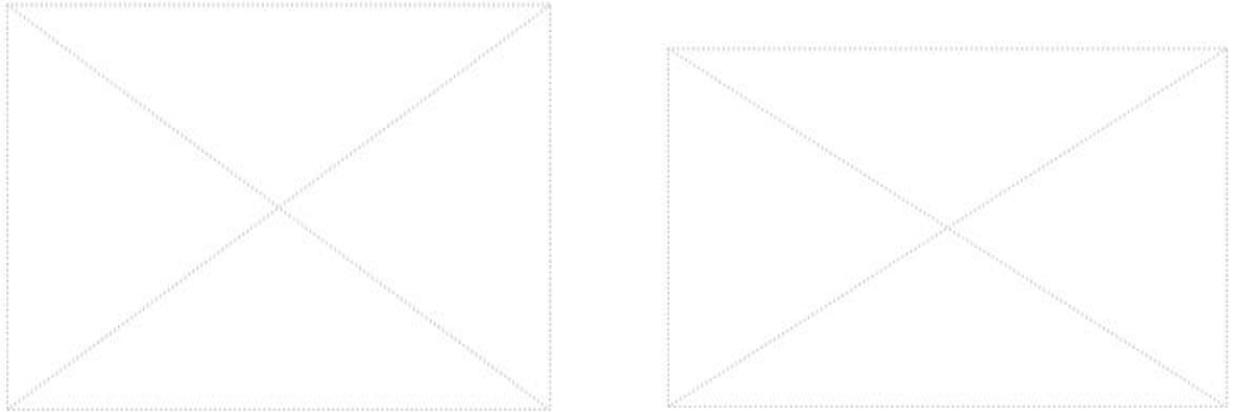
(2) 기술 분석

가) 국내·외 기술 현황

□ 국외 기술 동향

- (거대 인공신경망 초고성능 AI 반도체) 인공지능은 일반지능을 실현하기 위해서 거대 규모로 발전, 인공신경망 학습 소요 연산량은 매년 10배 규모로 증가하여, 거대 인공신경망 학습과 추론을 위한 초고성능 AI 반도체 필요

【 인공지능망 모델의 학습 연산량 증가 추이 】



* 출처:openai.com & 재구성

- 인공지능망 학습 소요 연산량의 규모는 2012년 이전에는 매년 2배의 속도로 증가한 반면, AlexNet에 의하여 딥러닝의 가능성이 증명된 이후는 매년 10배씩 증가하고 있음.
- 하이퍼스케일 신경망 모델과 트랜스포머(Transformer)의 등장에 따라서 2022년 현재 단일 인공지능망의 크기는 1750억개의 “파라미터(parameter)”로 구성될 정도로 그 규모가 급격히 증가하고 있어 인공지능망을 학습하고 추론하는데 필요한 연산량이 급격히 증가 중
- (서버와 엣지 모두 높은 성능, 낮은 전력 요구) AI 반도체의 대표적인 분류인 서버와 엣지 반도체 모두 높은 성능과 낮은 전력을 요구
 - 서버용 AI 어플리케이션은 대규모의 하이퍼스케일 AI로 발전하고 있어 1000테라플롭스 즉, 1페타플롭스(10^{15} FLOPS)급의 기존의 슈퍼컴퓨터급의 성능을 한 개의 반도체 칩에 구현하는 초고성능의 AI 반도체가 필수적인 시대로 진입 중
 - 하이퍼스케일 AI의 발전에 따라서 서버용 AI 반도체는 물론 고성능 메모리(HBM3, HBM4, GDDR6/7 등)의 수요가 지속 증가하면서 AI 반도체 시장의 성장을 견인할 것으로 보임.
 - 엣지 AI 반도체는 모바일 또는 이동체를 위한 반도체로써 인공지능망 모델의 경량화 기술, 경량화 모델을 높은 성능과 낮은 전력으로 실행할 수 있는 혁신적 AI 반도체 아키텍처 기술 필요
- (첨단 반도체의 국가안보 기술화) AI 반도체를 비롯한 첨단 반도체 기술은 국가안보 기술로 인식, 미·중 패권 전쟁을 중심으로 대만, 한국의 새로운 정책을 요구
 - 미국은 지금 중국과의 경쟁에 맞서 미국 의회와 반도체 기업을 중심으로 자국의 반도체 산업 재건을 위한 “CHIPS for America Act”의 입법화 및 대규모의 투자심의를 통과
 - 중국은 자국의 경제력 급성장 도중 ‘팽창주의’ 정책하에 ‘반도체 굴기(崛起)’를 선언하고 본격적인 투자를 천명한 후, 미국과 장기적 마찰 상황이며, ‘반도체 굴기’의 일부 실패에도 불구하고 반도체 자급률 향상을 위한 총력전 상황, 미국은 세계 반도체 산업 지형 재편 추진

- AI 반도체를 비롯한 첨단 반도체 기술은 미·중 패권 전쟁 하에서 미래 사회를 주도할 신기술임은 물론, 국가안보를 위한 핵심 첨단기술로 인식되면서 국가가 보호해야 할 기술로 전환
- (AI 반도체 복잡도의 증가와 대형기업의 진입) AI 반도체의 성능요구량 지속 증대에 따라서 반도체의 면적·복잡도 증가 → 개발 비용 증가 → 빅테크 기업의 진입 가속
 - 반도체 설계·생산 기술 확보는 기업의 기술 역량을 보여주는 척도가 되고 있으며, 규모의 경제를 통하여 시장가격 조정, 사업 포트폴리오의 다각화를 기하는 데 중요하여 반도체 기업 대형화 유도
 - 최근, COVID-19 및 전 세계적 경기 침체로 반도체 수급 및 패키지(Package Substrate)의 수급 상황이 매우 불안해지면서 반도체를 자체적으로 수급하는 것은 IT기업에 중요한 기술 경쟁력으로 인식
- (반도체 한계 극복을 위한 신기술 등장) AI 반도체는 높은 성능, 낮은 전력 달성을 위해 초미세공정을 필요로 하나, 반도체 기술은 한계에 이르고 있으므로 이를 극복할 이종집적(HI;Heterogeneous Integration) 등의 기술이 본격 등장
 - 반도체 기술은 미세공정으로의 전환 속도가 저하되고 물리적 한계에 다다르면서 미세공정 개발이 사실상 정체 상태이며, “무어의 법칙(Moore’s Law)”은 종료되고 미세화는 트랜지스터의 물리적 한계 봉착
 - 초미세공정에서는 TR 크기가 수 nm 수준으로 초소형화, 원자 크기와 대등한 수준으로 물리적 한계에 도달
 - 반도체의 고성능화를 지속할 신기술로써 이종집적(HI;Heterogeneous Integration) 기술이 각광을 받고 있는데, 이종집적에서는 다수의 AI 반도체 다이(Die)와 초고성능 메모리(HBM;High-Bandwidth Memory) 다이(Die)를 초미세와이어(Micro-wire)로 연결하여 한 개의 칩과 같이 동작하도록 하는 기술
- (데이터 병목 심화와 신기술 등장) Von Neumann의 병목 현상의 심화와 새로운 컴퓨팅 아키텍처의 필요성 증대
 - 인공지능(AI) 칩은 광범위한 인식 및 분류 작업에서 우수한 기능을 보여줌으로 사물 인터넷(IoT) 시스템 및 빅 데이터 처리를 위한 핵심 요소
 - AI 칩의 성능과 에너지 효율을 높이는 중요한 열쇠 중 하나는 메모리를 통한 데이터 액세스임.
 - 기존의 Von-Neumann 아키텍처에서는 데이터가 스토리지에서 직렬로 연결되어 작업 메모리로 구동되므로, AI 칩에서 대기 시간과 에너지 오버헤드가 상당히 증가
 - 캐시와 같은 계층적 스토리지 기술을 사용하여 컴퓨팅과 스토리지 간의 속도 차이를 완화하고 있으나, 혁신적인 대안이 필요
 - 특히 AI 칩에 저장 및 처리해야 하는 데이터의 양은 이전의 일반적인 응용 프로그램에서 사용된 것보다 훨씬 큼.

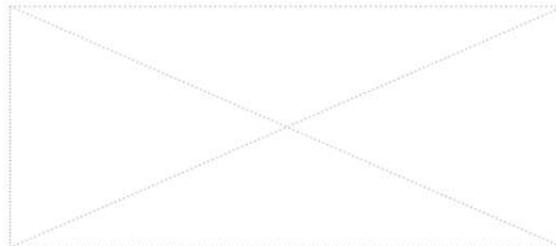
- 예를 들어 VGG16 네트워크가 추론 프로세스를 위해 총 138M의 총 가중치와 15.5G의 총 MAC을 필요로 하는 등 AI 응용 분야에서 Von Neumann 병목 현상을 가중
 - 일반적으로 아키텍처 수준에서 Von Neumann 현상을 해소하기 위해서는 ①신경망의 스토리지 요구 감소, ②저장 장치와 컴퓨팅 장치 사이의 거리를 줄이고, 저장 장치에서 직접 작동 방식이 필요
- (IoT 시대 도래와 데이터 폭증) IoT 시대의 도래와 폭발적인 IoT 디바이스 증가 및 CMOS 스케일링의 한계로 인한 데이터 처리량의 폭증
- 현재 컴퓨터는 페타 스케일(10^{15} FLOPS) 성능을 제공하며 고급연구(생물학, 기후 분석, 유전체학, 뇌, 계몽, 재료 개발 등), 상업 및 비영리 응용 분야에서 중요한 역할을 수행
 - 향후 AI와 머신 러닝은 초당 엑사 스케일(10^{18}) 이상의 연산을 빠르게 실행하는 반도체 기술이 필요하며, 병렬 반도체 기술을 응용한 강력한 컴퓨팅 시스템이 필요
 - 현재까지는 이러한 시스템을 구축하는 데 주로 활용되는 기술은 CMOS이며, 특히 실리콘계 CMOS의 스케일링에서 상당한 이점을 얻음.
 - 지난 30년 동안 무어의 법칙은 이러한 진보를 매우 잘 예측해 주었고, 글로벌 선도 기업을 주축으로 '18년 10nm 노드의 CMOS 생산 준비가 완료되고, 7nm 및 5nm 노드에 대한 기술 정의도 이미 완료되어 상용화 단계로 진입
 - 반면, 근본적인 물리적 및 경제적 이유로 인해 CMOS의 지속적인 공정 미세화로의 진행은 지속적이지 않을 것으로 전망하고 있으며, 새로운 반도체 디바이스 또는 반도체의 기술 한계를 극복하기 위한 새로운 혁신 기술이 필요
 - 사물 인터넷(IoT), 소셜 미디어 및 보안 장치도 많은 양의 데이터를 생성하므로 저장, 교환 및 처리에 많은 양의 메모리가 필요
 - DRAM 스케일링은 포화 상태로, DRAM 성능 및 메모리 용량의 발전은 주로 여러 DRAM 칩을 스택하고, TSV(실리콘 Via)를 통해 대용량 고속의 메모리를 논리 칩의 메모리 컨트롤러와 연결하는 첨단 패키징(Advanced Packaging) 기술이 필요
 - NAND 플래시는 주요 데이터 스토리지 기술이며, '18년에는 최대 64개의 레이어와 256Gb 용량의 3D NAND가 출시되었으며, 용량 측면에서의 지속적인 성장 전망
 - DRAM과 NAND 플래시는 모두 컴퓨팅 코어에서 칩 외부에 있는 독립형 칩으로, 컴퓨팅 코어와의 데이터 교환 비용(시간 및 에너지 소비 포함)은 매우 큼
- (뉴 컴퓨팅 기술 필요) 디지털 혁신은 더 높은 컴퓨팅을 요구하는 반면, 반도체의 기술 한계가 도래하고 있으므로, 반도체와 반도체를 기반으로 하는 컴퓨팅 아키텍처와 장치 운영 측면에서 새로운 파괴적인 접근 방식 필요
- 뇌는 대량의 정보를 처리하는 동시에 극도로 치밀하고 오류 복원력이 있으며, 전력 효율적으로 처리하는 방법에 대한 계산 모델로 사용 가능
 - 뇌의 뉴런과 시냅스에서의 에너지 손실은 최첨단 CMOS 장치보다 몇 배나 낮으며, 두뇌는 패턴 인식 및 특징 추출과 같은 일련의 문제를 해결

- 아날로그값을 저장할 수 있는 비휘발성 메모리는 두뇌의 뉴런과 시냅스와 유사한 구조를 구현할 수 있으며, 장기간의 연구개발 이후 두뇌 수준의 신경망을 구현할 가능성을 시사
- 더불어 새로운 비휘발성 메모리는 저온에서 제조될 수 있고, 3D에서 컴퓨팅 로직과 통합하기에 적합하게 되어, 대량의 메모리를 갖는 컴퓨팅 시스템이 정밀하게 컴퓨팅 로직과 연결된 컴퓨팅 시스템을 실현 가능
- (PIM 반도체의 필요성) 현재 컴퓨팅 기술에서 폰노이만 아키텍처의 병목 현상을 완화하거나 피하고자 새로운 컴퓨팅 기술이 필요
 - 반도체 기술 한계를 극복할 주요한 컴퓨팅 기술로는 인접 메모리 컴퓨팅(PNM), 인메모리 컴퓨팅(PIM), 뉴로모픽 컴퓨팅 등이 있음.
 - PNM 반도체는 가장 빠른 상용화가 가능한 기술로서 적층 고속 DRAM 첨단패키징 (HBM Advanced Packaging) 반도체와 컴퓨팅 로직 집적 HBM 기술로 구분
 - 기술성숙도가 높은 CMOS 디바이스가 이러한 새로운 컴퓨팅 패러다임을 구현하기 위해 활용되고 있는 중이며, 뉴로모픽 반도체 및 Flash 기반 PIM 스토리지 등 새로운 인공 지능 반도체 기술은 향후 성능을 더욱 크게 향상시키고 회로의 복잡성을 줄일 것으로 기대
 - 로직과 메모리를 최근접 거리에 위치하여 연산 효율성을 기존 반도체 대비 10배 이상으로 향상하는 PNM(=NM-PIM, Near-Memory computing) 컴퓨팅 기술 개발
 - * 로직 회로나 처리 장치(PU)를 메모리에 가깝게 배치하고, 이를 광역버스와 연결하여 데이터 전송에 의한 지연과 전력을 최소화하고, 대역폭을 확대
 - * 인접 메모리 컴퓨팅은 고성능 병렬 컴퓨팅이 가능하도록 로직 레이어 위에 메모리 레이어를 배치하는 방식으로 더욱 진화
 - * 차세대 메모리(NVM)이 CMOS BEOL(Back-End-of-Line) 프로세스를 통해 로직 장치와 통합
 - 메모리와 로직을 단일 셀에 온전히 통합한 IM-PIM(In-memory computing) 기술 개발
 - * In-Memory 컴퓨팅은 데이터 전송 없이 메모리 내부에서 직접 연산을 수행하기 때문에 기존의 폰노이만 아키텍처에 비해 근본적으로 다른 접근방식을 나타냄.
 - * 최근 이 분야의 발전은 신경망 처리뿐만 아니라 로직 조작의 능력을 입증하여 컴퓨팅 시스템의 성능과 지연 시간을 크게 개선
 - * 특히, 차세대 메모리(NVM) 기반 인공신경망을 이용한 컴퓨팅이 최근 큰 주목을 받고 있는데 이는 두뇌와 유사한 구조의 반도체 구현, 두뇌와 같은 비휘발성 데이터 저장 기능 등을 구현하고 있기 때문.
 - * FeRAM, MRAM, PRAM, ReRAM와 같은 새로운 메모리를 활용하여 극도로 낮은 대기 전력 메모리 어레이를 구축하는 데 사용
 - * 인메모리 컴퓨팅에서는 메모리 소자가 데이터를 저장할 뿐만 아니라 신호 처리에도 적극적으로 참여하는 아날로그 컴퓨팅 구현이 가능함.

- * ReRAM 기반 뉴럴 네트워킹(1024 셀 어레이)에서 아날로그 시냅스 내의 에너지 소비량은 오프칩 메모리가 있는 Intel Xeon Phi 프로세서에 비해 1,000배 낮음.
- * CMOS 접근방식에 비해 아날로그 인메모리 컴퓨팅은 병렬 신호처리와 낮은 에너지 작동으로 높은 처리량을 제공

- (컴퓨팅 패러다임 전환을 위한 뉴로모픽 프로세서) 새로운 컴퓨터 구조 기반 패러다임 전환형 AI 프로세서인 뉴로모픽 프로세서 반도체 개발
 - 고성능 NPU, PIM 등은 기존 Von Neumann 구조 내에서 AI 연산을 저전력 가속화할 수 있는 한계 돌파형 기술로, 호스트의 필요성 및 메인 메모리 접근의 필요성 등의 동작 속도 저해 요인을 포함한 중단기형 대안기술임.
 - 패러다임 전환형 중장기형 대안기술로 Von Neumann 구조에서 벗어난 새로운 구조(Beyond von Neumann)의 standalone 프로세서 개발 연구가 미국과 유럽연합을 중심으로 활발히 진행 중이며, 스파이킹 신경망을 학습/추론 모델로 하는 뉴로모픽 프로세서가 대표적인 예임.
 - 동기화 vector-vector dot product 연산이 필요한 심층신경망(DNN: Deep Neural Network)과 달리 스파이킹 신경망은 비동기 event 기반 동작을 하며, 노드(뉴런) 간 송수신 데이터의 크기가 매우 작으므로, 분산 메모리(distributed memory) 기반 비동기 멀티코어 구조에 적합한 추론 모델임.
 - 메인 메모리 접근의 불필요, 비동기 멀티코어 구조에 따른 낮은 global clock 속도의 사용 등의 이유로 높은 연산속도, 매우 낮은 전력소모를 가지는 AI 연산이 가능한 프로세서임.

【 AI 연산가속 하드웨어 종류 및 특성비교 】



- (뉴로모픽 프로세서) 정부주도의 연구개발 기초 확립 후 현재 민간주도의 원천기술 선점 및 기술상용화 가속화 추진중
 - (미국) DARPA는 SyNAPSE 프로젝트(2008 - 2017)를 통해 초기 뉴로모픽 프로세서 개발을 주도하였음.
 - 연구목표: 두뇌 신피질(neocortex)의 인지기능을 구현한 새로운 구조의 인지 컴퓨터 개발
 - 대표성과: 디지털 뉴로모픽 프로세서 개발(IBM TrueNorth), 대규모 신경망 시뮬레이터 개발(C2), 고속/고집적 RRAM기반 시냅스 어레이 개발
 - (미국/캐나다) 현재 Intel Lab, BrainChip, ABR 등의 기업주도로 디지털 뉴로모픽 프로세서

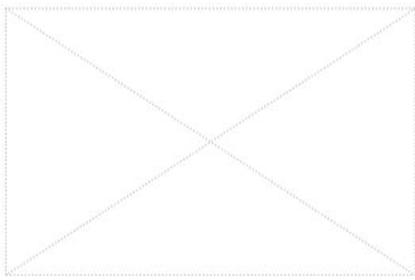
서의 성능을 고도화하고 있으며, 응용범위를 점차 넓히고 있음.

- (유럽연합) 유럽연합은 HBP(Human Brain Project, 2013-2023)를 통해 인지컴퓨터 개발을 주도하였음.
 - 연구목표: 뇌과학, 인지컴퓨팅, 뇌약물학 등의 동반 발전 가속화
 - 대표성과: BrainScaleS 두뇌모사 플랫폼(Wafer-scale 뉴로모픽 칩, 4,000,000 뉴런 시뮬레이션) 개발, SpiNNaker 두뇌모사 플랫폼 개발
- (유럽연합) 현재 스타트업 기업이 기술 고도화를 추진 중이며, 대표적인 기업으로 GrAI Matter Lab(프랑스), SynSense(스위스), iniVation(스위스), Innatera(네덜란드) 등이 기술 상용화

□ 국내 기술 동향

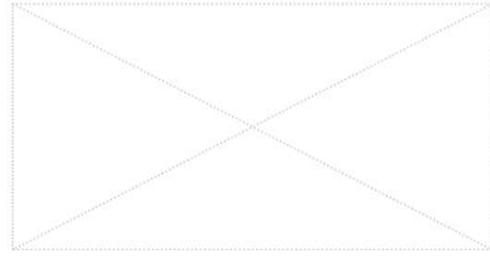
- (AI 반도체 정책 수립과 스타트업 활성화) 우리 정부가 인공지능 반도체 산업발전 전략('20.10)을 발표한 이래, AI 반도체 분야에서 다수의 대기업과 스타트업이 생겨났으며, 현재 상용화 AI 반도체 개발을 위한 전략을 다수 실행 중
 - AI 반도체의 국산화 및 자체 기술 개발을 위한 대규모 국가 재원을 확보하고 투자를 시작하였으나, 미국, 중국, EU 등의 반도체 설계 분야 국가 지원 대비 여전히 열세인 상황이나, 국가 정책적인 지원을 계속하여 다수의 AI 반도체 스타트업이 창업하는 등 기술 활성화 단계
 - 자체적인 AI 가속 아키텍처 아이디어를 기반으로 한 신생 AI 스타트업들이 나타나고 있으며, 성공적으로 초기 투자를 완료하여 성장을 거듭하고 있으며, 특히 GPU 기업이 이미 장악한 상용화 시장에서 기술로 시장 진입을 노리는 다수 기업 등장
- (AI 반도체용 PIM 메모리 기술 본격화) 메모리 반도체 대기업을 중심으로 AI 반도체, GPU, 고성능 AI 서버용 신개념 메모리로서 PIM 메모리 기술의 시장 진입 본격화
 - 인공신경망 모델의 대형화에 따라서 AI 반도체가 초당 연산해야 하는 데이터량은 기하급수적으로 증가하여, AI 반도체와 메모리 간의 데이터 이동성능(Data Bandwidth)이 성능에 핵심 요소
 - AI 반도체는 대규모 데이터에 대한 컴퓨팅을 지원하는 방향으로 발전하고 있으므로, NPU(Neural Processing Unit)의 연산기와 메모리 간의 데이터 성능을 극대화하기 위한 연구 본격 진행 중
 - 메모리 반도체에서 세계 1위인 우리나라 대기업을 중심으로 연산기를 메모리 내부에 집적하는 PIM 반도체의 집중 연구개발 중이며, HBM3-PIM, HBM4-PIM 및 GDDR6-PIM 등 개발

【 HBM-PIM 개념도 및 GDDR6-AiM (AI PIM) 반도체 】



출처: samsung.com

<HBM-PIM 개념도(삼성전자)>

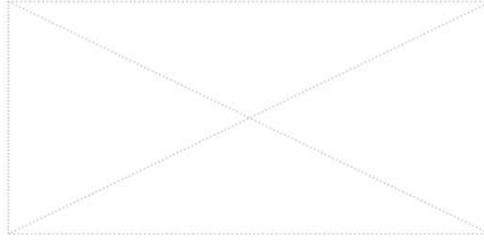


출처: skhynix.com

<GDDR6-AiM (AI PIM) 반도체
(SK하이닉스)>

- (반도체 신기술 개발과 AI 반도체 적용) 반도체 기술 정체를 극복하기 위한 신기술 개발에 대한 인식 전환과 관련 인력 양성을 위한 국가 단위의 반도체 지원 정책 마련 중
 - 반도체 기술 정체 극복을 위한 신기술로서 HI(Heterogeneous Integration) 연산과 메모리 기능을 통합한 반도체 신소자 개발 등 미래 반도체 기술 개발을 위한 정책 수립 본격 진행 중
 - AI 반도체 원천기술 활성화를 위하여 필요한 인력으로서 AI 알고리즘, 인공지능망, 반도체 설계 기술, 반도체 제조 기술, 패키징 기술 등의 전문성을 가진 고급 인력 양성을 위한 정책 마련 중
- (뉴로모픽 프로세서 본격 개발) 우리나라 정부 주도의 국가 사업을 통하여 뉴로모픽 프로세서 개발 중
 - 현재 과학기술정보통신부의 차세대지능형반도체기술개발사업, PIM반도체기술개발사업 등을 통해 정부 주도의 뉴로모픽 프로세서 개발 추진 중임.
 - 삼성종합기술원은 현재 혼성신호 회로 기반 뉴로모픽 프로세서를 개발 중이나, 구체적인 개발 대상은 대외에 알려진 바 없음.
 - 현재 민간의 연구개발은 NPU/PIM 등의 한계돌파형 AI 반도체 개발에 편중되어 있는 상황으로, 패러다임 돌파형 뉴로모픽 프로세서 개발의 민간 참여는 저조한 상황임.
 - 뉴로모픽 프로세서는 스파이킹 신경망의 고유 장점을 극대화하는 application domain의 발굴 및 이에 적합한 프로세서 구조로 최적화될 것으로 예상
 - 현재 스파이킹 신경망은 심층신경망의 application domain 적합도를 확인하는 수준이나, 향후 심층신경망의 application domain과 차별화되며, 스파이킹 신경망의 동역학적 특성을 최대한 활용하는 application domain의 발굴이 예상됨.

【 심층신경망, 스파이킹 신경망 application domain 구분 】



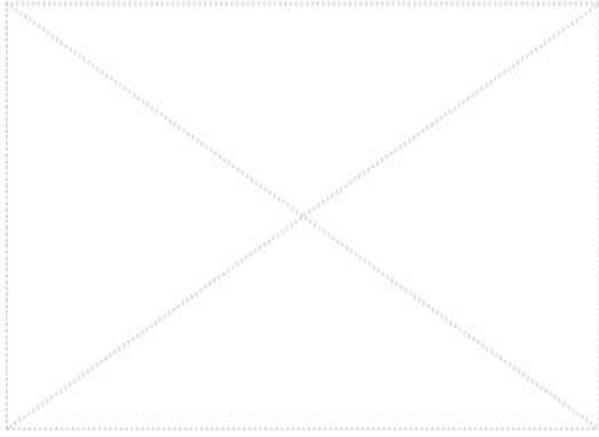
- 현재 스파이킹 신경망의 위상은 최신 심층신경망의 위상(VGG, ResNet, GoogLeNet 등)을 모방하나 이는 스파이킹 신경망 고유의 expressiveness를 최대한 활용하지 못하는 위상으로 판단되므로, 향후 이론연구를 통해 스파이킹 신경망의 고유 장점을 극대화하는 새로운 위상의 발견이 예상된다.
- 현재 스파이킹 신경망의 학습은 심층신경망 학습 알고리즘인 error-backprop 알고리즘에 의존하고 있는 상황이며, error-backprop 알고리즘을 스파이킹 신경망 적용 시 학습의 시공간 복잡도(space/time complexity)가 매우 커 온칩학습이 불가능한 상황일 뿐 아니라, GPU 등 기존 범용 하드웨어를 이용하여도 학습 시간이 매우 길어 학습의 효율성 저하
- 따라서 향후 error-backprop을 대체할 로컬 학습에 기반한 학습 알고리즘이 개발될 것으로 예상되고 진정한 standalone 학습/추론 일체형 프로세서의 개발이 가능할 것으로 예상되며, 기존 GPU 등의 범용하드웨어를 대체하여 학습 알고리즘 개발 등의 플랫폼 하드웨어로 각광 받을 수 있을 것으로 예상된다.
- Loihi2 등의 최신 뉴로모픽 프로세서는 dense layer에 최적화된 프로세서 구조를 가지나, convolution layer 구현 시 가중치 재사용의 한계 등의 문제를 초래하여 온칩 메모리 사용의 효율성을 저해하므로, 향후 뉴로모픽 프로세서는 convolution/dense layer 구현에 자유로우며 convolution layer 구현 시 높은 가중치 재사용률을 가지는 구조로 발전

나) 특허 및 논문 동향

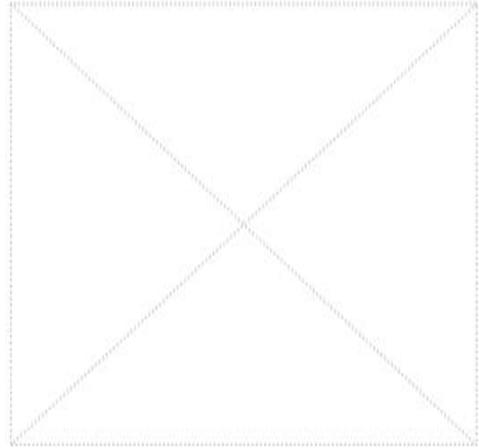
□ 특허 동향

- (AI 반도체 특허량 증대) AI 반도체 관련 특허의 출원 현황 분석 결과 2011년 이후 특허 건수가 지속적으로 증가하고 있으며, 주요 글로벌 기업이 주요 출원인으로 나타나고 있어 AI 반도체 분야의 기술적 중요성 증대
- ‘엣지 AI 컴퓨팅’등 신산업 분야 관련 특허와 ‘Chiplet’, ‘Package’등 첨단패키징 분야 특허량이 빠르게 증가하고 있고 ‘PIM 분야 등이 꾸준한 출원량을 보여 딥러닝이 활성화된 ’12년 이후 급성장

【 ‘AI컴퓨팅(엣지)’ 연도별 및 국가별 특허건수 】

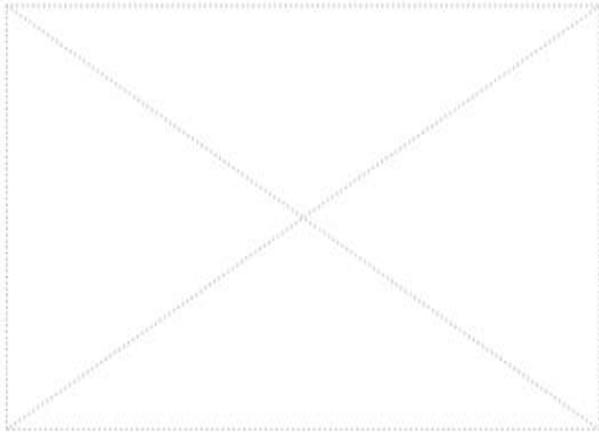


<연도별 특허건수 >

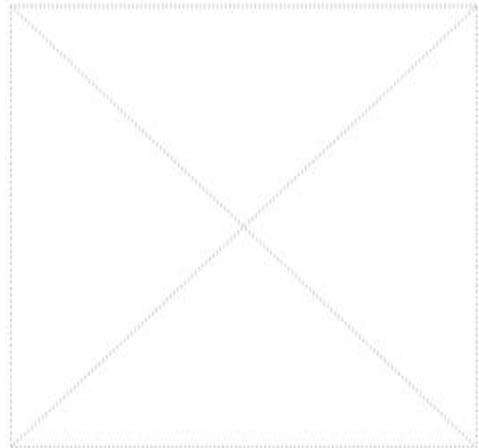


<국가별 특허건수 >

【 ‘PIM’ 연도별 및 국가별 특허건수 】

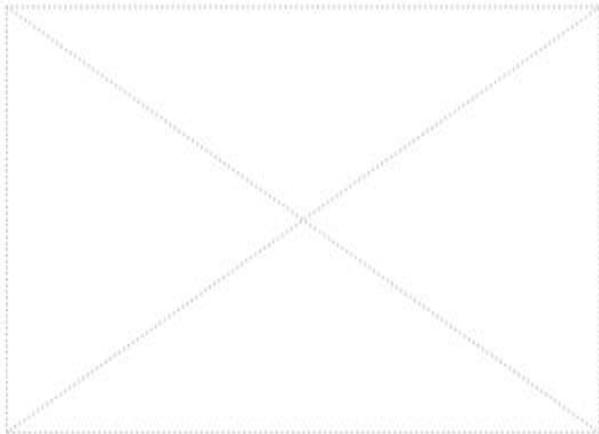


<연도별 특허건수 >

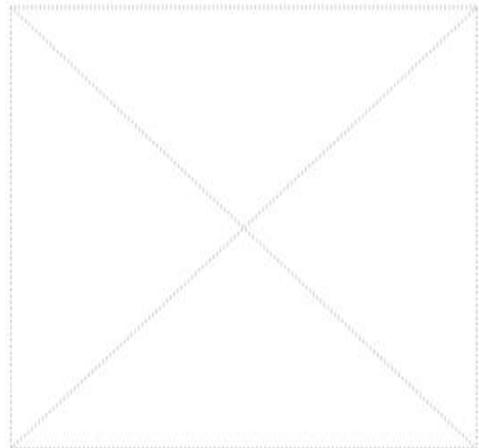


<국가별 특허건수 >

【 ‘Chiplet’ 연도별 및 국가별 특허건수 】

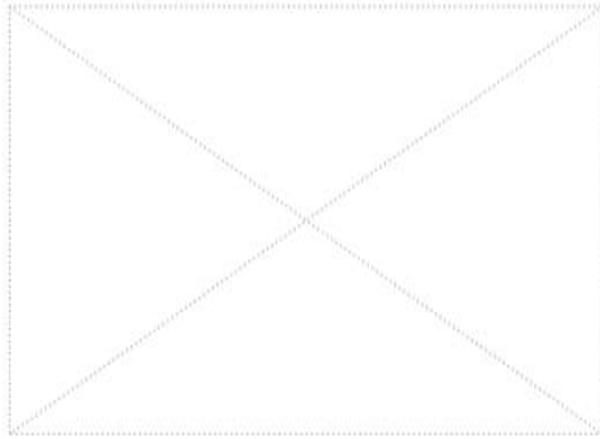


<연도별 특허건수 >

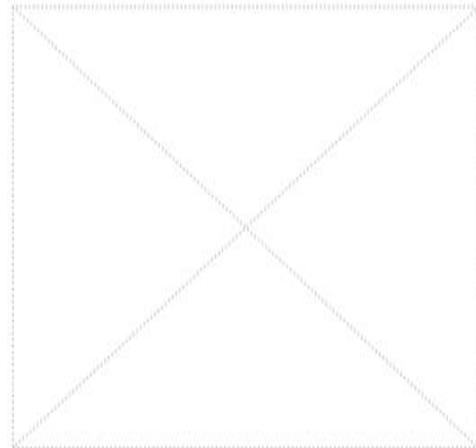


<국가별 특허건수 >

【 ‘Neuromorphic circuits’ 연도별 및 국가별 특허건수 】



<연도별 특허건수 >



<국가별 특허건수 >

□ 논문 동향

- (고성능 AI 반도체 관련 논문 활성화) AI 반도체의 NPU 관련 논문은 인공지능망 모델 경량화 관련 연구논문에서 거대 인공지능망 모델을 위한 아키텍처 설계 및 고성능 NPU로 전환, 반도체 개발상의 대규모 리소스 투입으로 인해 건수 감소
 - AI 반도체의 NPU 설계 관련 연구논문은 최근(~2019)까지 인공지능망 모델의 경량화(Quantization, Pruning 등)에 의하여 연산기를 단순화하고 성능을 증대하는 아키텍처 관련 논문이 다수였으나, 최근 거대 인공지능망 모델의 부상과 함께 트랜스포머(Transformer) 전용 NPU 아키텍처 연구 활성화
 - 단, 반도체 개발을 위한 대규모 리소스 투입으로 인하여 AI 반도체 논문 건수는 감소
- (뉴로모픽 프로세서 관련 연구 증가) 뉴로모픽 프로세서의 구조 및 스파이킹 신경망 학습/추론/경량화 알고리즘 논문 증가추세
 - 뉴로모픽 프로세서의 구조 및 기존 프로세서의 응용 논문이 증가하는 추세임.
 - “Efficient neuromorphic signal processing with Loihi2”, IEEE Signal Processing Systems 2021, Loihi2를 이용하여 resonate-and-fire neuron을 구현하고, 이를 optical flow에 응용하여 기존 기술대비 높은 효율 향상을 보고함.
 - “NxTF: An API and compiler for deep spiking neural networks on Intel Loihi”, ACM J. Emerging Technologies in Computing Systems 2022, Loihi는 dense layer를 기준으로 설계가 되어있어, convolution layer를 구성 시 가중치 재사용이 매우 제한적이나, 본 논문에서는 NxTF API를 이용하여 가중치 재사용을 제한적이나마 증가하는 방법을 제안함.
 - “BiCoSS: Toward large-scale cognition brain with multigranular neuromorphic architecture”, IEEE TNNLS 2021, Butterfly-fat-tree 구조의 event routing 방법을 제안하고 있으며, 단일 칩 내 event routing뿐 아니라 multi-chip 간 event

routing 구현을 위한 시스템 구조를 제안하고 있음.

- “Tianjic: A unified and scalable chip bridging spike-based and continuous neural computation”, IEEE JSSC 2020, ANN과 SNN을 선택적으로 구현 가능한 Tianjic 프로세서 소개 논문으로, 다양한 연산 레지스터를 사용하여 다양한 연산 가능, 크로스바 구조를 채택하여 신경망 위상의 재 구성도를 높임.
- 스파이킹 신경망 학습/추론/경량화 알고리즘이 주류를 이루며, 알고리즘 개발의 트렌드는 DNN 개발 트렌드와 유사하나, 대략 1-2년 정도의 시간 지체가 있음.
- 현재 스파이킹 신경망의 지도학습(supervised learning)이 학습 알고리즘의 주류를 이루고 있음.
- (DNN-to-SNN conversion) “Exploring lottery ticket hypothesis in spiking neural networks”, ECCV 2022, DNN의 최적화 가중치를 SNN에 적용하는 방법 및 SNN의 가중치 unstructured pruning 방법을 제안함.
- (SNN direct training) “Differentiable spike”, NeurIPS 2021, 스파이킹 뉴런의 스파이크 함수는 미분 불가함수이며 현재는 다양한 방법을 이용하여 근사함수를 사용하고 있으나, 본 논문에서는 finite difference 방법을 이용하여 SNN의 loss function gradient를 계산하여 기존 방법 대비 학습 성능을 개선하는 알고리즘을 제안함.
- (DNN-to-SNN conversion) “AutoSNN”, ICML 2022, 기존 방법 대비 효율성 및 성능을 개선한 NAS(Neural Architecture Search) 알고리즘을 제안함.

다) 기술 수준 및 역량 평가

□ 기술 수준 분석

- AI 반도체에서 반도체 종주국인 미국, 제조 역량을 보유한 대만, ‘반도체 굴기’진행 중인 중국의 적극적 기술 개발 하에서, 국내의 AI 반도체는 이제 상용화 준비 단계이나 기업 규모 등이 상대적으로 열세로서 독자적 전략 필요
 - AI 반도체 분야에서 미국은 반도체 종주국으로서 독보적인 위치를 점하고 있으며, 최근 반도체 지원법안 등을 통하여 제조 분야에서도 적극적 투자, 대만은 독보적 제조역량(TSMC) 보유, 중국은 지속적인 ‘반도체 굴기’ 진행 중
 - 국내 AI 반도체 산업 및 시장은 국산 AI 반도체 상용제품이 이제 출시되어 상용화 준비단계이나, 기업 규모 영세화 및 기술 수준 열세를 극복할 우리만의 독자적인 전략 필요
- 기술 분야별로 최고 기술 보유국과 우리의 기술 수준 분석 결과, 메모리 기반의 PIM 반도체에서 세계 수준에 근접해 있지만, 타 분야에서는 열세
 - 메모리 기반 PIM 반도체 분야의 경우, 국내 대기업 세계 시장에서 확보한 세계 최고의 기술력을 바탕으로, 메모리 반도체 공정에서 메모리 셀 내부 또는 메모리 셀과 최근접 위치에 로직을 구현하는 NM-PIM (Near-Memory PIM, 근접 메모리 PIM) 기술을 이미 확보
 - 따라서, 메모리 기반 PIM의 기술 수준을 상당히 높은 것으로 판단되어 선진국과의 격차

가 크지 않은 것으로 판단됨.

- 특히, AI 반도체를 위한 컴파일러 및 라이브러리 기술은 최고 기술 보유국인 미국에 비해 상당히 낮은 수준으로 평가되므로, 우리의 AI 반도체 기술력에 부합하는 새로운 정책 필요
- 즉, AI 컴퓨팅 시장에서 강력한 시장 지배력을 발휘하는 GPU가 ‘일반적인 컴퓨팅’을 지원하는 것과는 달리, AI의 특정 분야 또는 성장성이 큰 분야를 목표로 집중적인 기술 개발 필요
- 인시스템 패키지, 멀티다이 패키지 등 첨단패키징 시장에서는 우리 기업이 확보한 전통적인 패키징에서의 시장을 바탕으로 칩렛 설계 기술을 추가하여 기술의 발전 가능성이 높은 것으로 판단

□ 기술 역량 분석

- 세계 1위의 메모리 기술과 산업을 보유하고 있고, 이를 기반으로 신기술을 개발 중이나, AI 반도체는 메모리 산업의 ‘장벽’으로 인해 장기간 인력 및 리소스 투입이 부족했으나 최근 스타트업을 중심으로 본격 투자 진행
- 우리의 메모리 반도체는 세계 1위, 2위의 기술, 인프라, 산업 역량을 보유하고 있으나, 대기업 중심 산업으로 고착화되어있어 타 분야로의 확산 또는 생태계 구축이 멈추어 있는 상황
- PIM AI 반도체, 첨단패키징 PNM 반도체, Smart SSD 등 신기술 개발을 통하여 시스템 반도체 (또는 비메모리 반도체) 산업의 재건 추진

【 인공지능 반도체 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • (AI 메모리) 메모리 내 연산기를 집적한 신개념 PIM 메모리 개발로 AI 시스템 성능 고도화 • (AI NPU) 반도체 기술 한계와 시장 정체로 인한 AI 반도체 혁신 기술 필요 	<ul style="list-style-type: none"> • (AI 메모리) HBM-PIM, DDR-PIM 등 AI 반도체 구조의 새로운 AI 분야 메모리 기술 관련 시장 선제 장악 • (AI NPU) 이종집적(HI), NPU-HBM 융합 등 PIM AI 반도체 개발로 기술 선점
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • (AI 메모리) 우리나라는 유일한 HBM 생산 국가이며, 메모리 세계 1위 • (AI NPU) 거대 인공지능망 등 AI 반도체 분야의 급격한 발전으로 인해, GPU 등 기존 반도체 외에는 독보적인 세계 1위 부재 	<ul style="list-style-type: none"> • (AI 메모리) AI 기술 고도화에 따라서 성능 증대를 위한 PIM 메모리 기술 필요성 증대 • (AI NPU) 거대 인공지능망, AI와 6G의 융합 등 IT 전분야에서 데이터 폭증 현상으로 인해 산업 성장 가능성 증폭

라) 중장기 기술발전 전망

□ 기술의 현재와 미래

- AI반도체는 거대한 인공지능망을 위한 ① 높은 성능의 반도체로서 ② 전력소모량 최적화와 ③ 개발비용 절감을 실현하는 반도체 혁신기술로서 발전할 것.

- ❶ 인공지능망의 규모가 지속적으로 거대화되고 있으므로 AI 반도체는 초당 1~10 TFLOPS(엣지)에서 10~1000TFLOPS(서버)를 실행할 수 있는 고도의 성능을 갖추어야 함.
- ❷ 반도체 미세화의 한계 상황이 도달함에 따라서, AI 서버의 성능 증대를 위해서는 수 만개 이상의 반도체를 한 개 시스템에 집적해야 하는데 이를 위해서는 반도체의 전력소모량을 최적화해야 함.
- ❸ AI 반도체의 미세공정화, 다이 규모의 대형화 등에 따라서 개발비용이 기하급수적으로 증가하고 있으므로, 개발비용을 절감하면서도 높은 성능, 낮은 전력을 달성할 수 있는 반도체 기술 필요

【 인공지능 반도체의 요소 기술에 대한 현재와 미래 】

요소 기술	현재	미래
서버NPU	<ul style="list-style-type: none"> 대규모 부동소수점 연산기를 구현한 서버 NPU와 서버용 고발열, 고용량 메모리로 AI 서버 구현 	<ul style="list-style-type: none"> 10페타급의 초고성능 NPU로서 전력소모량/발열문제를 해결한 첨단패키지 PIM NPU 및 On-Die 고용량 메모리 집적
엣지NPU	<ul style="list-style-type: none"> 정수(INT8) 연산기 NPU와 인공 신경망 모델 경량화 SW 프레임워크 	<ul style="list-style-type: none"> 경량 부동소수점 연산기로 추론 정확도 향상 및 온디바이스 학습이 가능하며 서버NPU와 연동 가능한 엣지 NPU
NM-PIM	<ul style="list-style-type: none"> 온칩 SRAM을 이용한 near memory processing, DDR/HBM DRAM을 이용한 near memory processing 	<ul style="list-style-type: none"> 온칩 SRAM multi-bit 연산 기술, DDR/HBM DRAM PIM의 광대역화, 고속화, 메모리의 효율적 사용을 위한 CXL 기술 확산
IM-PIM	<ul style="list-style-type: none"> 다양한 NVM 소자를 이용한 in-memory computing 기술의 도입 단계 	<ul style="list-style-type: none"> FLASH/MRAM/RRAM/PRAM/FeFET 등의 다양한 NVM 소자의 특성에 맞는 in-memory computing 기술의 제품화 단계
Standalone 뉴로모픽 프로세서	<ul style="list-style-type: none"> 딥러닝향 SNN을 reverse engineering하는 추론전용 멀티코어 프로세서 	<ul style="list-style-type: none"> 딥러닝과 차별화되는 시공간 효율성을 극대화한 학습/추론알고리즘을 탑재한 멀티코어 프로세서
Embedded 뉴로모픽 프로세서	<ul style="list-style-type: none"> 이벤트 image sensor 등의 front-end sensor와 동일 보드 상 위치 	<ul style="list-style-type: none"> 3D 패키징 기술을 이용하여 image sensor와 뉴로모픽 프로세서를 동시 집적한 실시간 추론/학습 프로세서
신개념 뉴로모픽 프로세서	<ul style="list-style-type: none"> 개념도입기 기술로 현재 가시적인 프로토타입 전무함. 	<ul style="list-style-type: none"> BCI, Si-photonics 기반 신개념 뉴로모픽 프로세서 프로토타입 개발
AI반도체SW	<ul style="list-style-type: none"> AI반도체용 SW 생태계 구축 단계 	<ul style="list-style-type: none"> NPU, PIM, 뉴로모픽 반도체용 SW의 상용화, 제품화, 오픈화를 통한 실제 응용 단계
첨단패키징 AI반도체설계	<ul style="list-style-type: none"> 첨단패키징 기술의 국내 기반기술이 미약하며, 패키징 제조 기술 역시 초기 개발 상황 	<ul style="list-style-type: none"> NPU, HBM, RF die 등을 집적하는 10~20개 이상의 칩렛 (Chiplet) 아키텍처 구현이 가능한 첨단패키징 설계 플랫폼의 국내 AI 반도체 적용
High-speed Interconnect	<ul style="list-style-type: none"> 현재 PIC(Photonic IC)/EIC(Electronic IC)는 동일 보드 상에 구현함. 	<ul style="list-style-type: none"> 2.5D 또는 3D 패키징 기술을 적용한 동일 다이에 PIC/EIC 적용한 칩 구현

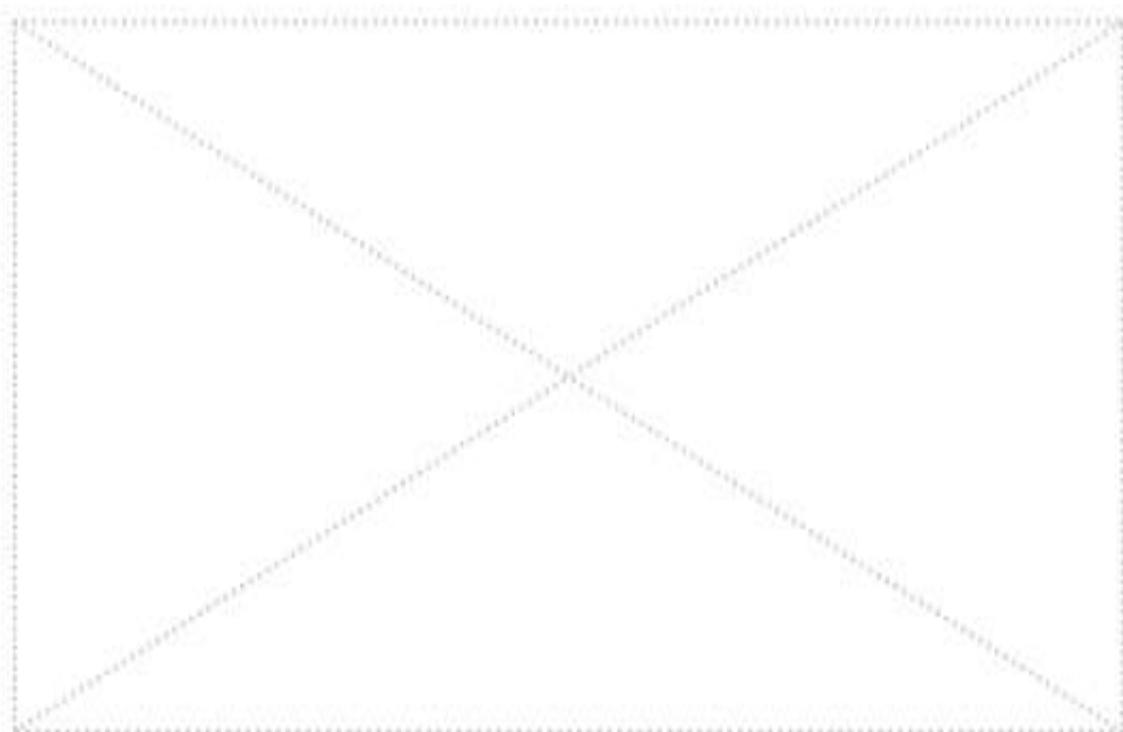
(3) 산업 및 시장 분석

가) 시장 동향 분석

□ 국내·외 시장 동향

- AI가 넓은 범위의 분야로 확산되면서 기존 반도체 대비 훨씬 높은 성능을 제공하는 AI 반도체 시장이 데이터 센터와 엣지를 망라하여 적용 시장을 넓히는 중
 - 데이터센터, 엣지 컴퓨팅 및 단말장치에 인공지능 기술이 적용됨에 따라, 이에 최적화된 PIM 인공지능 반도체 시장은 5년간 연평균 26.9%로 급성장하여, '25년 727억불에 이를 전망
 - PIM 인공지능 반도체는 초기에는 통신, 컴퓨팅 분야에서 시장을 주도하고, PIM 반도체의 적용에 따른 고성능·저전력화에 힘입어 자동차, 가전, 스토리지 등 산업 쏠 분야로 시장 확대 전망

【 AI 반도체 시장 전망 】



응용구분	2019	2020	2021	2022	2023	2024	2025	CAGR 2020-2025
자동차	1,716	1,703	2,152	2,729	3,860	5,676	7,356	34.00%
통신	9,257	15,139	23,787	26,937	29,389	30,577	31,143	15.50%
컴퓨팅	2,424	5,108	9,092	12,000	16,160	20,717	26,170	38.60%
가전	25	81	283	743	1,738	3,061	4,765	125.70%
산업	41	82	204	488	1,186	1,968	3,138	107.00%
스토리지	1	3	7	16	41	81	120	113.70%
합계	13,464	22,117	35,524	42,914	52,374	62,081	72,693	26.90%

* 출처: Gartner Semiconductor Markets 리포트를 반도체 분야별로 재구성, 단위: 백만불
 * 산출방법: 국내 시장은 세계 시장의 5%로 잡았으며, 환율 1,200원으로 계산함.

나) 산업 동향 분석

□ 국내·외 산업 동향

- (국외) 서버, 자율주행차, 거대인공신경망 등 최신 AI 인공지능망 기술을 기반으로 AI 반도체 신기술 개발이 진행 중이며, AI 반도체 스타트업, 빅테크 기업, 스타트업 등 다수 산업분야에서 각 분야특화형 AI 반도체 기술 개발 진행 중
 - (Cerebras) 반도체 웨이퍼 상에 연결된 다수 반도체 다이를 동시 동작하여 거대 인공신경망 학습이 가능한 ‘WSE(Wafer-Scale Engine)’을 개발, 단일 ‘CS-2’시스템에서 20B급 GPT모델 학습 성공
 - (NVIDIA, H100) NVIDIA는 AI 반도체 분야에서 자사의 GPU로 현재, 전세계 AI 반도체 시장의 대부분을 점유한 기업으로 자사의 ‘Hopper’ 아키텍처 기반의 ‘H100’ Tensor Core GPU를 발표 (’22.4)
 - (Graphcore, ‘Bow IPU’) EU의 대표적인 AI 반도체 기업인 Graphcore는 NPU성능 극대화를 위해 Wafer-to-Wafer 접합(Bonding) 기술을 적용하여 성능을 2배 향상한 ‘Bow IPU’를 발표 (’22.3)
 - (Google, ‘TPU v4’) Google의 TPU는 ’16년부터 개발된 자체 개발한 서버용 AI 반도체로서 TPUv4는 Google I/O 행사에서 발표(’21.5), 4,096개의 TPUv4칩을 연결하여 ‘Pod’를 구성하고 10배의 인터커넥트 성능을 보유
 - (Intel, Habana) Habana Labs는 데이터 센터팀이 7nm에서 생산한 ‘Gaudi 2’ 및 ‘Habana Greco’의 개발을 발표하고, NVIDIA A100 대비 ResNet-50, BERT에서 학습 성능 2배 향상 가능성 발표 (’22.5)
 - (Tesla, ‘FSD’와 ‘Dojo’) Tesla는 자율주행차 핵심기술인 자율주행 인공지능망 프로세싱 AI 반도체인 ‘FSD’를 자체 개발, 거대 인공지능망용 ‘D1’과 ‘Dojo Supercomputer’ 개발 중 (’21.8)
 - (Tachyum) Tachyum의 “Prodigy”는 CPU, GPU, TPU(Tensor Processing Unit)를 통합 집적한 칩으로 NVIDIA H100 대비 3배의 성능 향상을 구현하였다고 발표 (’22.5)
 - (Tenstorrent) ‘Tenstorrent’는 유명한 반도체 개발자인 “Jim Keller”가 참여한 스타트업으로서 고성능 AI컴퓨터를 개발하고 있으며, 2억불 규모의 초기 투자유치에 성공 (’21.5)
 - (Intel Lab) 디지털 뉴로모픽 프로세서 기술 선도기업으로 2018년 독자 14nm 공정을 이용하여 Loihi칩을 발표하였고, 2019년 64개의 Loihi 칩으로 구성된 Pohoiki Beach, 2020년 768개의 Loihi 칩으로 구성된 Pohoiki Springs(1억개의 스파이킹 뉴런구현), 2021년 Loihi2 칩을 개발하였음.
 - (IBM) IBM사는 DARPA의 SyNAPSE 프로젝트의 결과물로 2014년 디지털 뉴로

모픽 프로세서인 TrueNorth를 개발하였으며 디지털 뉴로모픽 프로세서를 현재 mainstream 기술로 만든 대표적인 결과물임.

- (BrainChip) 미국 BrainChip社는 이벤트 기반 동작 멀티코어 프로세서인 Akida를 2018년 상용화하였으며 ADAS, 센서 네트워크, manufacturing 인공지능화 등의 분야에 적용 중임.
 - (ABR/Stanford) 캐나다 ABR(Applied Brain Research)社는 스파이킹 심층신경망 학습 및 추론 프레임워크인 NEF(Neural Engineering Framework)를 개발하고 NEF 구현 소프트웨어 툴인 Nengo를 무료배포 중이며, 미국 스탠포드 대학은 Nengo의 하드웨어 구현을 위한 뉴로모픽 프로세서인 BrainDrop을 2019년 발표함.
 - (GrAI Matter Labs) 프랑스의 GrAI Matter Labs는 고속/저전력 AI 연산을 위한 디지털 프로세서인 GrAI VIP 칩을 개발하여 상용화하였으며, 현재 기술 고도화에 박차를 가하고 있음.
 - (SynSense) 스위스 SynSense는 취리히 대학 Institute of Neuroinformatics의 스핀오프 스타트업으로 혼성신호 회로 기반 DYNAPs를 개발/상용화하였으며, 이벤트 카메라와 뉴로모픽 프로세서를 동일 die 패키징한 SPECK을 상용화함.
 - (iniVation) 스위스 iniVation은 취리히 대학 Institute of Neuroinformatics의 스핀오프 스타트업으로 스파이킹 신경망 기반 뉴로모픽 프로세서의 front-end sensor로 DVXplorer, DAVIS246 등의 이벤트 image sensor를 개발/상용화함.
 - (Innatera) 네덜란드 Innatera社는 Delft 대학의 스핀오프 스타트업으로, 2021년 혼성신호 회로 기반 뉴로모픽 프로세서 개발을 발표하였으며, 디지털 뉴로모픽 프로세서 대비 매우 낮은 전력 소모를 가지는 프로세서임.
- (국내) 우리 정부가 인공지능 반도체 산업발전 전략('20.10) 및 반도체 연구개발 지원전략을 발표한 이래, 다수 스타트업이 생겨났으며 메모리 대기업도 진출
- (퓨리오사, Furiosa) 퓨리오사는 서버용 AI 반도체 개발 기업으로 'Warboy'(워보이,'21)의 시제품 검증 이후, 자체적으로 보유한 신경망 컴파일러 기술을 기반으로 상용화 본격 시도 중
 - (리벨리온, Rebellions) 리벨리온은 AI 기반의 주식시장인 고빈도 거래(HFT; High-Frequency Trading) 가속 AI 반도체를 설계하는 기업으로 창업('20.9), 일반 서버용 AI 반도체를 목표로 본격 성장 중
 - (사피온, Sapeon) 사피온은 SK그룹에서 분사하여 창업('22.1)한 AI 반도체 기업으로 미국 본사와 한국에서 AI 반도체 사업을 추진, 서버용 AI 반도체 팹리스로서 'X220'에 이어 'X330'('23) 개발 추진 중
 - (딥엑스, DeepX) 딥엑스는 엣지용의 10TOPS급 AI 반도체를 개발하는 기업으로 AI 알고리즘을 높은 정확도, 높은 성능으로 경량화하는 플랫폼을 갖추고 '23년 상반기를 목표로 AI 반도체를 개발 중
 - (뉴블라, Nubla) 한화그룹 투자전문 회사인 '한화임팩트'가 주도하여 설립한 AI 반도체 스타트업으로서 내부 운영 중이던 NPU 태스크포스가 별도의 독립법인으로 확

대된 기업이며 NPU반도체 설계 및 IP 개발에 집중할 것으로 예상

- (비전넥스트, Visionext) Visionext는 한화테크윈의 분할법인으로서 '21.9 법인 분할하였으며 반도체 집적회로 설계기업으로 성장할 예정
 - 한화테크윈 내의 영상처리(ISP; Image Signal Processor) 전용 반도체 그룹을 분할하여 독립적인 반도체 설계회사를 창업한 것으로, 영상처리 관련 AI 반도체 기능을 포함한 제품을 출시할 예정으로 추정됨.
- (디퍼아이) AI 반도체를 개발하는 팹리스 기업으로서 NPU를 내장한 CCTV 및 로봇용의 AI 반도체 SoC를 '22년 중 양산할 예정
- (국책연구소, ETRI) 한국전자통신연구원은 국내 최초의 AI 반도체인 40TF급 'AB9' 반도체를 개발 완료('19.12)하였고, AB9 기반 AI 서버를 발표('21.7)한 바 있으며, 현재 HI NPU 반도체 연구 중
- 삼성종합기술원은 현재 혼성신호 회로 기반 뉴로모픽 프로세서를 개발 중이나 구체적인 개발 대상은 대외에 알려진 바 없음.
- (AI 반도체 대기업 진출) 우리나라의 삼성전자, LG전자 및 팹리스 중견기업도 기존의 시장 장악력을 가진 제품에 NPU를 구현하여 AI 반도체 시장에서 선도적 입지 구축을 추진
 - (삼성전자, HBM-PIM) 삼성전자 메모리사업부는 초고속 DRAM 적층 메모리인 HBM(High-Bandwidth Memory)에 AI용 로직 연산 기능을 구현한 HBM-PIM의 시제품 개발('21) 후 양산용 HBM3-PIM 개발 진행 중
 - (LG, 'LG8111'/'LG8211') LG전자는 자체 개발한 AI 반도체로서 기존 TV의 고화질처리용 AI 반도체 기술을 가전제품에 적용할 수 있는 범용 칩으로 개발한 제품군을 발표 (출처: AICAS 2022, 인천 송도)
 - (SKHynix, 'GDDR6-AiM') SKHynix는 DDR 메모리 내에 연산 로직을 추가하여 일정 AI 연산에 대하여 기존 GDDR 대비 16배까지 빠른 연산이 가능한 'GDDR6-AiM' 제품 발표 (출처: ISSCC 2022)

다) 정책분석

□ 주요국의 정책동향

- 미국, 대만, 중국, 일본, EU 등 반도체 강국은 고성능·저전력 컴퓨팅 요구에 맞춰 정부 주도로 인공지능 반도체 개발에 선제적 투자 중
 - 반도체 기술 강국인 미국을 비롯한 세계 각국에서 인공지능 등의 데이터 시대에서 반도체가 맞닥뜨린 기술 장벽을 해결하기 위한 반도체 신기술 개발 이니셔티브 정책을 추진하고 있음.
- (미국) DARPA의 차세대 반도체 R&D 프로그램에 이어 미국판 '국가 반도체 전략'인 "CHIPS for America Act"를 정부와 의회 주도로 통과 ('22.8)
 - DARPA의 산·학·연 차세대 반도체 R&D 프로그램인 'ERI*(Electronics Resurgence

Initiative)’ 발표(’18)에 이어, ’22년 미국 의회와 정부는 미국판 ‘국가 반도체 전략’인 ‘CHIPS for America Act’가 포함된 미국혁신 및 경쟁법(U.S. Innovation and Competition Act) 발표

- DARPA ERI 투자액은 5년간 총 15억 달러(약 1조 6,793억 원)에 이르며, 저전력·고성능 3D SoC 시작품 제작 및 EDA 개발에 집중 투자
- 미국혁신 및 경쟁법 가결을 통하여 반도체 산업 지원에 ’21년부터 5년간 총 520억 달러(약 58조 5천억 원)의 예산을 확보하여 본격적으로 추진 중
- 미국혁신 및 경쟁법의 주요 지원 프로그램은 ①반도체 제조·조립·검사·패키징·R&D 설비투자 지원(상무부 390억 달러), ②미세전자공학 산업 지원(국방부 105억 달러), ③동맹국과 반도체 공급망 구축 기금 설치, ④산관학 협력사업 지원으로 구성
- (대만) 정부 주도의 국가적인 AI 반도체 생태계 구축 프로그램으로서 “AITA(AI on Chip Taiwan Alliance)”를 구성·운영하여 AI 반도체 집중 육성 추진
 - 정부 주도로 자국 시스템 반도체 선도기업*과 국립대학 등 90개 기관이 ‘AI on chip Taiwan Alliance’를 구성·운영(’19.7)하여 인공지능 반도체를 위하여 NPU와 메모리를 융합한 PIM 기술 생태계 구축 진행
 - 첨단산업 중심으로 리쇼어링 지원책 추진 중이며 ’20~’21년 총 300억 엔(약 3,000억 원)의 보조금 투입계획 발표
 - TSMC, UMC, 미디어텍 등을 중심의 민·관 협력 R&D를 통해 옛지형 single-chip 형태의 PIM 반도체를 신성장동력으로 육성
- (중국) ’20년 발표한 『14차 5개년 계획 및 2035 중장기 목표』에서 2035년까지 ’20년 GDP의 두 배 수준 성장을 목표로 설정, 구체적 수단으로 신성장동력 구축을 위해 ‘양신일중(兩新一重)’정책을 채택하고, ‘반도체 굴기’전략을 더욱 강화
 - ‘양신일중(兩新一重)’은 ◇신형 인프라 ◇신형 도시화 ◇중대 인프라를 의미
 - 신형 인프라 투자의 7대 영역은 ①5G 네트워크 ②전기차 충전소 ③고속철도 ④UHV 송전 ⑤데이터센터 ⑥AI ⑦산업 IoT이며, 투자액은 1조 4천억 달러로 전망
 - 미·중 분쟁이 장기화되면서 중국은 ‘반도체 굴기’ 전략을 더욱 강화, ‘반도체 산업 및 소프트웨어 산업의 고품질 발전 촉진 정책’(’20.7)을 마련하여 반도체 자주독립을 모색. 정책의 주요 내용은 반도체 분야에서 자체 핵심 기술력을 확보하고 이에 대해 정부 차원에서 기술 개발 지원과 지식재산권을 보호하며, 인재 육성과 국제협력을 과감히 지원하는 것이 특징
- (일본) 과거 80년대 반도체 왕국의 부활을 위해 미국·대만과 국가 간 긴밀한 공조 체계 구축과 함께 ’21년 6월 일본 경제산업성은 ‘반도체 전략’을 발표
 - ’90년 이후 끝없는 침체를 겪다가 미·중 반도체 분쟁과 글로벌 반도체 품귀현상에 따른 소재·제조 장치 공급의 영향력 상승으로 반도체 재건의 호기로 삼고 투자에 적극적

- 일본의 세계 반도체 시장 점유율은 1988년 50.3%(미국 36.7%)를 정점으로 2019년 10.0%(미국 50.7%, 한국 19%, 유럽 10%, 대만 6%, 중국 5%)까지 추락. 주로 개별반도체 시장 점유(25%)가 대부분 차지
- ‘반도체 전략’의 주요 내용은 ①첨단 반도체 양산체제 구축, ②차세대 첨단 반도체의 설계·개발 강화, ③반도체 기술의 그린 이노베이션, ④국내 반도체 제조기반의 재생, ⑤경제 안전보장 관점에서의 국제전략 추진으로 구성
- 첨단 로직 반도체 양산체제를 구축하기 위한 사전 단계로, 반도체 전(前) 공정의 미세 가공 기술(* 포스트 5G 기금 2천억 엔, '20년)과 후(後)공정의 3D화 프로세서 기술(*TSMC와 공동연구 착수, 정부 보조금 195억 엔 지원)을 차세대 반도체 제조기술로 선정
- 일본 정부는 자국 반도체 산업의 가장 큰 약점을 세계 유망 파운드리 부재로 보고, 국내 반도체 소재·제조 장치 산업의 강점과 결합하는 방식으로 외국 첨단 파운드리 유치 전략 선택
- 미·중 패권전쟁으로 인한 갈등이 더욱 깊어지면서 미국·일본·대만의 협력체계는 더욱 강화되는 추세이며, 세계 반도체 생산 사슬(supply chain)의 핵심으로 영향력이 막강
- (EU) EU 집행위원회는 디지털전환 전략인 ‘2030 Digital Compass’를 발표하고, 2030년까지 유럽의 반도체 시장 점유율을 10%→20%로 확대 계획 발표
- EU 집행위원회는 ‘Next Generation EU’ 기금 일부를 활용하여 반도체 분야에 향후 3년에 걸쳐 1,450억 유로(약 195조3천억 원) 투자
- EU 집행위원회는 유럽 반도체 법안(Chips Act)을 ‘규정(Regulation)’ 형태로 발의(’22.2)하여 반도체 분야 사업에 총 430억 유로 투입
- 반도체 이니셔티브(Chips for Europe Initiative) 설립, 유럽의 집적 반도체 기술 설계 능력 강화 및 파일럿 라인을 지원하고, 관련 기업의 자금조달을 위한 ‘반도체 기금’ 운영 및 투자 유치 활동
- ‘통합생산 설비’와 ‘개방형 EU 제조공장’에 대한 체계를 제시하여 공급망 안정화에 기여

(4) 핵심 전략기술 및 로드맵

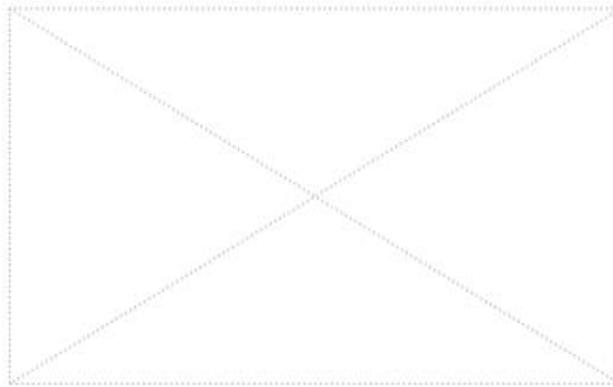
가) 핵심 전략기술

□ 전략기술의 목표

- 초인간의 지능 (Human-level AI)을 디지털 기술로 실현하기 위한 높은 효율성의 실시간 자가 학습 및 추론을 위한 인공지능 반도체 원천기술 개발
- 인공지능의 미래 기술은, 인간 수준 지능을 디지털로 구현하는 것으로 인공지능 분야의 메가트렌드로서 인간 수준 디지털 지능의 구체적인 정의는 아래와 같음:
 - 인간 수준의 학습(On-line training) 능력 및 추론(Real-time Inference) 능력 구현

- 인간 수준의 학습 효율성(Training efficiency; power, performance, cost, etc.) 달성
 - 인간 수준과 유사한 자가 학습(자가 지도학습, 최소데이터 학습; Few-shot Training 등) 구현
- 초병렬 페타급의 AI 반도체, AI 메모리와 첨단 패키징 기술을 융합하여 초인간의 일반지능을 실현하며, 차세대 메모리 기반의 인메모리 컴퓨팅 반도체로 초고성능과 전력 효율성을 확보하며 거대 스파이킹 신경망 반도체로 두뇌 유사형의 지능을 반도체 구현

【 인공지능 반도체 핵심 전략 기술 개념도 】



□ 전략기술의 중요성 및 추진 방향

- (중요성) 미래의 초지능 AI 구현을 위해 필수 불가결한 기술이 반도체 기술이므로, 미래 AI 반도체 기술의 선도적 개발 추진
 - 자가 학습과 추론이 가능한 초거대 인공신경망 및 인간 두뇌를 모사한 뉴로모픽 AI 등의 미래 AI 기술은 반도체 기술의 혁신을 통해서만 가능
- (추진 방향) AI 반도체의 초 고성능화에 의한 초지능 달성 및 저전력화에 의한 인공두뇌 기술 달성을 위해 반도체의 기술 한계를 극복하는 고성능 AI 반도체 개발
 - 미래 AI 반도체 기술의 선도적 확보를 위해 반도체 기술 혁신을 위한 주요 기술 개발과 기술 간 융합을 조기에 추진

□ 핵심 전략기술 발굴

- 전략기술 1: 초병렬 페타급 AI 반도체
 - (정의) 초병렬의 인공지능 연산기를 내장하여 반도체 칩당 수십페타플롭스급의 인공지능 연산을 실행할 수 있는 AI 반도체로서 초당 수십테라바이트급의 고성능 메모리를 내장하고 있으며, 거대 규모의 AI 모델을 페타급 프로세서에 구현하는 AI 컴파일러 기술

【 초병렬 페타급 AI반도체 요소기술 】

전략기술	초병렬 페타급 AI반도체
기술소분류	요소기술
초병렬 서버 NPU	<ul style="list-style-type: none"> • 초병렬 부동소수점 10페타급 NPU • AI서버용 10TB/s급 메모리 통합 NPU • 초소형, 광범위 부동소수점 데이터 타입 NPU
저전력 엡지 NPU	<ul style="list-style-type: none"> • 100T-Peta급 저전력 엡지 NPU • 고정확도, 고성능 아키텍처 기반 엡지 NPU • 지식증류형 데이터 변환 엡지NPU용 프레임워크
AI반도체컴파일러 및 라이브러리	<ul style="list-style-type: none"> • AI프레임워크 연동형 AI반도체 컴파일러 • 거대인공신경망 AI반도체용 최적화 라이브러리 • AI기반 반도체 설계용 CAD
초고속 반도체간 인터페이스	<ul style="list-style-type: none"> • 차세대 실리콘 포토닉스 기술 • 초고속 광학 인터커넥트 기술 • 첨단패키징 인터커넥트 기반 칩 간 광학 인터커넥트

- ❶ 초인간의 일반 지능(Artificial General Intelligence)을 목표로 하는 거대 인공신경망(Hyperscale AI)은 지속해서 그 규모가 증가하고 있으므로, 초병렬 구조의 연산기를 내장하여 반도체 칩당 초당 수십페타플롭스의 연산을 실행하는 AI 반도체 기술 전략 필요
- ❷ 초인간의 거대 인공신경망의 AI 반도체 상에서 실행할 시의 실 성능(Effective Performance) 극대화를 위해서는 대량의 인공지능 데이터가 초고속으로 인공지능 연산기와 메모리 사이에서 이동할 수 있게 하는 초고속, 대용량의 AI DRAM 신메모리 전략 필요

○ 전략기술 2: 첨단 패키징 PIM AI 반도체

- (정의) AI 반도체의 성능 극대화, 전력 소모량 최소화 및 반도체 개발 비용 최적화를 위하여 서로 다른 미세공정(Process technology)에서 제작한 이종(異種)*의 반도체 다이(Die)를 2.5D, 3D, 5.5D 등으로 상호 연결한 PIM(Processing-In-Memory) 구조의 AI 반도체 전략 기술
 - * 첨단 패키징, 이종 집적(Heterogeneous Integration), 칩렛(Chiplet), 이종접합(Bonding) 등
- ❶ 인공신경망 모델 규모가 거대화되면서 AI 반도체의 성능이 매년 10배 규모로 증가해야 하지만, 반도체는 트랜지스터의 물리적 한계와 미세공정 장비 기술 한계로 인하여 미세공정 전환 속도가 저하되고 있으므로, 반도체 한계를 극복할 첨단 패키징 PIM AI 반도체 전략기술 필요
- ❷ 첨단 패키징 PIM AI 반도체는 반도체 기술의 한계 중 중요한 요소인 데이터 채널에 의한 전력소모량을 획기적으로 감소함으로써 반도체 성능의 증대는 물론 발열 감소에 의하여 반도체의 동작 신뢰성을 높이는 전략기술

【 첨단패키징 PIM AI반도체 요소기술 】

전략기술	첨단패키징 PIM AI반도체
기술소분류	요소기술
HI AI반도체 설계기술	<ul style="list-style-type: none"> AI반도체(NPU)와 HBM3/4 DRAM 및 PIM-HBM 통합 HI AI반도체 설계 초고속 차세대 대용량 메모리 HBM3/4/4+의 고속 컨트롤러 및 PHY
HI AI반도체 신뢰성 기술	<ul style="list-style-type: none"> 대면적 인터포저·기판의 휨(Warp) 극복 조립 및 신뢰성 검증 인터페이스 열팽창에 의한 동적 기계적 파손 감지, 인터페이스 설계

○ 전략기술 3: 차세대 메모리 기반 인메모리 컴퓨팅 AI 반도체

- (정의) 세계적인 경쟁력의 획발성 및 비획발성 메모리 기술을 바탕으로 프로세서와 차세대 메모리를 융합한 PIM 반도체 원천 설계기술 확보 및 세계 시장 선도를 목표로 함.
- ❶ 반도체 기반 전자 시스템의 일반적인 구조인 연산 반도체와 메모리 반도체가 분리된 폰노이만 아키텍처는 현재의 데이터 폭증 현상 심화에 따라서 반도체의 성능 한계를 심화시키는 구조이므로 연산과 메모리를 통합한 PIM 반도체 개발 필요
- ❷ 반도체의 성능 및 전력 효율성 극대화를 달성하기 위해 획발성 및 비획발성 메모리 내부에 연산 로직 및 프로세서 융합을 위한 아키텍처 및 소프트웨어 환경을 동시 통합 연구
- ❸ PIM 인공지능 반도체의 소자, 공정, 설계기술을 동시 확보함으로써 메모리와 연산 로직의 통합에 의한 고도의 저전력화 기술을 달성하고, 전력당 성능을 극대화
- ❹ 기존의 SSD에 PIM 기술을 접목함으로써 storage에 intelligence 기능을 추가할 수 있는 smart SSD 개발 연구가 필요
- ❺ 아날로그 기반 MAC 연산 수행이 가능한 저전력 아날로그 PIM 개발이 필요

【 차세대 메모리 기반 인메모리 컴퓨팅 AI 반도체 요소기술 】

전략기술	차세대 메모리 기반 인메모리 컴퓨팅 AI 반도체
기술소분류	요소기술
NM-PIM	<ul style="list-style-type: none"> DRAM 기반 고용량 PIM 반도체 고용량 뉴타입 SRAM 기반 PIM 반도체 비획발성 메모리 기반 Smart SSD 포함 PIM 반도체
IM-PIM	<ul style="list-style-type: none"> 획발성 메모리 어레이 기반 인메모리 컴퓨팅 비획발성 메모리 어레이 기반 인메모리 컴퓨팅 (RRAM, PRAM, MRAM, FeFET, FLASH, etc.)

○ 전략기술 4: 거대 스파이킹 신경망 구현 뉴로모픽 AI 반도체

- (정의) 거대 스파이킹 신경망 기반 실시간/ 실제 환경 이벤트 데이터 프로세싱을 위한 AI 반도체로, non-von Neumann 구조의 분산형 메모리에 기반을 두므로 높은 전력 효율을 가지는 AI 반도체
- ❶ 스파이킹 신경망을 높은 전력효율로 구현하는 뉴로모픽 AI 반도체
 - 자율주행 및 로봇틱스 Vision의 에너지 및 하드웨어 리소스사용 효율성을 재고하기 위

해, 기존 DNN 기반 모델 및 GPU/NPU 등을 이용한 연산 가속을 대체할 추론 모델 및 추론 가속 반도체가 필요함.

- 뉴로모픽 AI 반도체는 스파이킹 신경망에 특화된 프로세서로, 이벤트를 기반으로 동작하며 기존의 동기 연산용 GPU/NPU 등과 비교하여 전력 효율성이 매우 높아 자율주행 및 로봇틱스 등 전력 사용에 제한이 있는 엣지 응용에 필요한 프로세서임.
- ② 입력 이벤트 데이터의 실시간/실 환경 처리용 뉴로모픽 AI 반도체
 - 이벤트 동작 뉴로모픽 AI 반도체는 실시간 이벤트 동작이 가능하며, 입력 이벤트 데이터를 실시간 처리할 수 있으므로, 기존 DNN기반 Vision과 달리 입력 데이터 버퍼 등을 사용하지 않아 메모리 사용 효율성을 크게 개선할 수 있음.
 - 잡음이 존재하는 실 환경 이벤트 데이터를 실시간 처리하는 뉴로모픽 AI 반도체는 막대한 메모리와 연산을 해야 하는 입력 이벤트 전처리 과정이 필요치 않으므로 Vision AI의 효율성을 크게 개선할 수 있음.
- ③ 거대 스파이킹 신경망 구현을 위한 고정보 밀도의 임베디드 메모리 기반 뉴로모픽 AI 반도체
 - 뉴로모픽 AI 반도체의 신경망 구현 캐패시티는 반도체 상 온칩 메모리에 의해 제한되므로, SRAM을 주메모리로 사용하는 현재 뉴로모픽 AI 반도체는 신경망 확장성에 한계가 분명함.
 - 따라서 SRAM 대신 DRAM, STT-MRAM, RRAM 등의 고 데이터 밀도 메모리를 임베디드 메모리로 사용하는 뉴로모픽 AI 반도체가 향후 주류를 이룰 것으로 예상되며 개발 성공 시 거대 스파이킹 신경망을 구현할 수 있을 것으로 예상됨.

【 거대 스파이킹 신경망 뉴로모픽 AI반도체 요소기술 】

전략기술	거대 스파이킹 신경망 뉴로모픽 AI반도체
기술소분류	요소기술
뉴로모픽 프로세서 코어기술	<ul style="list-style-type: none"> • 고성능 높은 재구성도의 신경망 재구성 코어 • 두뇌수준의 학습 파라미터 기반 신경망 구성을 위한 메모리 압축 기술 • 거대 인공신경망 구현 확장형 뉴로모픽 프로세서
뉴로모픽 프로세서 응용기술	<ul style="list-style-type: none"> • 온칩 이벤트(Event) 데이터 분류 프로세서 • 이벤트의 실시간 시공간구조 추출 알고리즘

○ 전략기술 5: 차세대 통신 6G용 AI 반도체 기술

- (정의) 6G AI 반도체는 차세대 통신인 6G가 인간을 포함한 모든 사물 간의 저지연·무지연 연결, 즉, 데이터의 빠른 전송은 물론 연결 대상의 환경에 최적화한 연결을 제공하기 위해 AI를 적용해야 하는데, 이를 위한 실시간 초고성능 6G AI 컴퓨팅을 제공하는 AI 반도체 전략기술
- ① 6G의 근본적인 목표는 모든 사물 간의 데이터 연결 및 전송시간 극소화에 의해 저지연의 사물 간 통신을 달성하거나 전송시간이 실질적으로 없는 무지연으로 연결하는 것으로 5G에서도 해결하지 못한 지연 문제를 6G에서 해결하려면 AI 기술이 반드시 필요

- ❷ 6G AI 반도체는 6G 기지국(Baseband Station)과 디바이스에서 초고속 저지연·무지연의 통신 채널 관리 및 유무선 통신 채널 최적화를 위한 AI 인공지능경망 모델의 학습 및 추론을 동적으로 실행하는 AI 반도체로서 6G 유무선 기지국 장비 및 단말을 위한 필수 반도체 전략기술
- ❸ 6G 가 요구하는 초고속, 저지연, 무지연의 사물 간 연결을 위한 AI 알고리즘을 실현하기 위해서는 기본적으로 기지국 및 디바이스 내에서의 인공지능경망 학습 (Neural Network Training)이 필요하므로 칩당 수페타플롭스급의 초고성능 AI 반도체가 필요할 것임.

【 차세대 통신 6G AI 반도체 기술 요소기술 】

전략기술	차세대 통신 6G AI 반도체 기술
기술소분류	요소기술
기지국, 단말, 사물 탑재용 온디바이스 학습 및 추론 AI 반도체	<ul style="list-style-type: none"> • 대규모 통신 단말의 네트워크 자원관리 AI 반도체 • 다수 무선채널의 동적 할당을 위한 AI 반도체 • 통신채널 고속화를 위한 채널 자원 관리 AI 반도체 • 사물간 통신 속도 및 전력 최적화를 위한 Channel prediction, Positioning, Slicing, Handover, Spectrum sensing, Error correction, Channel estimation, Wi-Fi Fingerprinting용 AI/ML 알고리즘 • Extreme MIMO의 동적 최적 빔포밍(Beam Forming) AI 반도체 기술 • 저지연, 저전력 온디바이스 학습 6G 엣지 AI반도체

나) 기술개발 로드맵

○ 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 인공지능 반도체 전략 기술 로드맵 】 * ■ : 정부의 집중지원이 필요한 기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
인공지능 반도체	1Peta급 NPU (전력소모/발열 多)	저전력, 고정확도, 고성능 병렬 NPU 개발						성능 최적화 및 제품화 응용			10 Peta급 NPU (전력소모/발열 少) 新소재/新구조 뉴로모픽 프로세서	
	新뉴로모픽 프로세서 (개념 도입기)	Embedded 차세대 Memory 기반 멀티코어 뉴로모픽 반도체 개발						설계/성능 최적화				
AI-6G 융합	6G 표준화 진행中	6G 채널예측/Extreme MIMO 최적 빔포밍 반도체 개발						자가학습 AI 반도체			6G 표준화 선도	

다) 기대효과

기술적 측면

- 초인간의 인공지능을 디지털 기술로 달성하기 위한 반도체 원천기술
 - 초인간의 지능을 디지털 기반의 컴퓨터 기술로 달성하기 위해서는 초거대 인공지능경망 등의 수 엑사플롭스, 즉, 1,000 페타플롭스 이상의 컴퓨팅 기술을 확보해야 하며 이를 위해서는 수십페타플롭스의 성능을 반도체 칩 1개에 구현할 수 있는 반도체 혁신 기술 필요
 - 디지털 전환(Digital Transformation) 시대에서 초인간의 지능을 인간의 두뇌 크기의 반도체 내에서 달성함으로써 세계적인 인간의 삶을 혁신할 원천기술을 확보
- (차세대 메모리 기반 인메모리 컴퓨팅 AI 반도체) PIM 인공지능 반도체 공정/소자/설계 기술을 확보하여 차세대 저전력 컴퓨팅 반도체 핵심기술 확보
 - 국내에서 이미 보유하고 있는 메모리 관련 기술과 차세대 PIM 컴퓨팅 기술의 결합을 통해서 미래의 서버 하드웨어 구현 기술에서 중요한 요소기술을 선점하는 것이 가능하고 이를 통해서 국내의 반도체 산업의 지속적인 발전을 기대할 수 있음.
 - 구체적으로 내장형 SRAM, DRAM, MRAM, RRAM, FRAM, PRAM 등 PIM에서 사용할 수 있는 메모리 공정 및 소자의 연구를 기반으로 PIM 설계기술을 개발하여 PIM용 인공지능 반도체 구현에 활용 가능한 기술 확보를 기대함.
 - 내장형 메모리를 이용한 컴퓨팅을 구현하기 위해서 PIM 응용에 적합한 메모리 소자 및 어레이 구현에 관한 원천기술을 확보하고 공정 레벨에서부터 소자 레벨, 설계 레벨까지로의 궁극적 PIM 기술을 개발할 수 있음.
- 뉴로모픽 AI 반도체 기술 선도 및 고집적 고성능 메모리 기술의 새로운 응용 분야 개척 및 메모리 기술 동반 상승효과
 - 고성능 저전력 뉴로모픽 AI 반도체 기술 개발을 선도할 수 있으며, 기술 표준화 등이 기대되며, 본 기술은 저전력/고속/고집적 임베디드 메모리 기술에 기반하고 있으며 뉴로모픽 AI 반도체의 성능지표를 결정하는 핵심 기술임.
 - 따라서, 메모리 기술의 새로운 응용 분야를 개척함으로써 메모리 기술의 동반 상승이 기대됨.

□ 경제적, 산업적 측면

- 반도체는 우리 국가 경제의 핵심이며, 국가 안보를 위한 필수 기술이므로 AI 반도체 전략기술 확보를 통하여 국가 경제 부흥과 안보 견고화를 동시 달성
 - 반도체는 우리의 국가 경제의 핵심기술임은 물론, 세계적으로 국가안보를 위한 필수 기술로 자리 잡고 있으며, 미·중 패권 경쟁의 중심에 위치한 정치적 경쟁의 핵심축일 뿐만 아니라, 기술적으로도 변혁의 시기를 맞고 있음.
 - 미국 의회는 반도체를 최첨단 산업의 핵심기술로 인식함과 동시에 반도체 기술을 “국가안보의 핵심기술”로 인식하고, 입법을 통하여 반도체 제조기술 확보를 위한 노력을 함으로써 국가 위상 재건 추진
 - 중국은 ‘반도체 굴기’의 일부 실패에도 불구하고 반도체 자급률 향상을 위하여 총력전을 펼치고 있는 반면, 미국은 중국에 대한 직접적인 견제와 동시에 세계 반도체

산업 지형을 재편하기 위한 정책 추진

- PIM 인공지능 반도체 소자, 설계, 공정기술로 PIM 신제품을 개발하여 국내의 반도체 산업의 경쟁력의 지속을 기대할 수 있음.
 - 메모리와 연산 로직의 통합에 의한 저전력화를 달성하여 새로운 컴퓨팅 반도체로 PIM 신제품을 개발하고 이를 통해서 관련 개발 회사의 이익을 증대할 수 있음.
 - PIM 기술의 개발을 통한 지속적인 기술 혁신에 의해서 이미 세계적인 주도권을 확보한 메모리 반도체 산업의 경쟁력을 유지할 수 있음.
- 뉴로모픽 AI 반도체 시장형성 및 핵심 원천기술 확보 및 대한민국 메모리 반도체 산업의 새로운 활로 개척
 - 거대 스파이킹 신경망용 뉴로모픽 AI 반도체 기술은 고 데이터밀도의 온칩 메모리 기술이 핵심이므로, 새로운 거대 임베디드 메모리 시장을 개척할 수 있을 것으로 기대
 - 대한민국은 메모리 반도체 기술 선도국가로 기 확보한 우수한 메모리 반도체 기술을 적극적으로 활용하여 뉴로모픽 AI 반도체 원천기술을 확보할 수 있으며, 앞으로 크게 성장할 것으로 예상되는 뉴로모픽 AI 반도체 시장의 선점이 가능할 것으로 전망

□ 공공 연구개발 측면

- 미래 반도체 전략기술은 반도체 분야 국가 전략의 주요 사업과 밀접한 연장선상에 있으며, 현 개발 중인 반도체 기술과의 연계를 통하여 미래기술 확보
 - 미래 반도체 전략기술 (초병렬 페타급 AI 반도체, 메모리, 컴파일러 기술, 첨단 패키징 기반 PIM AI 반도체 기술, 차세대 메모리 기반 인메모리 컴퓨팅 AI 반도체, 거대 스파이킹 신경망 구현 뉴로모픽 AI 반도체, 차세대 통신 6G용 AI 반도체 기술)은 반도체 분야 국가 중장기 R&D 사업의 연장선상의 기술
 - 특히, “차세대지능형반도체기술개발사업”, “PIM 인공지능반도체기술개발사업”에서 개발한 결과물과 밀접한 연관관계에 있으며, 첨단 패키징 기반 PIM AI 반도체 기술 등은 화합물반도체 기술개발사업의 결과물을 활용할 수 있음.
- 국가 중장기 R&D 사업이 목표로 하는 최첨단 반도체 기술 확보
 - 이를 달성하기 위해서 메모리와 로직의 공정/소자/설계/소프트웨어/EDA 기술의 통합적인 접근에 의한 광대한 규모와 심도 있는 기술 개발을 필요로 하기 때문에 국내 반도체의 연구개발 역량을 조직화하고 구조화하여 체계적으로 연구개발을 기획하고 실행해야 할 필요가 있음.
 - 따라서 회사, 연구소, 대학의 개별 단위별 연구 수행을 보다 조직화하여 대규모로 치밀하게 계획적으로 실시할 필요가 있음.
 - 개발된 차세대 메모리 기반의 인메모리 컴퓨팅 AI 반도체 기술은 디바이스 당 수십 페타플롭스급의 초성능, 수와트급의 초저전력을 요구하는 4차 산업혁명 수행을 위한 하드웨어 기반을 구축하는 데 기여할 수 있으며 이를 통해서 일반 국민의 생활문화 혁신과 사회 혁신에 도움을 줄 수 있음.

- 인공지능 기술의 대중화 기여 및 분산형 AI 기술의 보급에 따른 개인정보 보안 강화
 - 전략기술은 엣지 디바이스형 뉴로모픽 프로세서 기술이므로 개인 소유의 이동형 기기에 적용할 수 있으며, DRAM 등의 저가 온칩 메모리 적용 시 높은 가격 경쟁력을 확보할 수 있을 것으로 예상되므로, AI 가속 기술의 대중화에 기여할 것으로 예상
 - 데이터센터 중심의 인공지능 기술은 개인 데이터의 외부 노출 우려가 있으나, 본 전략기술의 개발 성공 시 분산형 인공지능 기술이 데이터센터 중심형 기술을 상당 부분 대체할 수 있을 것으로 예상되므로 개인정보의 보안 강화에 일조할 수 있을 것으로 기대

2. 6G 이동통신 반도체 기술

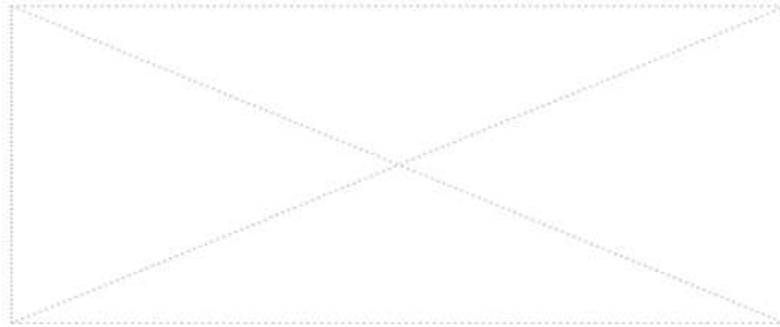
(1) 기술 개요

가) 기술 정의 및 필요성

□ 기술의 정의

- (정의) 클라우드 기반 성능보장 네트워크, AI에 의한 최적화·자동화를 통해 다양한 융합 서비스 제공을 가능하게 하는 6G 이동통신 반도체 기술

【 6G 이동통신 주요 성능 】



* 출처: '19년 6G 에타 기획보고서

【 6G 이동통신 네트워크 구조 】



- (특징) 6G 서비스 구현은 유무선 구간에서 전송용량 및 속도 증대가 필요하며, 이에 CMOS 반도체 기술과 화합물반도체 기술 개발이 필요

【 6G 기술개발 추진 방향(As-is To-Be) 】

As-is (5G)		To-be (6G)
o 3.5GHz 대역 기술	⇒	o Upper-mid 대역 기술
o 셀경계 및 공중 커버리지 기술 미흡	⇒	o 셀경계 및 공중망 커버리지 개선
o 클라우드 기반 Core NW	⇒	o 클라우드-Native Core NW
o 가상화 RAN(vRAN)	⇒	o 클라우드 기반 가상화 RAN(vRAN)
o AI 기술 적용 착수 RAN	⇒	o AI Native RAN
o AI 기반 자동화 Core NW	⇒	o AI Native Core NW
o Store-and-Forward NW	⇒	o AI Native 서비스 지원 시스템

- 6G에서는 대용량 신호 전송, 커버리지 확대, 융합 서비스 품질 보장 등을 지원할

수 있는 새로운 기술 개발이 필요

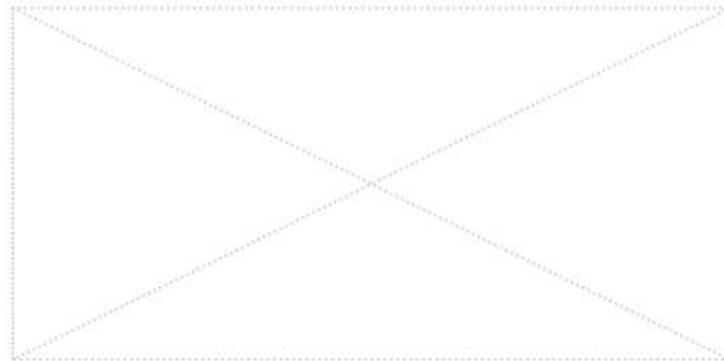
- (한계) 6G 통신의 용량 증대와 커버리지 확대를 동시에 구현하는 기술 구현에 어려움이 존재
- (의의) 6G 이동통신 반도체 상용화를 위해 AI Beamforming Chip, SOI FEM, Wireless IC, Bi-FET, GaN HEMT, Optical TRx Engine 등의 핵심 원천기술 확보가 필요
 - (AI Beamforming Chip) 무선신호 다채널 지향 전송에 필요하며, 고집적 회로설계와 AI제어 연구개발로 용량 증대와 커버리지 확대
 - (SOI FEM) CMOS 공정을 통한 무선 신호 전송에 필요한 기술로, SOI 기반 집적회로 설계 기술 개발이 필요하고 국내 파운드리를 이용한 칩 생산 가능
 - (Wireless IC) 고주파수 대역 신호 전송용 칩 기술로, 다양한 고집적 회로설계 연구개발로 100Gbps 이상 초고속 무선 신호 전송 구현
 - (Bi-FET) 송수신용 증폭기를 하나의 칩에 구현하는 것으로, 이종 소자의 집적화 연구개발이 필요하고 연결 손실 최소화 및 소형화 구현
 - (GaN HEMT) Upper-mid band 신호 증폭을 위한 칩으로, 집적회로 설계 기술이 필요하고 고효율 신호 증폭으로 커버리지 확대에 기여
 - (Optical TRx Engine) 대용량 데이터의 광신호 전달용 칩으로, 고밀도 광집적회로 연구개발로 테라급 대용량, 저전력 신호 전송 구현

□ 기술의 필요성

- 6G에서는 대용량 신호 전송, 커버리지 확대, 융합 서비스 품질 보장 등을 지원할 수 있는 새로운 기술 개발이 필요함.
 - 5G의 3.5GHz를 대체하여 Upper-mid Band 대역(7GHz~24GHz)이 용량과 커버리지를 담당하는 주파수로 발굴될 것으로 전망되며 이의 생성 및 전송을 위한 반도체 설계 기술
 - Upper-mid Band 대역 커버리지를 3.5GHz 대역 수준으로 유지하면서 10배 이상 용량을 위한 E-MIMO(Extreme-massive MIMO) 기술 개발 및 이를 위한 반도체 설계 기술이 필요함.
 - 6G통신에서는 더 높은 통신 속도와 안정성을 위해 Extreme massive-MIMO로 불리는 1,024개 안테나와 512개 Transceiver로 구성될 예정이며, 이를 위해 부품의 초소형화와 효율 향상, 방열 특성 개선 등이 요구됨.
 - 5G 대비 최대 50배 빠른 속도 달성을 위해 새로운 주파수 대역인 서브테라헤르츠 대역(100~300GHz)을 활용을 위한 신규 무선통신용 반도체와 Tbps급 트래픽 처리를 위한 유선통신용 반도체 기술 개발이 필요함.
 - 초광대역폭 활용이 가능한 서브테라헤르츠파 활용을 위한 신호 발생기, 전력증폭기, Front End 모듈을 위한 반도체 설계 및 서브테라헤르츠 대역의 높은 전파 감쇄

- 극복을 위한 대규모 MIMO 및 빔포밍을 위한 반도체 설계 기술 개발이 필요함.
- Upper-mid band 대역의 기지국 고출력 신호 송출을 위해 고효율, 저전력 특성을 가진 GaN 기반 Front-end용 MMIC 기술 개발이 필요함.
 - 6G 이동통신 기지국 및 단말기 등에 활용 가능한 서브테라헤르츠 대역 신호 증폭을 위해서는 InP 기반 화합물반도체 기술 개발이 필요함.
 - 클라우드 기반의 6G 서비스의 종단간 성능 보장을 위해서 기지국까지의 프론트홀 뿐 아니라 전달망 및 데이터센터를 위한 유선통신용 반도체 기술 개발 필요

【 6G 이동통신 반도체 기술 】



나) 6G 이동통신 반도체 기술 분류

【 6G 이동통신 반도체 주요 기술 분류 】

중분류	소분류	요소기술
CMOS 기반 6G 무선통신 반도체	SOI 기반 반도체 기술	- Upper-mid Band 반도체 소자 모델링/FEM 반도체/트랜시버
	빔포머 설계 기술	- 서브테라헤르츠 빔포밍 반도체 - Upper-mid Band AI 빔포밍 반도체 - Upper-mid Band 디지털 빔포밍
	기반 회로 설계 기술	- 서브테라헤르츠 대역 초저잡음 신호생성 회로 - 초광대역 LO 생성 및 송수신 회로 - 초고속, 고분해능 ADC/DAC 회로
	무선통신용 이종집적 반도체	- Si/III-V 이종집적 기술
화합물 기반 6G 무선통신 반도체	Upper-mid Band(7~24GHz) 대역 반도체	- 고효율 GaN HEMT 소자 집적화 및 모델링 - 고효율 수신용 증폭기 설계 기술
	서브테라헤르츠(100 ~300GHz) 대역 반도체	- InP 기반 BiFET 집적화 기술 - 서브테라헤르츠 회로집적화/설계기술 - 저잡음/저손실 HEMT 소자 집적화 및 모델링 - 고효율/고효율 HBT 소자 집적화 및 모델링
6G 유선통신 반도체	단거리(<10km) 통신용 광통신 반도체	- 초고속 직접/외부 변조 기반 광원 - 초고속 고감도 광수신기
	중장거리 통신용 광통신 반도체	- 테라급 코히어런트 광송수신 칩 - 고효율 저선폭 파장가변 광원 - 고차변조 신호 전송용 DSP
	유선통신용 이종집적 반도체	- 저전력 이종집적 광원 기술 - 고집적 대용량 Co-packaged Optics
	유선통신 네트워크 반도체	- 전달망용 네트워크 프로세서 - 데이터센터용 스위치

(2) 기술 분석

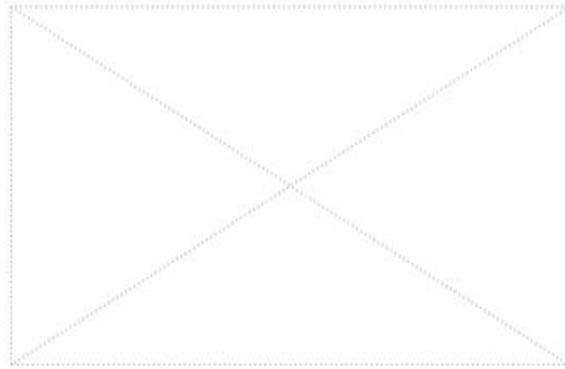
가) 국내·외 기술 현황

□ 국외 기술 동향

○ CMOS 기반 6G 무선통신 반도체 기술

- Upper-mid Band 빔포밍 기술의 대형화(m-MIMO 기술에서 E-MIMO 기술)
 - 5G는 100MHz 대역폭으로 통신 Capacity를 극대화하기 위해 64 TRX(Transmitter Receiver) 반도체 부품을 이용하여 196개의 배열 안테나를 사용하는 m-MIMO(massive MIMO) 기술이 적용 중
 - 6G는 400MHz 대역폭으로 5G 대비 통신 Capacity를 20배 높이기 위해 512 TRX 반도체 부품을 사용하고 1024개의 배열 안테나를 사용하는 E-MIMO(Extreme MIMO)로 발전할 것으로 전망됨.

【 통신 발전에 따른 MIMO의 발전 방향 】

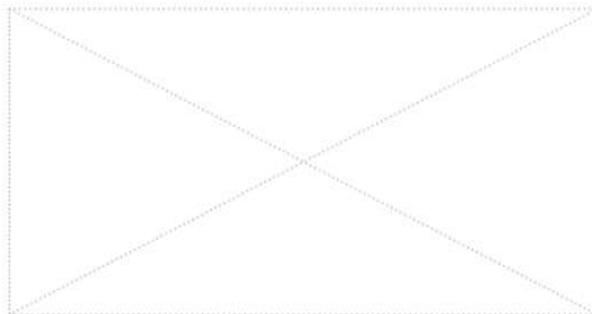


* 출처: Nokia Bell Labs 2021

- Upper-mid Band 빔포밍 기술의 AI 화

- 5G-NR 표준에서는 아날로그, 디지털, 그리고 이 둘이 섞인 하이브리드 빔포밍을 모두 지원하고 있으나 밀리미터 대역에서는 대부분 아날로그 빔포밍을 채용 기존 빔포밍 알고리즘이 주를 이루고 있어 이를 필수 빔포밍 기술로 정의[5G NR 표준]
- 6G에서는 E-MIMO를 통해 빔포밍의 복잡도가 훨씬 높아질 것으로 예상되나 아날로그 빔포밍 기술에 카메라, 레이더, GPS 등의 정보를 AI가 수집해 CSI(Channel State Information)을 맵핑한 후 빔이 전달되지 않는 곳에 집중해서 빔포밍하는 알고리즘이 채용
- 빔포밍을 통한 통달 거리 확보를 위해 높은 EIRP 파워를 출력하는 빔포밍 모듈 개발이 5G 주된 연구개발이 되었으며 이를 위해 배열 크기를 증가시키고 있음.(대면적 빔포밍)
- 미국의 Anokiwave사, UC San Diego 등 5G를 위한 초기 빔포밍 부품은 개별 10dBm 수준의 출력을 제공

【 대면적 빔포밍 모듈 】

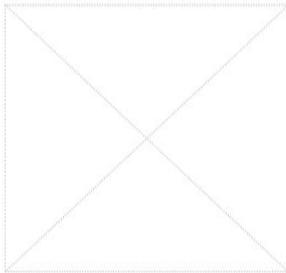


* 출처: Yusheng Yin, IEEE 2020

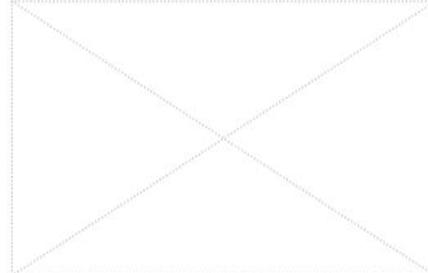
- 최근 부품은 출력파워를 10배 정도 높인 고성능 빔포밍 부품을 출시하고 있으며 이를 위해 미국의 Global Foundry 등은 기존 Bulk CMOS 반도체 공정보다 성능이 우수한 CMOS SOI 반도체 공정으로 부품을 진화
- 서브테라헤르츠 빔포머 및 송수신기 기술

- 2014년 미국 Cornell대는 338GHz 대역에서 +17dBm의 EIRP 성능을 보이는 Bulk CMOS 공정기반 2D 위상배열 칩을 발표. 배열수 확장 가능한 scalable 구조이며, 검증용으로 4x4 배열을 65nm CMOS로 제작하여 빔조향 범위 50° 및 -93dBc/Hz@1MHz PN 확인
- 2018년 일본 동경공대는 65nm CMOS 공정을 이용하여 LNA/PA를 단일칩으로 집적한 70~105GHz대역 120Gb/s 전송성능의 트랜시버 칩 발표

【코넬대 위상배열 칩】

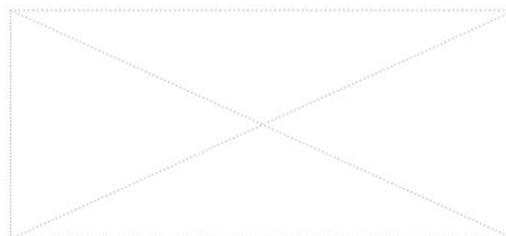


【일본 동경공대 120Gbps W-band CMOS transceiver】



- 2019년 일본 히로시마대는 IEEE 802.15.3d 표준에 따른 300GHz 대역 80Gb/s 성능의 트랜시버 칩 발표했으며, 40nm CMOS 공정기반으로 송신부 최대출력은 266GHz에서 -1.6dBm 수준

【300GHz 대역 80Gbps 트랜시버】

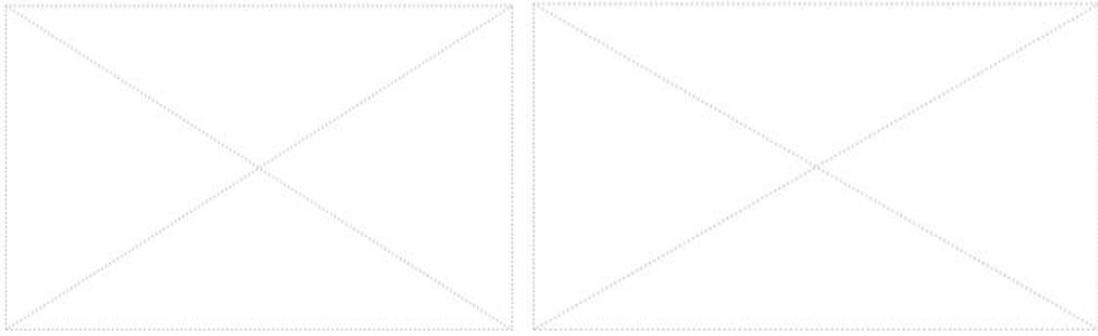


○ 화합물 기반 6G 무선통신 반도체 기술

- 국외 화합물 기반 반도체 소자/MMIC 연구 동향

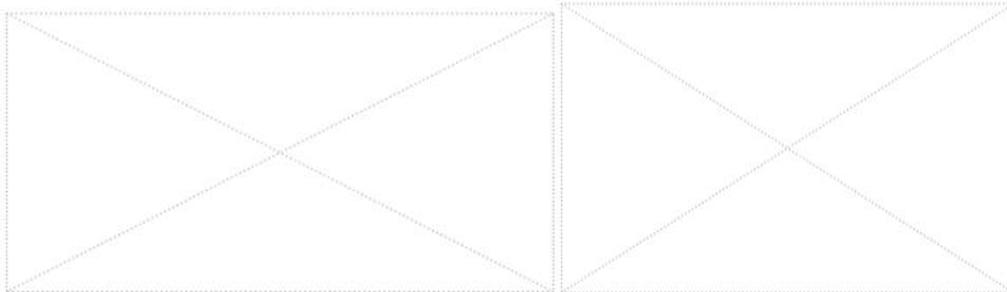
- 북미 기업인 Northrop Grumman Corp. (NGC)에서는 2013년 이후 게이트 길이 25 nm를 갖는 InP HEMT 기술을 활용하여 Terahertz 영역에서 동작하는 다양한 저잡음 증폭기, Receiver/Transmitter 등의 TMIC (Terahertz Monolithic Integrated Circuits)을 개발하고 있음. 최대전달컨덕턴스 (gm_{max})는 3 mS/ μ m, 전류이득차단주파수 (f_T)는 610 GHz, 최대 동작 주파수 (f_{max})는 1.5 THz의 동작특성을 나타내고 있음. InP HEMT 소자 기술을 활용하여 개발/발표한 TMIC를 아래 그림에서 정리하여 보여주고 있음.

【 NGC(미국)의 게이트 길이 25nm InP HEMT 소자 및 TMIC 결과 】



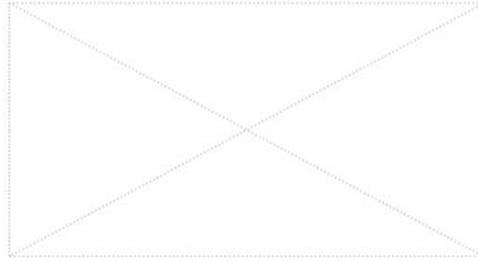
- 독일 IAF의 경우 GaAs 기판에 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 채널이 성장된 metamorphic HEMT (mHEMT) 기술을 바탕으로 게이트 길이 100 nm에서부터 20 nm를 갖는 GaAs mHEMT 소자 기술을 개발하였으며, 이를 활용하여 300 GHz 대역에서 동작하는 저잡음 증폭기 및 전력 증폭기 등의 TMIC를 개발하고 있음.
- 일본 기업인 NTT에서는 InP HBT 단위 소자 연구를 수행하고 있으며, MOCVD 기반 에피 성장 및 Stepper 기반 0.25 μm 급 HBT 소자에 대한 결과를 발표함. 2020년 발표된 InP HBT 소자는 Emitter 선폭 0.24 μm 를 가지면서, 전류이득(β)은 27, 항복전압(BV)은 4.9 V임과 동시에, 전류이득차단주파수 (f_T)는 528 GHz, 최대 동작 주파수 (f_{max})는 981 GHz의 동작특성을 보여주었음.

【 NTT(일본)의 Emitter 선폭 0.24 μm InP HBT 구조/주파수 특성 】



- 저잡음 특성을 가지는 HEMT 소자와 고출력 특성을 가지는 HBT 소자를 하나의 웨이퍼상에 구현하는 기술을 BiFET (또는 BiHEMT)라고 부르며, 송/수신단의 효율적인 구성을 위해서 BiFET에 대한 연구의 필요성이 커지고 있음.
- BiFET 소자의 경우 대만의 WIN Semiconductors Corporation사와 일본의 Hitachi사가 BiFET 제작을 위한 에피 및 소자 연구를 발표한 바가 있음.
- WIN Semiconductors Corporation사는 2007년 GaAs 기판 위에 BiFET 소자를 구현

【 WIN Semiconductor (대만)에서 BiFET 소자 구조 】



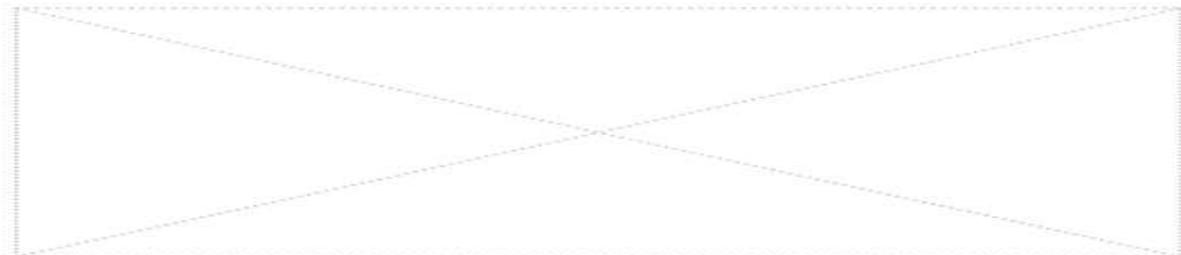
- GaN HEMT 소자는 기존 GaN HEMT 소자의 물성적 장점과 함께, Upper-mid band 급 고주파 구동을 위하여, 게이트 길이(L_g) 및 소자 디멘션 (dimension)을 줄이는 수평방향 스케일링과 에피 소재 장벽층의 두께(t_{bar})를 줄이는 수직방향 스케일링을 동시에 적용한 미국 HRL사가 소자 기술을 선도하고 있음.
- 2011년 HRL Laboratories에서 GaN double-heterostructure FET (DHFET) 구조를 이용하여 225 mW의 출력을 갖는 W-band GaN 소자를 개발하고 이를 이용하여 1 W 출력을 갖는 W-band GaN MMIC를 개발하였음.

○ 6G 유선통신 반도체 기술

- 단거리 유선통신 반도체 기술

- (직접변조 광원 기술) DML은 단일 파장 발진 DFB-LD의 주입전류를 직접 변조하여 신호를 생성하는 광원 기술로 단순한 구조로 가격 경쟁력이 우수하나 변조 속도에 한계가 있고 장거리 전송이 어려운 단점이 있음.
- Al(알루미늄)을 포함한 활성층의 높은 이득 계수를 이용하여 최근에는 100G PAM-4 DML 기술이 개발 중에 있으며 II-VI, Lumentum(이상 미국), Mitsubishi(일본) 등이 기술을 선도하고 있음.
- (외부변조 광원 기술) EML은 단일파장 발진 DFB-LD에 전계흡수형 외부 변조기가 집적되어 있는 소자로 변조 속도 및 신호품질이 우수함.
- 채널당 100Gbps PAM-4 동작의 EML 기술이 II-VI, Lumentum(이상 미국), Sumitomo(일본) 등에서 상용화되었고 채널당 200Gbps PAM-4 기술 개발이 진행 중임.

【 200G PAM-4 EML 광원 기술 】

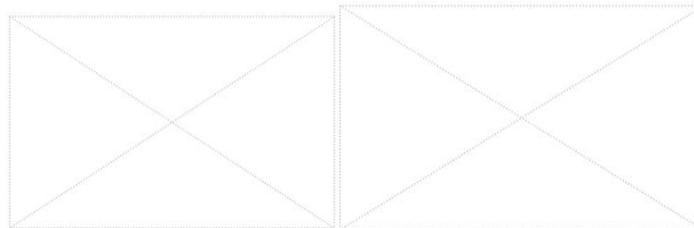


* 출처: Lumentum, OFC 2021

- 중장거리 유선통신 반도체 기술

- 800G/1Tbps급 코히어런트 광부품의 경우 100Gbaud 이상의 고속 변복조, 초소형 고집적 광소자·모듈(PIC, IC-TROSA), 저전력 고성능 DSP칩 등과 같은 매우 도전적인 기술 개발이 요구됨.
 - 광변조기 기술은 400Gbps 이하에서는 주로 실리콘 포토닉스 기술이 적용되는 반면, 100Gbaud 이상의 변조 대역폭이 요구되는 테라비트급 광변조기는 InP 화합물 기반으로 구현되는 추세
 - '19년 일본 NTT는 ~80GHz의 세계 최고 변조 대역폭을 갖는 InP 화합물 기반 코히어런트 광변조기를 이용하여 128Gbaud DP-QPSK, 112Gbaud DP-16QAM 신호를 전송한 결과를 발표함.
 - (DSP 기술) 초고속 광신호의 생성 및 전송과정에서 발생하는 왜곡 현상을 보상하기 위한 신호 처리 기술로 코히어런트 기반의 광통신의 핵심기술 중 하나이며 최근 세기변조 방식에서도 PAM4 등 고차변조를 위한 DSP가 적용되고 있음.
 - Acacia, Ciena, Inphi, NEL, Nokia 등의 기업은 100/400Gbps용 DSP칩을 상용화하였으며 800Gbps급 DSP도 상용 수준의 칩 개발이 진행 중임.
- 이종결합 기반 광반도체 기술
- 이종결합 광반도체 기술은 화합물 반도체의 광원 및 우수한 변조 특성과 실리콘 반도체의 우수한 확장성을 결합하여 초고속 고집적 소자의 개발을 목표로 함.
 - (초저전력 광원) 이종 물질 간의 결합을 이용하여 동작 전류를 줄여 전력소모를 획기적으로 절감할 수 있는 직접변조형 초고속 멤브레인 레이저 다이오드 기술
 - 일본 NTT는 SOI 기판위에 III-V 활성층 성장 및 DFB 레이저 제작을 통해 기존 대비 40% 이상의 전력 소모 절감을 구현하였으며 SiC기판에 DBR 레이저 구현을 통해 100Gbps 이상의 초고속, 저전력 광원 기술 개발

【 이종결합 기반 광원 기술(NTT) 】



- (Co-Packaged Optics 기술) 상위장기적인 관점에서 스위치 I/O 용량, 전기 연결 대역폭, 거리의 한계와 소모전력, 공간, 구축비용 문제로 인해 기존의 Pluggable 광 트랜시버 형상에서 Co-Packaged Optics(CPO) 형상으로 진화될 전망
- OFC 2022를 통해 Broadcom, Intel, Ranovous, nVidia 등 다양한 회사에서 Co-packaged optics 모듈을 시연함.

□ 국내 기술 동향

- CMOS 기반 6G 무선통신 반도체 기술

- Upper-mid Band 빔포밍 기술

- 국내 학연 연구기관 중심으로 256배열 크기의 빔포밍 시스템에 대한 개발을 진행 중이며 방열, 빔포밍 커플링 문제, 방사 패턴 문제 등 다양한 연구 주제를 가지고 기초 연구 진행 중
- 국내기업 중심으로 소형 중계기 또는 펌토셀에 적합한 64 배열 빔포밍 시스템을 개발 중
- 국내 학연 연구기관 중심으로 해외 초기 부품보다 우수한 성능을 가지는 15dBm 수준의 반도체 기술을 연구
- DB Hitek, 삼성전자 중심으로 SOI 반도체 공정기술을 상용화

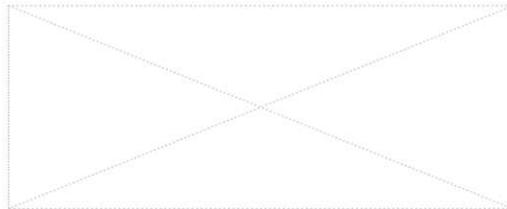
- Upper-mid Band 빔포밍 기술의 인공지능화

- 국내 학연 연구기관 중심으로 빔포밍 채널의 파워를 검출하는 기술에 대한 연구를 진행 중이나 인공 지능화를 위한 정보 수집에는 한계

- 서브테라헤르츠 CMOS 무선통신 반도체 기술

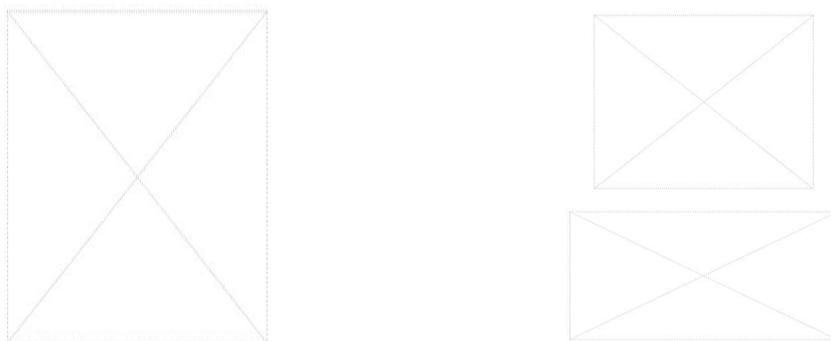
- 광소자 및 전자소자 기반의 서브테라헤르츠 신호발생기/검출기 등 단위 부품은 개발되었으나, 실리콘 반도체 기반의 고집적 다채널 빔포밍 칩은 아직 개발되지 않음.
- 삼성전자는 미국 UCSB와 함께 140 GHz 대역을 활용해 송신기와 수신기가 15m 떨어진 거리에서 6.2 Gbps(초당 기가비트)의 데이터 전송 속도를 시연하였음.

【 16채널 140GHz 모듈과 이를 구성하는 2채널 140GHz RFIC, 128개 안테나 】



- 한국전자통신연구원(ETRI)에서는 CMOS 기반 240GHz 신호발생기 칩 등을 개발했으며, 상용 RF모듈 기반으로 250GHz 대역 송수신 시스템 구현하여 실내 14m 거리에서 8Gbps급 무선전송 기술과 저속 이동 차량에서 16QAM 무선 전송을 시연함.

【 250GHz대역 차량탑재 무선 백홀 및 데이터 전송 시험 】



- 상기 개발된 250GHz대역 송수신 시스템 이용하여 실제 도로 환경에서 100m 거리까지 경로 손실 및 도로 주변 건물, 차량에 의한 blocking, 회절, 반사 등의 전파 특

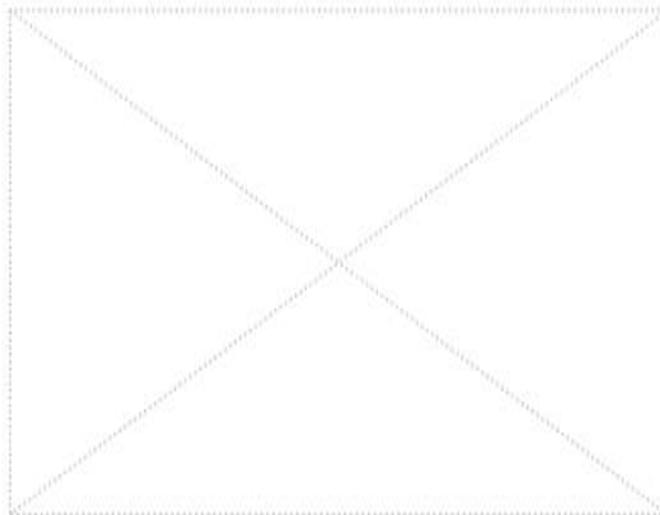
성을 실측하고 채널 모델 개발

- ETRI에서 개발된 서브테라헤르츠 대역 신호발생기는 40nm bulk CMOS 공정 기반으로 주파수체배기와 120GHz 대역 PA, 240GHz 대역 체배기 등을 집적하여 220~260 GHz 대역에서 -3dBm 수준 신호를 발생시킴.
- CMOS 기반 서브테라헤르츠 초고주파 신호생성기 및 ADC/DAC 회로 설계 기술
 - KAIST에서는 2020년 65nm CMOS 공정을 이용하여 W/D band 초고주파 저잡음 신호 생성기를 개발하였으며 80fs 대역의 RMS 지터 성능을 달성하였음.
 - High speed ADC/DAC 기술은 주로 삼성, 한국과학기술원, 서울대, 연세대 등에서 연구되고 있으나, DAC 논문의 발표는 많지 않고, ADC 논문은 고속 저해상도 위주로 6G 통신에 필요한 고속 고해상도 ADC 기술 연구는 거의 없는 상황

○ 화합물 기반 6G 무선통신 반도체 기술

- 고주파 응용을 위한 화합물 반도체의 필요성
 - 반도체 물질과 트랜지스터 형태에 따라 트랜지스터의 가장 중요한 성능의 하나인 전류이득차단주파수 f_T (cutoff frequency)의 증가를 위한 연구개발 현황을 아래 그림에 나타냄.

【 반도체 물질과 트랜지스터 구조에 따른 항복전압과 전류이득차단주파수 변화 】

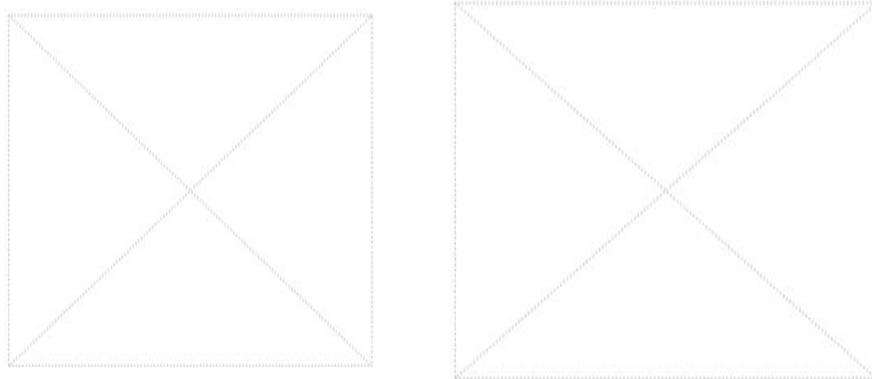


* 출처: Dr. Shyh-Chiang Shen, GATECH

- 국내 화합물 기반 반도체 소자/MMIC 연구 동향
 - 테라헤르츠급 반도체 소자 및 회로 구현을 위한 핵심 기반기술은 크게 보아 능동 소자, 수동소자, 집적 회로, 패키징 기술로 나눌 수 있음. 테라헤르츠 대역 연구 관련 국내에서는 그 기반이 전무한 상태임. 특히, 기존 밀리미터파 대역의 시스템의 경우 미국의 T사 및 R사에서 제작된 밀리미터파 대역 시스템 제품을 전량 수입에 의존하고 있으며, 국내의 산·학·연 연구 환경은 전무한 상태임.
 - 최근 경북대 연구팀에서 전류이득차단주파수 (f_T) 738 GHz의 세계 최고 수준의 주파수 특성을 갖는 게이트 길이 19 nm의 $In_{0.8}Ga_{0.2}As$ 기반의 InP HEMTs 소자

를 개발함. 아래 그림은 개발/발표된 InP HEMT 소자의 구조 및 주파수 동작 특성을 보여주고 있음.

【 개발된 InP HEMT 소자의 TEM 분석 결과 및 주파수 특성 결과 】



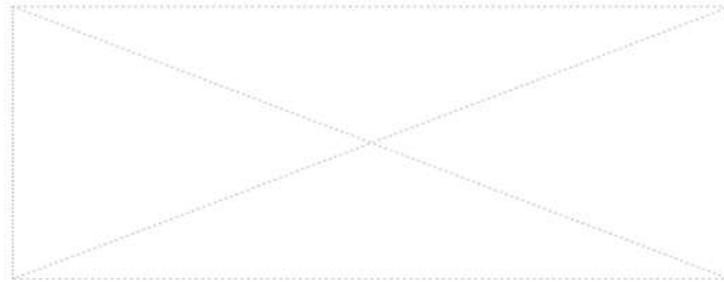
- ETRI에서 GaAs 기판 기반의 mHEMT 공정 기술을 개발한 경험이 있으며, 70 GHz 대역까지 동작하는 150 nm gate 공정의 개발 및 PA/LNA MMIC를 개발함. 현재는 100 nm 공정을 사용한 94 GHz LNA MMIC를 개발한 바 있음.
- 중간 주파수 저잡음 증폭기에 대한 mHEMT (metamorphic HEMT, InGaAs on GaAs substrate) 연구는 공정가격이 비교적 저렴하여 서울대, 동국대 등에서 수행한 경험이 있으며, 그 성능은 100 GHz 대역에서 동작하는 수준에 있음.
- 국내에서는 한국전자통신연구원, 전자부품연구원, 한남대학교는 GaN, GaAs HEMT 기반 저잡음증폭기, 위상천위기, 스위치 전력증폭기 등의 설계 경험이 풍부하고 핵심 IP를 보유하고 있음.
- 한국전자통신연구원에서는 2013년에 자체 보유한 4인치 화합물 반도체 팹에서 독자적인 소자 설계/공정 기술로 AlGaN/GaN/SiC 기반으로 S-band 100W급 GaN HEMT 소자와 X-band 30W급 GaN HEMT 소자를 개발하였으며 2017년 0.15 μ m GaN HEMT 라이브러리를 이용하여 5G 기지국용 7W급 28 GHz GaN MMIC를 개발하였음.
- 포항공대에서는 Nitronex사의 GaN HEMT와 Cree사의 GaN HEMT를 사용하여 2.14 GHz에서 출력전력 40.7 dBm의 특성을 갖는 Doherty 증폭기와 3.5 GHz에서 45.6 dBm의 출력전력을 갖는 전력증폭기를 발표하였음.

○ 6G 유선통신 반도체 기술

- 단거리 유선통신 반도체 기술

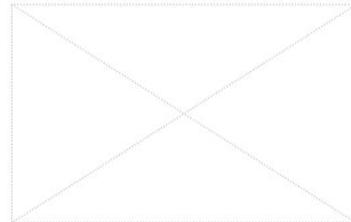
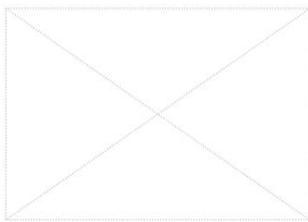
- 이동통신망은 파장당 10G급 서브 채널 방식의 프론트홀 상용화(`18), 파장당 25G급 프론트홀 기술 개발(`19) 및 상용화(`20)
- ETRI에서 112G PAM-4 EML 및 56G PAM-4 DML 기술 개발을 완료하였으며 현재 200G PAM-4 EML 연구가 시작됨.

【 CWDM 56Gbps PAM-4 DML (ETRI) 】



- 25G DML은 오이솔루션, 엘디스를 통해 상용화가 이루어졌으며 25G EML은 상용화 진행
- ETRI에서 100G, 200G 광트랜시버와 400G 온보드용 광학엔진 기술 개발

【 400G 온보드용 광학엔진 (ETRI, OFC 2021) 】



- 유선통신용 이종결합 반도체 기술
 - 이종결합 기반 광원 기술 개발은 ETRI, KIST 등에서 실리콘 기판에 화합물을 직접 성장하거나, 접합을 통한 광원 기술 개발에 대한 기반 연구가 진행되고 있음.

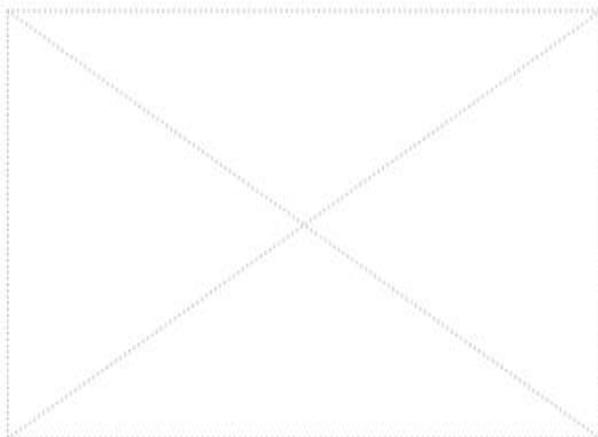
나) 특허 및 논문 동향

□ 특허 동향

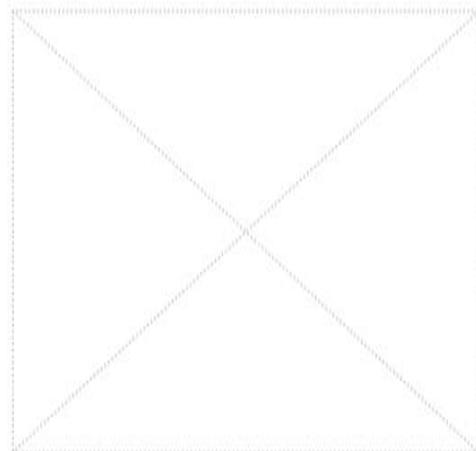
○ CMOS 기반 6G 무선통신 반도체 기술

- AI 빔포밍 반도체, 멀티빔 형성 빔포밍

【 ‘AI 빔포밍 반도체, 멀티빔 형성 빔포밍’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

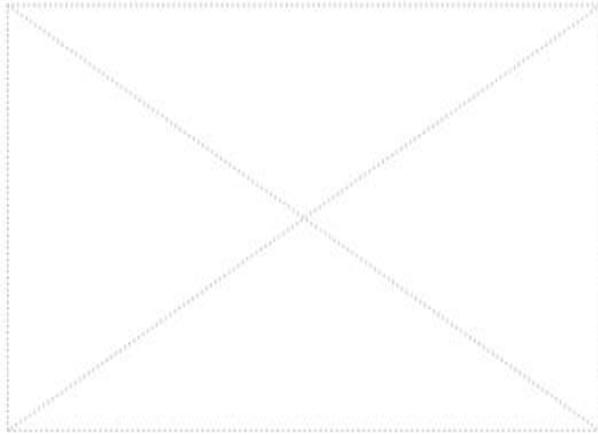
* AI 빔포밍 반도체 및 멀티빔 형성 빔포밍: 전체 기술 분야의 전체 특허 출원건수

는 2,670건으로, 중국, 미국, 유럽, 일본, 한국, 대만 순으로 확인됨.

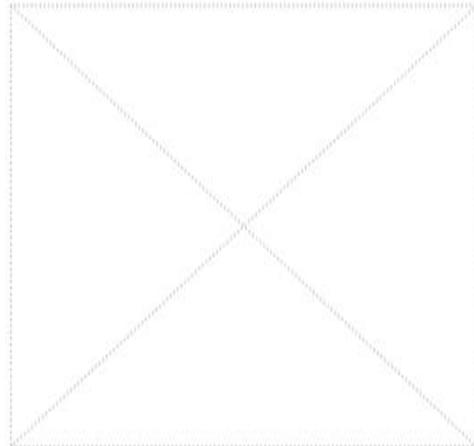
- * AI 빔포밍 반도체 및 멀티빔 형성 빔포밍: 기술 분야의 전체 연도별 특허동향을 살펴보면, 2012년도에 출원 건수가 다소 감소하였으나 2013년부터 현재까지 전반적으로 증가하는 추세를 보임.

- FEM(Front End Module) 반도체

【 ‘FEM(Front End Module) 반도체’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

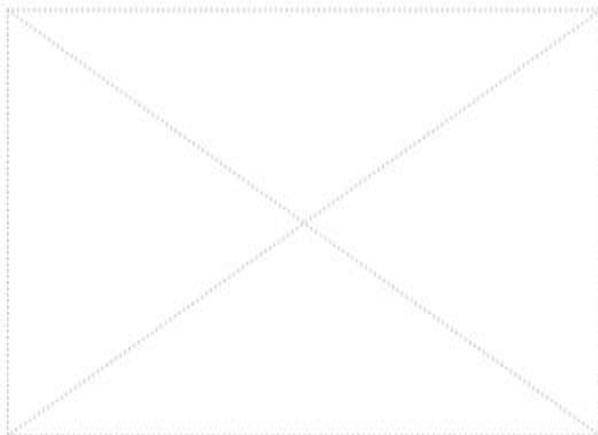


<국가별 특허건수>

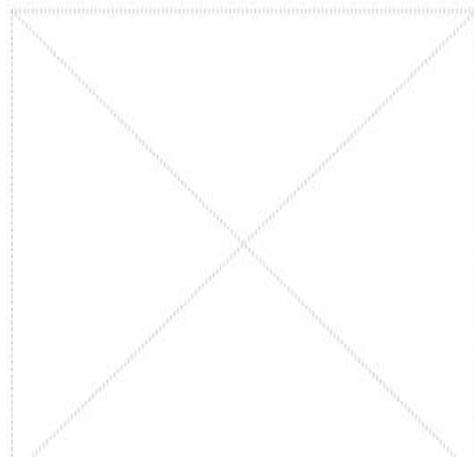
- * FEM(Front end module) 반도체: 전체 기술 분야의 전체 특허 출원건수는 570건으로, 미국, 중국, 한국, 일본, 유럽, 대만 순으로 확인됨.
- * FEM(Front end module) 반도체: 기술 분야의 전체 연도별 특허동향을 살펴보면, 2015년도에 출원 건수가 급격히 증가한 것으로 보임.

- 테라헤르츠 대역 초저잡음 신호생성 회로

【 ‘테라헤르츠 대역 초저잡음 신호생성 회로’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

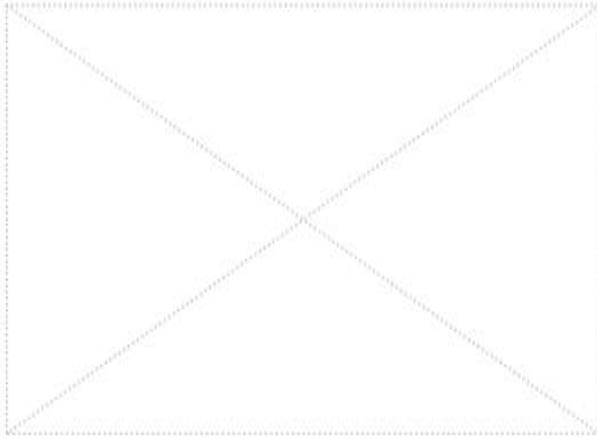
- * 테라헤르츠 대역 초저잡음 신호생성 회로 및 테라헤르츠 주파수 생성기: 전체 기술 분야의 전체 특허 출원건수는 930건으로, 중국, 미국, 한국, 일본, 유럽, 대만 순으로 확인됨.
- * 테라헤르츠 대역 초저잡음 신호생성 회로 및 테라헤르츠 주파수 생성기: 기술 분야

의 전체 연도별 특허동향을 살펴보면, 2011년부터 2020년까지 꾸준히 증가하는 추세를 보임.

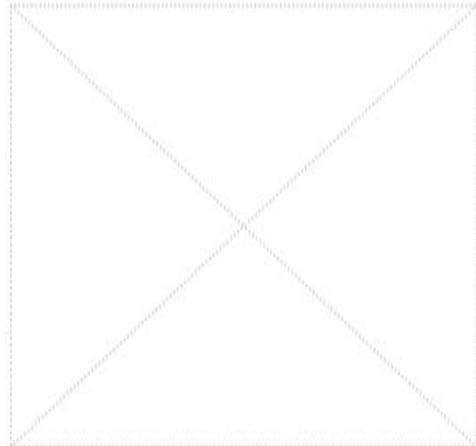
○ 화합물 기반 6G 무선통신 반도체 기술

- RF HEMT 소자 및 RF HEMT 소자 집적화

【 ‘RF HEMT 소자 및 RF HEMT 소자 집적화’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

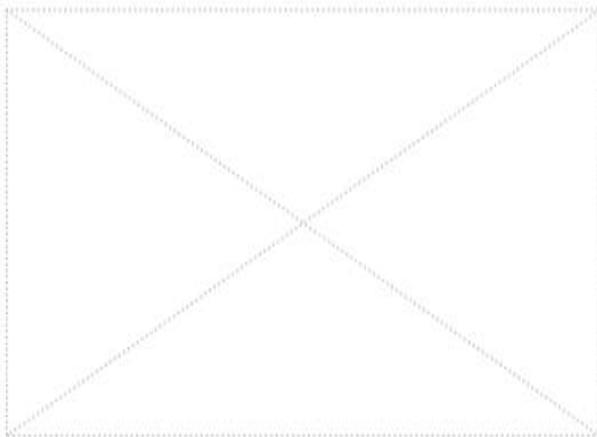
* RF HEMT 소자: 전체 기술 분야의 전체 특허 출원건수는 626건으로, 미국, 중국, 유럽, 대만, 한국, 일본 순으로 확인됨.

* RF HEMT 소자: 전체 기술 분야의 전체 연도별 특허동향을 살펴보면, 2012년, 2015년, 2018년, 2022년도에 출원 건수가 다소 감소한 것으로 나타남.

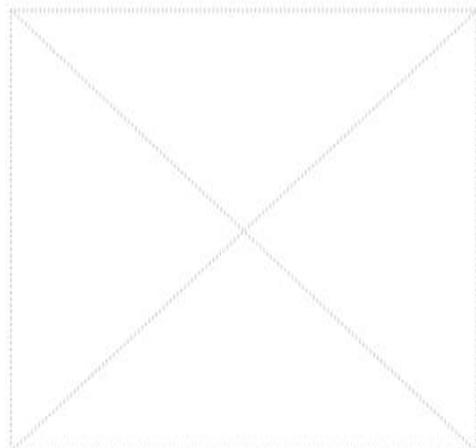
○ 6G 유선통신 반도체 기술

- 고집적 대용량 Co-packaged Optics 분야 특허 분석

【 ‘고집적 대용량 Co-packaged Optics’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

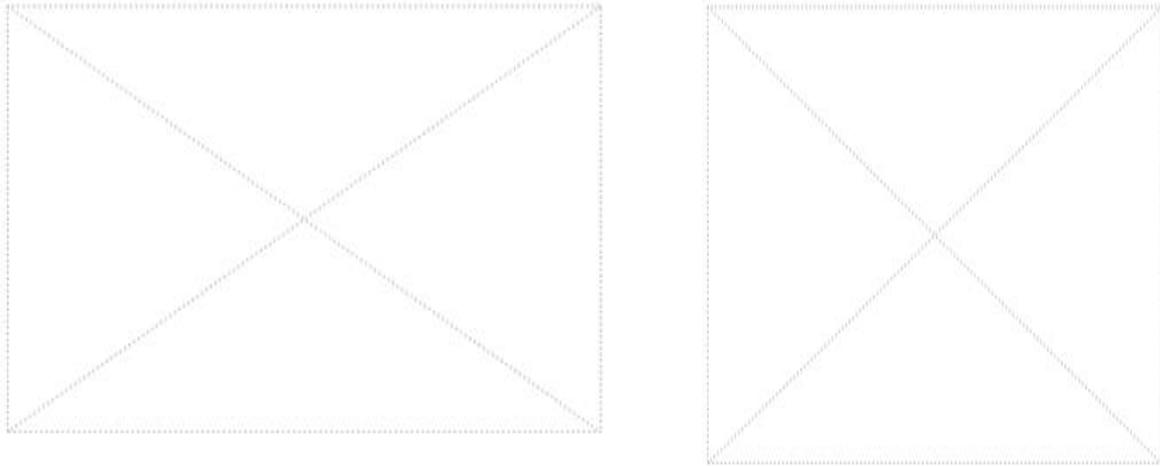
* 고집적 대용량 Co-packaged Optics: 전체 기술 분야의 전체 특허 출원건수는 499건으로, 중국, 미국, 유럽, 일본, 대만, 한국 순으로 확인됨.

* 고집적 대용량 Co-packaged Optics: 기술 분야의 전체 연도별 특허동향을 살펴보면,

2014년도부터 2017년까지 증가하는 추세를 보였으나, 2018년도에 출원 건수가 감소함.

- 초고속 코히어런트광송수신칩

【 ‘초고속 코히어런트광송수신칩’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

<국가별 특허건수>

- * 초고속 코히어런트광송수신칩: 전체 기술 분야의 전체 특허 출원건수는 1,036건으로, 중국, 일본, 미국, 유럽, 한국, 대만 순으로 확인됨.
- * 초고속 코히어런트광송수신칩 기술: 분야의 전체 연도별 특허동향을 보면, 2017년부터 2019년도까지 증가하는 추세를 보였으나, 2020년도에 출원 건수가 감소함.

□ 논문 동향

○ CMOS 기반 6G 무선통신 반도체 기술

- Upper-mid Band AI 빔포밍 반도체 기술

- 중국에서 발표된 논문에서는 빔포밍 안테나 모듈에 테스트 신호를 인가할 수 있는 커플링 패턴을 삽입하고, 디지털 신호 처리에 의해 AI를 위한 정보를 추출하는 기술을 발표하였으나 시스템 복잡도 증가로 빔포밍 시스템 확장에 한계가 있음.(IEEE Trans. on Antennas and Propagation, 2021)
- 독일에서는 Code Modulated 위상천위 방식을 적용하여 내부에 복잡한 부가회로 없이 다채널을 동시에 모니터링 할 수 있는 원천기술을 발표(IMS 2019)

- FD-SOI 반도체 모델링 및 회로 설계기술

- 미국대학과 연구소 등에서 FD-SOI 공정을 이용하여 24.25~43.5GHz(FR2 전대역)에서 선형효율 12.5% 이상으로 동작하는 전력증폭기를 발표, 관련 기술이 송신기 설계에 강점이 있음을 보임. 동시에 FD-SOI 기술을 활용한 광대역 구조 설계 가능성을 선보임.(Electronics, 2022)
- 대만에서는 17.8dBm(21.5% PAE)의 높은 출력과 3.2dB의 낮은 잡음지수를 가지는 28GHz FEM을 FD-SOI 공정으로 발표하여 FEM 개발에 있어 FD-SOI 공정의

우수성을 알림(RFIC, 2020)

- CMOS 기반 회로 설계 기술

- International Solid-State Circuits Conference (ISSCC) 2022: 미국 UCLA 대학은 CMOS 28nm 공정을 이용하여 300GHz 대역에서 18dB gain과 20dB noise figure 성능을 갖는 THz 대역 receiver를 개발
- Symposium on VLSI Circuits 2022: 미국 IBM社에서 4nm 공정을 통해 wide band linear sampling network 개발. Level shifting Bootstrapped Sampler 기술 및 Switched capacitor 버퍼 biasing을 통해 8-bit 56GS/s의 성능을 갖는 64-channel Time-Interleaved ADC 개발

○ 화합물 기반 6G 무선통신 반도체 기술

- 서브테라헤르츠(100~300GHz) 대역 반도체

- Northrop Grumman사는 0.35 μ m InP HEMT 라이브러리를 이용하여 250~290 GHz에서 20 dB 이상의 이득과 330 GHz에서 8.7 dB의 잡음지수 특성을 갖는 저잡음 증폭기와 295~340 GHz에서 13~15 dB 이득을 갖는 저잡음 증폭기를 발표하였음.
- Fujitsu사는 0.75 μ m InP HEMT 라이브러리를 이용하여 300 GHz에서 30 dB 이상의 이득과 9.8 dB의 잡음지수 특성을 갖는 저잡음 증폭기를 발표하였음.
- Fraunhofer사는 0.35 μ m InGaAs mHEMT 라이브러리를 이용하여 252~330 GHz에서 29 dB 이상의 이득과 280~330 GHz에서 평균 6.5 dB의 잡음지수 특성을 갖는 저잡음 증폭기 및 동 라이브러리를 이용한 315~475 GHz에서 23 dB 이상의 이득과 평균 7.5 dB의 잡음지수 특성을 갖는 저잡음 증폭기를 발표하였음.
- 서강대는 Teledyne사의 0.25 μ m InP HEMT 라이브러리를 이용하여 301 GHz에서 13 dB 이상의 이득과 13.5 dBm의 출력전력을 갖는 전력 증폭기를 발표하였음.
- UCSB는 0.13 μ m InP HEMT 라이브러리를 이용하여 326~340 GHz에서 16 dB 이상의 이득과 6.6~12.6 dBm의 출력전력을 갖는 전력 증폭기를 발표하였음.

○ 6G 유선통신 반도체 기술

- 단거리 유선통신 반도체 기술

- Lumentum은 InGaAsP-MQW를 사용하여 변조 대역폭을 76GHz로 높이고 채널당 224Gbps PAM4 전송 가능한 EML 광원을 구현하였으며 PAM8 동작을 통해 384Gbps 신호 생성(OFC 2022)
- II-VI는 InAlGaAs MQW를 이용하여 Detuned loading 효과와 반사율 조절에 의한 PPR(Photon-photon resonance) 효과를 이용하여 67GHz의 대역폭을 가진 직접 변조 레이저 기술 개발(Nature Photonics 2020)

- 중장거리 유선통신 반도체 기술

- 일본 NTT는 ~80GHz의 세계 최고 변조 대역폭을 갖는 InP 화합물 기반 코히어런트 광 변조기를 이용하여 128Gbaud DP-QPSK, 112Gbaud DP-16QAM 신호를 전송한 결과를 발표(JLT 2019)

- Infinera는 InP 단일집적 PIC 기술을 이용하여 InP 화합물 기반 파장가변 광원, 광변조기, 반도체광증폭기 및 광수신기가 함께 집적된 800Gbps 전송용 96Gbaud 송수신 PIC를 발표(Infinera, ECOC 2020)
- 유선통신용 이종결합 반도체 기술
 - NTT는 SOI 또는 SiC 기판에 화합물반도체를 결합하여 저전력동작(475 fJ/bit)과 높은 변조대역폭(108 GHz)을 가진 직접변조 레이저를 개발함.(Nature Photonics 2020)
 - Intel은 SOI 기판위에 InP 기반 활성층을 본딩하여 56Gbps 속도로 동작하는 직접변조 레이저를 개발하여(JQE 2017) 현재 100Gbps PAM4 동작의 광원을 상용화하고 있음.
- Co-packaged Optics 기술
 - Broadcom은 실리콘 포토닉스 PIC와 화합물반도체 광원을 집적하여 Co-packaged Optics 모듈을 개발하였으며, Intel은 32채널 이종결합 기반 광원과 실리콘 링 변조기를 이용하여 16채널의 1.6Tbps Co-packaged Optics용 칩셋을 개발함.(OFC 2022)

다) 기술 수준 및 역량 평가

□ 기술 수준 분석

○ CMOS 기반 6G 무선통신 반도체 기술

- Upper-mid Band 빔포머 기술
 - 미국 Analog Device, Anokiwave, NXP 등 반도체 부품회사에서 빔포밍 관련 제품을 생산하고 있음.
 - 미국 대학 중심으로 대면적 배열 안테나의 위상, 진폭, 온도 정보 등을 제공할 수 있는 알고리즘을 연구 중
 - 국내에서도 학연 중심의 빔포밍 부품 기술 개발이 진행되고 있고, 15dBm 이상의 부품은 검증되고 있어 미국과 3년 정도 기술 격차를 보이고 있다고 판단됨.
- SOI 기반 반도체 기술
 - 미국의 ST Microelectronics, Global Foundry 등 RF 공정 최적화를 위한 FD-SOI 공정을 상용화
 - 미국의 MixedComm은 FD-SOI를 이용하여 고성능 빔포밍 부품을 개발, 높은 출력과 높은 격리도를 제시
 - 한국도 DB하이텍과 삼성전자에서 FD-SOI 공정을 개발하였으나 mmWave 소자 개발을 위한 모델링 및 설계기술 연구 초기 단계

○ 화합물 기반 6G 무선통신 반도체 기술: 증폭기(FEM) 용 소자 기술 수준

- Si/SOI CMOS

- Si CMOS 기술은 technology node의 발전을 통해 특성을 개선해왔음. 2007년 미국의 IBM에서 $f_T/f_{max} = 345/485$ GHz의 특성을 가지는 45 nm 급의 SOI CMOS 소자 결과를 발표하였으며, 최근에는 물질적 한계로 인해 많은 연구가 진행되지 않는 상황임.
- SiGe HBT
 - Si에 비해 높은 전자이동도를 가지는 SiGe 기반 수직형 bipolar heterojunction transistor (HBT)가 주로 연구되고 있으며, 미국의 DARPA 프로젝트를 통해 초고주파 특성을 가지는 SiGe HBT를 CMOS와 함께 집적화하는 연구가 수행되고 있음 (BiCMOS 개발). 2016년 독일의 Innovations for High Performance Microelectronics에서 $f_T/f_{max}=505/720$ GHz의 특성을 가지는 SiGe HBT 소자 개발
- GaN HEMT
 - GaN 소재는 매우 큰 bandgap을 가지고 있어 높은 출력이 필요한 전력증폭기 (PA) 제작에 GaN HEMT가 활용되고 있음. 하지만, InP 대비 낮은 전자이동도를 가지므로, 초고주파 동작 특성을 확보하기에는 어려움이 있음. 미국 HRL 사에서 2015년 $f_T/f_{max} = 454/444$ GHz의 특성을 가지는 GaN HEMT 소자 결과를 발표함
- InP HBT/HEMT
 - THz 급의 동작 속도를 가지는 소자 제작에 가장 많이 활용되고 있음. 높은 출력이 필요한 전력증폭기 (PA) 제작에는 InP HBT가 활용되고 있으며, 고속/저잡음 특성이 요구되는 저잡음 증폭기 (LNA) 제작에는 InP HEMT가 활용되고 있음. 미국 Teledyne 사에서 2011년 $f_T/f_{max}= 521/1150$ GHz의 특성을 가지는 InP HBT 소자 결과를 미국 Northrop Grumman (NGAS) 사에서 2015년 $f_T/f_{max}= 610/1500$ GHz의 특성을 가지는 InP HBT 소자 결과를 발표함.
 - 2020년 경북대에서 전류이득차단주파수(f_T) 738 GHz의 세계 최고 수준의 게이트 길이 19 nm의 $In_{0.8}Ga_{0.2}As$ 기반의 InP HEMT-소자 기술 및 2021년 $f_T/f_{max} = 706/962$ GHz의 주파수 동작 특성을 갖는 InP HEMT 소자 결과를 발표함.
- 6G 유선통신 반도체 기술
 - 세기변조 유선통신 반도체 기술
 - 세기변조 광원기술은 미국 II-VI, Lumentum과 일본의 Sumitomo, NTT 등이 200Gbps급 광원 기술을 보유하고 있음.
 - 국내에서도 ETRI에서 100Gbps급 광원 개발을 완료하였으며 200Gbps급 광원에 대한 연구를 진행 중임.
 - 코히어런트 유선통신 반도체 기술
 - 코히어런트 광집적회로 기술은 미국의 Acacia, Infinera, II-VI 등이 파장당 800Gbps급 소자 기술을 확보하여 세계 최고 수준의 기술을 보유하고 있음.
 - 국내에서는 400Gbps급 코히어런트 수신기 및 파장가변광원 기술이 개발되었으나 변조기 및 DSP 기술은 선진국과의 격차가 있음.

- 유선통신용 이종결합 반도체 기술
 - 미국, 일본, 유럽 등에서 이종결합 광반도체 소자에 대한 연구가 활발히 진행 중
이나 국내에서는 개별 소자 연구가 주를 이루고 집적 소자의 연구는 초기 단계임.

□ 기술 역량 분석

○ CMOS 기반 6G 무선통신 반도체 기술

- Uppder-mid Band 빔포머 기술
 - 국내 기술은 해외 상용 부품 대비 낮은 출력을 가지는 등 성능적 열차가 있으며 AI를 위한 모니터링 기술의 부재
 - 국내 빔포밍 기술에 대한 투자가 지속적으로 지원되면서 AI 빔포밍을 위한 국내 IPR이 확보 중.
- Uppder-mid Band SOI 기반 반도체 기술
 - FD-SOI를 이용한 고성능 부품 기술들이 발표되고 있음.
 - DB 하이텍 및 삼성전자에서 FD-SOI 공정을 보유하고 있음.
 - 성장하는 5G/6G 시장에 국내 공정을 이용하여 가격 경쟁력을 확보한 부품 개발 가능
- CMOS 기반 회로 설계기술
 - 6G 통신에서는 초고주파, 초저잡음 신호생성기, 고주파, 고정밀 ADC/DAC 등의 기반 회로 기술이 매우 중요함.
 - 미국에서는 기존 통신 시스템의 개발 과정에서 6G 통신 구현의 기반이 되는 다양한 고성능 IP 등을 확보한 상황
 - 반면 우리나라는 기반 설계기술과 IP를 확보하지 못한 상황으로 이에 대한 개발 지원이 절실. 이러한 설계기술 및 기반 IP는 6G 이외 또는 이후의 다양한 미래 IT 어플리케이션에서 범용으로 사용될 수 있음.

○ 화합물 기반 6G 무선통신 반도체

- 서브테라헤르츠(100~300GHz) 대역 반도체
 - 6G 통신에서 테라헤르츠 대역 서비스가 제공될 것으로 예상되며, 선도적 성격의 국내 연구개발을 통해, 향후 테라헤르츠 기반 근거리 통신의 표준화 작업과 상용화 촉진 및 핵심 원천기술의 확보가 가능함.
 - 주파수 대역이 높아지면서 상용 반도체 공정을 가지고 개발할 수 있는 어플리케이션이 제한되면서 반도체 선진 국가들에서 다양한 화합물 반도체를 이용한 소자 개발에 박차를 가하고 있음.
 - MMIC 회로의 noise 특성을 향상시키기 위해서는 소자 자체의 noise를 줄인 저잡음 소자로 회로가 구성되어야 할 뿐 아니라, 소자에서 발생하는 noise가 회로의 전기적 성능에 미치는 영향이 최소화되도록 MMIC 회로가 설계되어야 함.

○ 6G 유선통신 반도체 기술

- 세기변조 광원기술의 경우 광가입자망, 프론트홀 등 국내 수요를 기반으로 산업

기반이 있으며 연구소를 통한 기술 개발도 상용화 수준에 근접하고 있음.

- 코히어런트 광부품은 기술적 난이도와 국내 시장 규모 등으로 어려움이 있으나 연구소를 통한 기반 기술을 확보하고 있으며 코히어런트 시장의 확대에 기술 개발의 필요성이 증대되고 있음.
- 이종결합 반도체 기술은 아직 초기 단계이나 6G 대용량 데이터 전송을 위해 필요한 기술로 개별 소자 최적화 및 효율적인 이종결합을 위한 기술 개발로 성능 확보 및 에너지 절감을 구현할 수 있음.

【 6G 이동통신 반도체 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • Upper-mid Band 대역 부품 부재 및 낮은 기술 수준 • 6G용 국내 ADC/PLL 등 기초 IP 기술 보유 부재 • 화합물 반도체 기반의 소재, 부품을 생산하기 위한 국내 기술 기반이 취약함. • 화합물 반도체는 전적으로 해외 파운드리사에 의존 • 초고속 직접변조 대역폭 한계 • 집적도 증가에 의한 소자 성능 및 수율 확보의 어려움. 	<ul style="list-style-type: none"> • 국내 반도체 Foundry 기술과 협업을 통해 세계적 수준의 Upper-mid Band IP 확보 • 기존의 구조와 전혀 다른 새로운 구조의 RF 기술 개발 • 6G 통신과 같은 대규모의 수요에 대응 가능한 화합물 반도체 기반 국내 연구소 및 기업 육성 • 광자 공진을 이용한 대역폭 확대 기술 개발 • 이종 결합 기술을 통한 최고 성능 및 수율 확보
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • 삼성전자 중심 5G/6G 통신 표준 및 시스템 기술 선도 및 이를 통한 광통신 수요 급증 • Upper-mid Band E-MIMO 기술 출현으로 AI 빔포밍 부품 시장 확대 및 이를 위한 광 부품 확대 • 국내 생산기술 확보를 위한 연구개발 진행 중. • 광트랜시버 및 장비 등 국내 수요업체의 기반 확보 	<ul style="list-style-type: none"> • DB Hitek SOI CMOS 공정 보유 • 삼성전자 FD-SOI CMOS 공정 보유 • 경북대에서 세계최고 수준의 InP HEMT 소자 기술 보유 • 전자통신연구원 HBT 소자 기술 개발 경험 보유 • 광통신 소자 관련 세계 수준의 기술력 보유

라) 중장기 기술발전 전망

□ 기술의 현재와 미래

○ CMOS 기반 6G 무선통신 반도체 기술

- Upper-mid Band 빔포머 기술

- 상용화 전단계의 부품 기술 확보되었으나 해외 양산기술 대비 비교 열하의 성능을 보유하고 있음.
- 국내 공정 기술 수준이 높아지고 있고 공동연구가 가능한 환경으로 2~3년내에 세계적인 부품 수준 기술력 확보 가능
- 향후 디지털 빔포밍 기술로 진화하여 AI 기술을 전면적으로 제공하는 기술로 진화 예상

- Upper-mid Band SOI 기반 반도체 기술

- SOI를 이용한 FEM 기술은 Sub 6GHz 응용으로 머물러 있으나 5G/6G에 대응할 수 있도록 밀리미터 회로 설계 가능한 수준으로 모델링 등 환경 구축
- 국내 최초 국산 공정만을 이용한 FD-SOI FEM 개발

【 6G 무선통신 반도체의 요소 기술에 대한 현재와 미래 】

요소 기술	현재	미래
Upper-mid Band 빔포머 기술	<ul style="list-style-type: none"> • 낮은 출력의 연구실 수준의 빔포밍 반도체 부품 • 단일 채널 진폭 정보를 제공하는 빔포밍 부품 	<ul style="list-style-type: none"> • 상용 수준의 높은 출력을 제공하는 빔포밍 반도체 부품 • 대면적 배열의 채널 진폭/위상/온도 정보를 동시에 제공하는 빔포밍 부품
Upper-mid Band SOI 기반 반도체 기술	<ul style="list-style-type: none"> • 국내 SOI를 이용한 Sub 6GHz 단일 반도체 부품 • 해외 Bulk CMOS 반도체를 이용한 빔포밍 부품 	<ul style="list-style-type: none"> • 국내 SOI를 이용한 Upper-mid Band 대역 소자 모델링 및 설계기술 • 국내 SOI를 이용한 FEM 부품 기술
CMOS 기반 서브테라헤르츠 빔포머	<ul style="list-style-type: none"> • 고정 위치 1:1 무선통신만 지원 • 수동형 위상변위기 기반 빔포밍 	<ul style="list-style-type: none"> • 이동 단말과의 N:M 무선통신지원 • 소형 고정밀 빔포밍
CMOS 기반 서브테라헤르츠 대역 초저잡음 신호생성 회로	<ul style="list-style-type: none"> • 전통적인 아날로그/RF 회로 설계 기술을 기반으로 연구가 진행되어 주파수 및 잡음 성능 한계 • 광대역 LO 주파수 생성을 위하여 복수 LO 신호 생성기가 비효율적으로 집적. 실리콘 면적 및 제작 비용의 증가가 심각 	<ul style="list-style-type: none"> • 신호처리 기법을 적용하여 CMOS의 물리적 한계를 극복하는 새로운 아날로그/RF 회로설계기법 • 광대역 주파수 대역의 복수 반송파 신호를 효율적으로 생성 및 분배할 수 있는 새로운 구조의 LO 신호 생성기
CMOS 기반 서브테라헤르츠 초광대역 송수신 Front-End회로	<ul style="list-style-type: none"> • 협대역 RF 구성회로 (믹서, 증폭기, 버퍼 등) • 초고주파 대역에서의 Gain, Noise Figure 등의 성능 열화 문제 	<ul style="list-style-type: none"> • 수십GHz 초광대역 RF 구성회로 (믹서, 증폭기, 버퍼 등) 회로 • 초고주파 대역에서의 CMOS 성능의 한계를 극복할 수 있는 새로운 회로 및 송수신기 구조
CMOS 기반 초고속, 고분해능 ADC/DAC 회로	<ul style="list-style-type: none"> • Time Interleaved 구조의 front-end의 band를 향상시키는 기술 개발 위주 • Multi channel를 사용함에 따라 발생하는 time skew error를 줄이기 위한 calibration 기술 	<ul style="list-style-type: none"> • PVT robust, wide input range를 갖는 초고속, 초저전력의 dynamic amplifier 기술 개발 • Reference ADC 없이 time skew error를 제거하는 background calibration 기술 개발 • Clock duty/skew error를 제거할 수 있는 background calibration 기술 개발
화합물 기반 반도체 소재/소자 기술	<ul style="list-style-type: none"> • 화합물 기반 반도체 전자소자는 해외의 파운드리 업체에 의뢰하여 제작 • 학-연 주도의 연구 단계에서 소재, 소자 기술 개발이 이루어지고 있으나, 산업화 단계로 발전 필요 • InP HEMT의 경우 국내 경북대 	<ul style="list-style-type: none"> • 화합물 기반 반도체 소재/소자 기술의 국산화를 통해 해외 의존성 극복 • 국내 산-학-연의 화합물 반도체 기술 개발을 통해 Sub-mmWave 및 고주파 영역의 핵심 소재 기술 확보

	연구진에서 세계 최고 수준의 소자 기술 보유	<ul style="list-style-type: none"> 국내 기업의 화합물 반도체 파운드리 사업화를 통해 국산 기술 상용화
Sub-THz 대역 MMIC 설계/공정 기술	<ul style="list-style-type: none"> 해외 파운드리 공정에 의존된 MMIC 연구 Sub-THz 대역에서 동작하는 회로 설계/제작 기술의 경우 현재 국내 기술 수준 취약 학-연 주도 Sub-THz 대역 MMIC 연구 중심 	<ul style="list-style-type: none"> 국산 기술만을 이용한 소재/소자, MMIC 기술 확보를 통한 설계/공정 기술 개발 효율성 확보 화합물 기반 소재/MMIC 공정의 해외 의존도 완화와 기술 개발 주기 단축 환경 구축 선진국 수준의 Sub-THz 대역 MMIC 설계/공정 기술 확보
세기변조 광원 기술	<ul style="list-style-type: none"> 직접변조 광원기술은 25Gbps, 50Gbps 수준에 머무르고 있음 외부변조 광원은 100Gbps 동작 및 4채널 광원 기술 개발이 주력을 이루고 있음 	<ul style="list-style-type: none"> 광학적 공진 등 새로운 기술을 이용하여 100Gbps, 200Gbps 급 직접변조 광원 활용 외부 변조 광원의 변조속도는 200Gbps 이상으로 발전하며 동작 온도 대역 확대
코히어런트 광집적회로 기술	<ul style="list-style-type: none"> 파장당 400Gbps 코히어런트 광소자 기술이 상용화되고 있음. 	<ul style="list-style-type: none"> 채널당 테라급(1.2Tbps 또는 1.6Tbps) 코히어런트 광집적회로 기술 단거리 코히어런트 적용을 위한 광집적회로 및 DSP 경량화
이종 결합 광소자 기술	<ul style="list-style-type: none"> 이종결합을 이용한 광소자 기술은 다양한 방법으로 연구 수준에 머무르고 있음. 개별 광소자의 패키징을 이용한 광트랜시버가 통신에 활용됨. 	<ul style="list-style-type: none"> 실리콘 기판을 활용한 대면적의 이종결합 기반의 광소자 기술 개발로 저전력, 대용량 기술 구현 변조 속도의 향상과 대규모 입출력 수용이 가능한 광집적회로 기반의 광송수신 칩렛이 xPU, 스위치 등과 집적화

(3) 산업 및 시장 분석

가) 시장 동향 분석

□ 국내·외 시장 동향

○ 5G 이하 유무선 통합 세계 시장이 2025년까지 약 1조 7,796.2억 달러까지 성장 전망

- 특히 유무선 통합 시장 중 가장 큰 범위를 차지하는 무선통신의 서비스 분야가 2025년까지 1조 771.5억달러까지 성장할 것으로 전망(출처 : ICT R&D 기술로드맵 2050(통신·전파) 중 이동통신, 네트워크 분야 시장데이터)

○ CMOS 기반 6G 무선통신 반도체 기술

- 국내 통신 네트워크 부품 및 장비 시장

- 2019년은 5G 통신 네트워크 구축을 위한 국내 통신사의 네트워크 장비 수요 증가로 전년 대비 3.8% 성장하여 1조원 이상 규모이며, 이로부터 6G 상용화시 초기 시장규모를 예측 가능

【 국내 이동통신 인프라 및 장비 시장 규모 】

(단위: 십억 원)

구분	2018	2019	2020	2021	2022	2023	CAGR ('18-'23)
스마트폰	15,930.	15,961.	17,387.	17,868.	17,040.	16,487.	0.7%
피쳐폰	3	2	3	4	2	5	-18.1%
이동 인프라	1,070.2	1,179.0	1,294.5	1,361.3	1,404.1	1,424.1	5.9%
Total	17,037.	17,178.	18,704.	19,247.	18,459.	17,925.	1.0%

* 출처: IDC, Korea ICT Market, 2019. 10

- 세계 무선백홀 시장

- 테라헤르츠 대역 부품이 우선 적용될 것으로 예상되는 백홀 장비와 관련하여 마이크로웨이브 무선백홀 장비 시장은 '16년부터 '21년까지 36~39억 달러 규모를 형성 전망되며, 100Gbps 이상의 대용량 백홀 수요 증가에 따라 기존 마이크로웨이브 증계기는 테라헤르츠 대역으로 교체 가능

【 세계 마이크로웨이브 무선백홀 장비 시장 규모 】

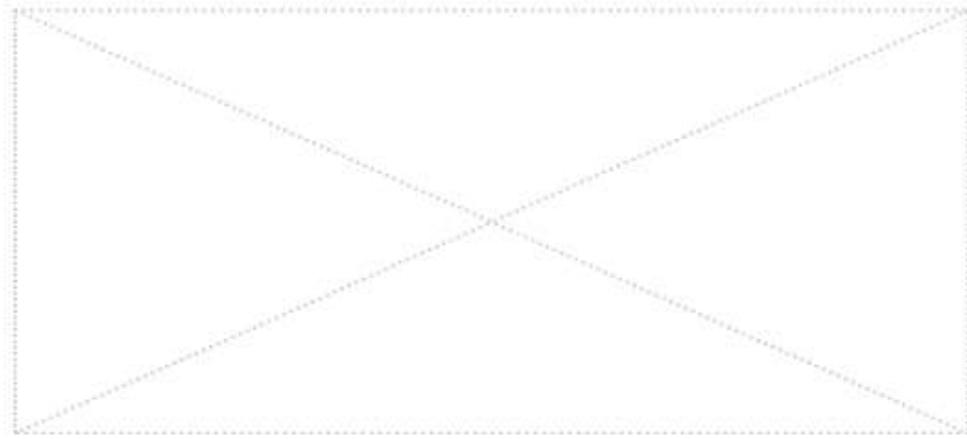
(단위: 백만 달러)

구분	2016	2017	2018	2019	2020	2021	CAGR ('16-'21)
TDM	10.4	1.9	0.0	0.0	0.0	0.0	-100%
Ethernet	1,521.2	1,701.7	2,148.3	2,579.6	2,780.2	2,974.9	14.4%
Dual Ethernet/TDM	2,202.0	1,548.7	767.2	531.9	371.7	169.4	-40.1%
V Band	21.7	53.3	54.1	83.8	112.2	136.0	44.4%
E Band	165.0	179.6	206.1	281.0	356.1	415.2	20.3%
합계	3,920.3	3,485.2	3,175.7	3,476.3	3,620.3	3,695.5	-1.2%

* 출처: IHS, Microwave Network Equipment, 2017. 8.

- 한편 OBRC의 2019년 자료에 의하면 세계 무선백홀 시장은 2020년 3조 8천억 원에서 2023년 5조 6천억 원 이상 규모로 증가 전망하며 이중 RF 부품 원가 비중을 고려하면 약 5천억 원 규모로 예상
- 아래의 차량 소요 데이터 트래픽 전망에 따르면 고속철도/버스 및 자율주행차에서 이루어지는 무선 데이터 수요 증가에 따라 이동형 무선백홀 시장도 크게 증가할 것으로 전망

【 이동 및 무선 백홀 시장 규모 】



* 출처: OBRC Report

- 밀리미터웨이브 프론트홀 시장

- 밀리미터웨이브 프론트홀도 대용량화 수요에 따라 테라헤르츠로 대체 가능한데, 관련 시장은 '19년 4억 달러에서 '30년까지 70%의 연평균성장률(CAGR)을 보일 것으로 예측

- 차량 소요 데이터 트래픽 전망

- 자율주행차 기술의 발전에 따라 차량 안에서 서비스가 더 자유롭고 다양해지면서 VR 및 홀로그램 서비스가 도입되면 개인당 1Gbps의 트래픽 수요가 예측되며 차량 당으로는 5~10Gbps의 트래픽이 요구됨. 한 셀에 수 십대의 자동차가 운행하고 있는 환경에서는 셀당 100Gbps~1Tbps 용량이 필요할 것으로 전망됨.

○ 5G/6G RF 반도체는 2025년까지 약 156.6억 달러까지 성장 전망

- CMOS 반도체와 화합물 반도체가 주로 사용되는 부품 시장을 크게 전력증폭기 (Power Amplifier), MIMO, Sub-THz 부품으로 나누고 각 시장의 매출 규모를 예상(출처 : IDTechEx “6G Communications Market, Devices, Materials 2021~2041”)

【 5G/6G 부품 시장 규모 분석 】

(단위:\$M)

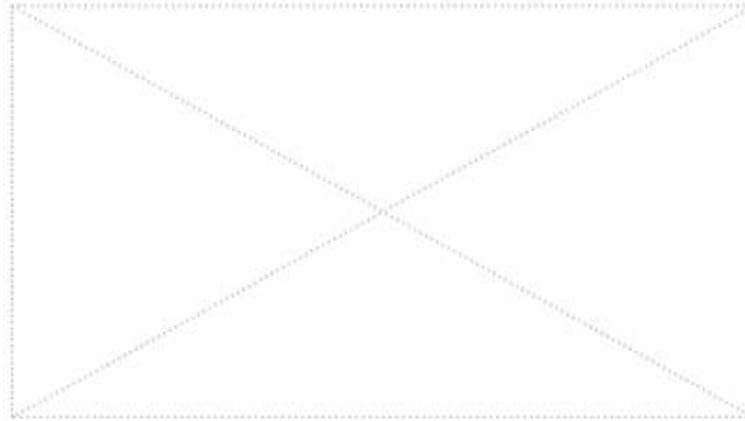
구분	2019	2020	2021	2022	2023	2024	2025	CAGR (%)
5G/6G 전력증폭기	40	400	1,000	1,600	4,000	8,000	10,666	225%
MIMO 부품	2	200	400	600	1,600	2,400	3,600	291%
Sub-THz 부품	17	22	27	34	42	53	68	121%
합계	59	622	1,427	2,234	5,642	10,453	15,668	221%

* 출처: IDTechEx (2021)

○ 화합물 기반 6G 무선통신 반도체 기술

- 2019년 Yole Development Report에 의하면 2019년 통신용 RF 모듈 관련 소자의 세계 시장 규모는 94억불에서 2025년에는 150억불로 지속적인 성장이 예상된다.

【 통신용 RF 모듈 시장 추이 】



* 출처: 2019 Yole Development Report

○ 6G 유선통신 반도체 기술

- 광 모듈/부품 시장은 2025년 249억불(29조원)로 성장이 예측되며 데이터센터 분야가 연평균 13%로 가장 빠르게 성장할 것으로 예측됨.

【 광 모듈/부품 시장 규모 분석 】

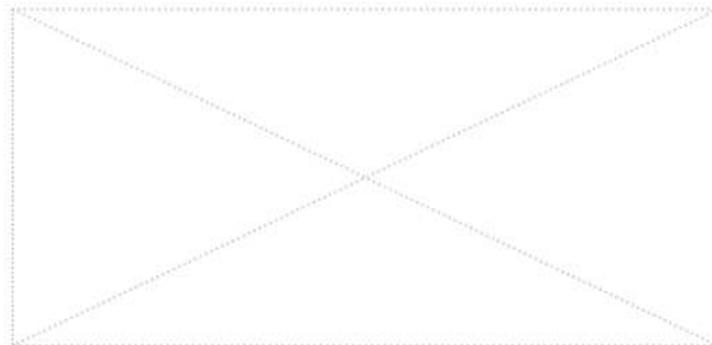
(단위:\$M)

구분	2019	2020	2021	2022	2023	2024	2025	CAGR (%)
전달망	7,390	7,956	8,857	9,938	10,259	10,502	10,666	6%
액세스	1,702	2,071	2,454	2,756	2,949	3,057	3,102	11%
데이터센터	5,212	5,230	6,063	7,127	9,104	10,133	11,094	13%
합계	14,304	15,258	17,374	19,821	22,312	23,693	24,862	10%

* 출처: Omdia (2020.11)

- Co-packaged Optics 시장은 2020년 6백만불에서 2026년 3억불, 2032년 22억불로 가파르게 성장할 것으로 예측됨.(Yole 2022)

【 데이터통신용 광모듈 시장 】



* 출처: Yole 2022

나) 산업 동향 분석

□ 국내·외 산업 동향

○ CMOS 기반 6G 무선통신 반도체 기술

- 5G에서는 n257~n261까지 24.25GHz~43.5GHz까지 최대 400MHz를 활용하여 256QAM을 적용 시 34.48Gbps의 높은 전송속도를 가지는 mmWave 대역 주파수를 활용하는 방안을 표준화하였으며 Cell Coverage를 위해 Sub-6GHz의 주파수를 표준화함.
- WRC-23 의제에서 6G를 위한 upper mid-band(7~24GHz)와 Sub-THz(92~174.8GHz)를 새로운 주파수로 논의할 예정
- 빔포밍 부품 기술은 보다 높은 파워/ 낮은 잡음지수를 요구하고 있어 기존 Bulk CMOS 반도체보다 우수한 성능의 반도체 기술을 요구

○ 화합물 기반 6G 무선통신 반도체 기술

- 국외 산업 동향
 - 해외 선진국들의 화합물 반도체 관련 기술은 전통적으로 GaAs 기반 시장이 주도를 했다면 고효율의 높은 전력을 낼 수 있는 GaN 기반 화합물 반도체 기술과 저잡음 특성 및 고주파 특성에 유리한 InP 기반 화합물 반도체 기술로 양분되어 갈 것으로 예상되며 상대적으로 InP 기반 화합물 반도체 기술은 시장형성의 초기 단계에 있어 국내 중소기업에서 기술 선점을 통한 시장의 지배력 강화에 유리함.
 - 무선통신 소자제조사의 Leading Company들은 주로 미국의 방위산업을 기반으로 성장한 Raytheon, Qorvo(RFMD+Triquint), HRL, Cree의 자회사인 Wolfspeed, Northrop Grumman사 등에서 GaAs 또는 GaN MMIC foundry 제공하고 있음.
 - GaN MMIC 제작을 위한 파운드리 서비스는 미국 NGC, Qorvo, RFMD, Wolfspeed와 유럽의 UMS, OMMIC이 있으며, InP MMIC 제작을 위한 파운드리 서비스는 미국 NGC와 Teledyne만이 가능함.

【 상용 파운드리 제공 업체 HEMT 사양 】

Parameter/ Technology	0.1 μ m GaAs PHEMT (미국, NGC)	0.1 μ m InP PHEMT (미국, NGC)	0.1 μ m GaAs MHEMT (유럽, OMMIC)	0.1 μ m GaN HEMT (유럽, OMMIC)
f_T [GHz]	120	180	150	110
f_{max} [GHz]	250	350	250	160
g_m [S/ μ m]	650	1200	700	650
V_{ds_max} [V]	4	1.2	6	25
I_{dss} (A/ μ m)	250	150	300	700
Wafer thickness (μ m)	50 & 100	75	50	100

- Skyworks, Qorvo, Wolfspeed 등 이동통신 단말 부품기업에서 밀리미터파 대역 다양한 상용 집적회로 제품군을 보유하고 있음.
- 테라헤르츠 대역 집적회로 설계 및 제작을 위한 상용 파운드리 서비스는 미 NGC와

Teledyne 사의 InP MMIC 파운드리가 제공됨.

- 일본에서 NTT와 오사카대학 연구팀이 광부품 기반 연구 경험을 바탕으로 테라헤르츠 전자소자 기반의 집적회로 시스템 연구를 수행하여, InP HEMT 기반의 300 GHz 송수신 시스템을 구현, 9.8 m 링크에 대해 120 Gbps 전송 속도를 구현함.

- 국내 산업 동향

- 국내 중견기업인 (주)큐에스아이는 약 20년간 InP, GaAs기반의 화합물 반도체의 Epi성장 및 웨이퍼내 패턴 및 구조를 제조할 수 있는 양산 노하우를 보유하고 있고 InP계 HEMT 소자 기반으로 HEMT 개발 및 초저잡음 증폭기와 같은 MMIC 개발 중에 있으며 최근 해외 업체인 L사(스웨덴)로부터 수주를 받아 공동 개발 및 2020년 1월 판매 실적을 가지고 있음.
- 스피셀용 5G 전력증폭기 모듈은 브로던, 성산전자, 휴미디어 등 국내 중소기업들이 미국의 Qorvo 칩을 수입하여 이노와이어리스 같은 국내 기업에 납품 및 해외 수출을 진행하고 있음.
- 지하철, 학교, 건물 등에 배치된 SK, KT 5G 스피셀 기지국에 들어가는 전력증폭기 부품도 미국의 Qorvo 칩이 사용되는 것으로 분석함.
- 5G 스피셀용 전력증폭기를 제외한 GaN 관련 제품은 국내 기업인 (주)RFHIC가 GaN 트랜지스터, 매크로셀용 전력증폭기, Microwave Generator, 국방용 GaN 통신 시스템 등의 제품을 보유하고 국내 삼성전자, LIG 넥스원 등에 납품하는 상용화 기술력을 보유함.

○ 6G 유선통신 반도체 기술

- 광통신 분야는 기술적 난이도 증가에 따른 칩 기술의 중요성 증가에 따라 인수, 합병 등을 통한 수직 계열화 및 대형화가 활발히 진행되고 있음.
- 코히어런트 시장 규모의 확대에 따라 기술 개발에 투자가 확대되고 있음.
- 데이터센터, 인공지능 시장의 확대에 따라 Intel, Nvidia, AMD 등이 직접 Co-packaged Optics 관련 기술 개발에 투자하고 있음.
- 국내에서는 주로 이동통신 및 광가입자 시장이 주력이나 최근 시장 규모 및 성장률이 가장 큰 데이터센터와 향후 시장 확대가 예측되는 코히어런트 부품에 대한 시장 진입이 시도되고 있음.

다) 정책분석

□ 주요국의 정책동향

- (미국) 망 중립성 폐지, 국가 인프라 투자를 통한 경제 회복을 강조하는 중국의 부상 등에 따라 차세대 이동통신 인프라 투자 확대 전망
- 국방부 산하 연구기관인 방위고등연구계획국(Defense Advanced Research Projects Agency: DARPA)은 6세대 이동통신 연구 프로젝트 본격 착수 발표 (2017. 5)

- (EU) 핀란드 오울루 대학은 세계 최초로 6G 연구 개발을 시작
 - (핀란드 오울루 대학) 6G 개념설계에 착수하였으며, 비전으로 ‘데이터 중심의 실시간·무제한 무선연결 사회’를 제시
 - (6G Summit) ‘6G는 인간 중심이어야 하고, 전 세계 모든사람들이 소외 계층이 없도록 위성, 바이오 통신 등을 이용하여 모두 연결되는 것’이라고 정의
- (일본) 일본 총무성은 2030년대의 사회문제 해결 및 사회 가치를 실현하는 무선 인프라를 국가 성장전략으로 설정하고, 장기적인 주파수 확보 및 B5G 시스템, 차세대 위성시스템 등 기술 혁신 계획 수립
 - 일본 전신전화주식회사(NTT)는 지난 5월 세계 최초로 100Gbps 무선전송 시연 성공 발표
- (중국) 공신부가 6G 연구 개발의 구체적 청사진을 발표, 2030년까지 상용화를 목표로 6G 통신인프라 핵심기술 연구에 착수
 - 다운로드 속도를 초당 1TB로 향상시키고, 2030년에 상용화뿐만 아니라 지상 애플리케이션 외에 수중 통신도 고려 중
 - 2030년 5G보다 전송속도가 5배 빠른 이동통신망 개발(100Gbps 이상의 전송속도 구현)하겠다는 것이 골자로 이를 통해 인간이 생활하는 환경 자체가 통신망에 연결되는 만물 지능 인터넷(AIoE: Ambient IoE) 시대를 개막한다는 것으로 보임.

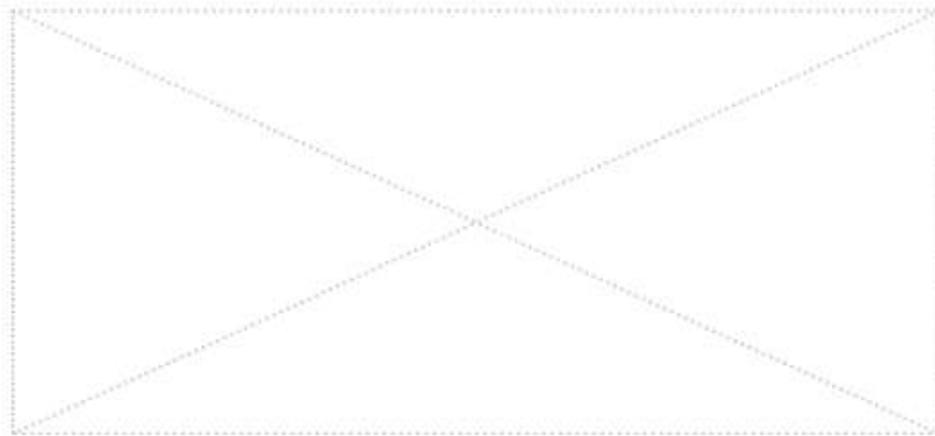
(4) 핵심 전략기술 및 로드맵

가) 핵심 전략기술

○ 전략기술 1: AI 빔포밍 지원을 위한 Upper-mid Band 빔포밍 부품 개발

- (정의) 6G 반도체 부품 기술이 RAN의 CSI(Channel State Information)을 제공하여 AI 반도체가 네트워크 효율성을 극대화할 수 있도록 Upper-mid Band에서 동작하는 다채널 빔포밍 부품을 개발

【 AI 지원을 위한 채널 상태 모니터링 기능이 포함된 다채널 빔포밍 IC 】



- ❶ 5G의 Sub-6GHz 주파수 대역과 같은 활용도를 가진 6G의 새로운 주파수 대역은 Upper-mid Band 대역(7~24GHz)으로 대량 생산이 가능한 관련 반도체 기술력 확보가 필요
- ❷ Upper-mid Band 사용하여 통신 Capacity를 늘리고자 하는 6G 기술의 경우 기지국의 빔포밍 기술 채용을 필수 불가결한 요소로 인정하고 있어 이를 위한 빔포밍 반도체 부품을 개발해야 함.
- ❸ 6G 빔포밍 시스템은 E-MIMO(Extreme MIMO)를 필요로 하면서 복잡한 제어가 필요하기에 AI 기술이 제어할 수 있는 빔포밍 반도체 부품이 필요

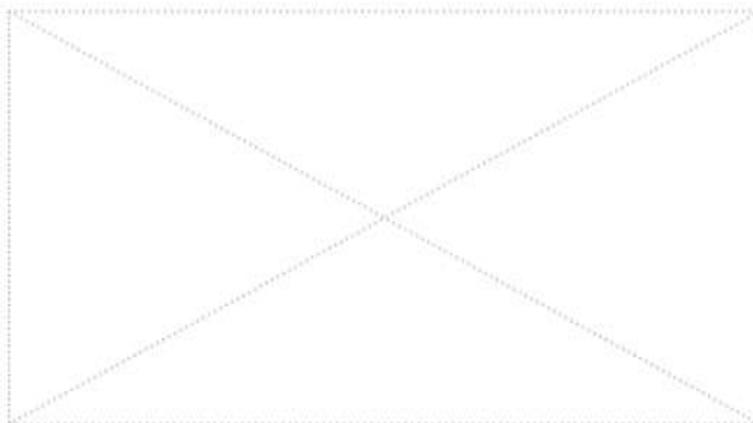
【 AI 빔포밍 지원을 위한 Upper-mid Band 빔포밍 부품 개발 요소기술 】

전략기술	AI 빔포밍 지원을 위한 Upper-mid Band 빔포밍 부품 개발
기술소분류	요소기술
SOI 기반 반도체 기술	<ul style="list-style-type: none"> • Upper-mid Band 밀리미터 대역 송신/수신 모델링 기술 • Upper-mid Band 고출력 Power Amplifier 기술(Psat 20dBm) • Upper-mid Band Low Noise Amplifier 기술(NF< 2dB) • Upper-mid Band 6-bit 이상 Phase Shifter 기술 • Upper-mid Band 5-bit 이상 Attenuator 기술 • Code Modulated Phase/Magnitude Sensor 또는 Digital 빔포밍 기술 • Code Thermal Sensor 기술 • 4채널 Vertical/Horizontal 빔포밍 반도체 부품 기술

○ 전략기술 2: 고출력 GaN HEMT 소자 집적화 및 모델링

- (정의) Upper-mid Band 대역(7~24GHz)의 6G RF 기지국용 송수신기 구현을 위해 고출력/고효율 GaN HEMT 반도체 소자 및 MMIC 설계/공정기술. 60 GHz 이상의 전류 차단 주파수 (fT)와 80GHz 이상의 최대 공진 주파수 (fmax) 특성을 갖는 것이 필수적이며, 광대역 주파수 대역(7~24 GHz)에서 동작할 수 있는 GaN MMIC 설계 기술 및 공정기술이 필요함.
- ❶ 5G의 Sub-6GHz 주파수 대역과 같은 활용도를 가진 6G의 새로운 주파수 대역인 Upper-mid Band 대역(7~24GHz)에서의 광대역 GaN MMIC 동작을 위해 충분한 RF 특성을 보유한 GaN HEMT 전력증폭소자 기술이 필요함.
- ❷ Upper-mid Band 대역(7~24GHz)에서 초광대역 MMIC 설계를 위한 능동/수동소자 모델링
- ❸ Upper-mid Band 대역(7~24GHz)에서 동작 가능하기 위해 광대역 MMIC(전력 증폭기, 스위치) 설계기술 확보가 필수적임.

【 GaN MMIC 기반 Upper-mid band FEM 개념도 】



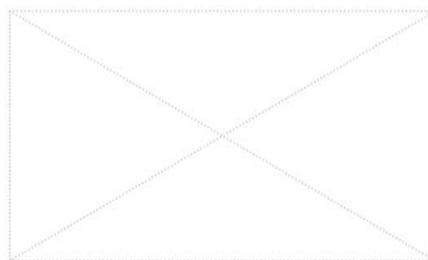
【 Upper-mid Band급 GaN 기반 Front-End Module 개발 요소기술 】

전략기술	Upper-mid Band급 GaN 기반 Front-End Module 개발
기술소분류	요소기술
Upper-mid Band(7~24GHz) 대역 반도체	<ul style="list-style-type: none"> • 고출력/고효율 GaN 기반 HEMT 반도체 소자 기술 • 0.15 μm GaN HEMT 라이브러리 기술 • GaN 기술을 이용한 초광대역 MMIC 전력증폭기 기술 • GaN 기술을 이용한 초광대역 MMIC 스위치 기술 • GaN 기술을 이용한 초광대역 MMIC FEM 기술

○ 전략기술 3: 테라급 대용량 광송수신 엔진 기술

- (정의) 폭발적으로 늘어나는 데이터 전송 용량 수용을 위한 다양한 전송 방식의 수용이 가능한 이종 결합 기술 기반의 저전력, 대용량, 다채널 광송수신 엔진 기술
- ① 저전력, 초고속 직접변조 광원 및 광수신기 기술
 - 프론트홀, 데이터센터의 대용량 신호 전송을 위해 채널당 100/200Gbps 동작이 가능한 저전력 고속 동작 직접변조 광원 기술의 개발
 - 직접변조 광신호 수신을 위한 채널당 100/200Gbps 동작이 가능한 광수신기 기술
- ② 코히어런트 광소자 설계 기술
 - 파장당 테라급 코히어런트 통신을 위해서는 200Gbaud급 광소자 기술 개발이 필요하며 이를 위해 화합물반도체 기반의 저손실 광변조기 기술 개발이 필요함.
 - 초고속 코히어런트 기반 광신호 전송을 위한 고출력, 저선폭 및 넓은 파장가변 범위를 가진 레이저 기술 개발이 필요함.
- ③ 이종 결합 기반 대용량 광송수신엔진 기술
 - 전송용량 증대를 위해서는 광집적회로 기술을 통한 채널 수 확대가 중요하며 16채널 이상의 광송수신 신호 전송이 가능한 실리콘 플랫폼 기술
 - 이종 결합 소자 간 고속 전기 신호 전송을 위한 인터포저 및 고효율 광결합 기술
 - 6G 프론트홀 및 데이터센터 내부 적용을 위한 직접변조 기반 3.2Tbps급 광송수신 엔진 기술
 - 데이터센터간 및 메트로 통신을 위한 코히어런트 통신 기반 3.2Tbps급 광송수신 엔진 기술

【 3.2Tbps 광송수신 엔진 개념도 】



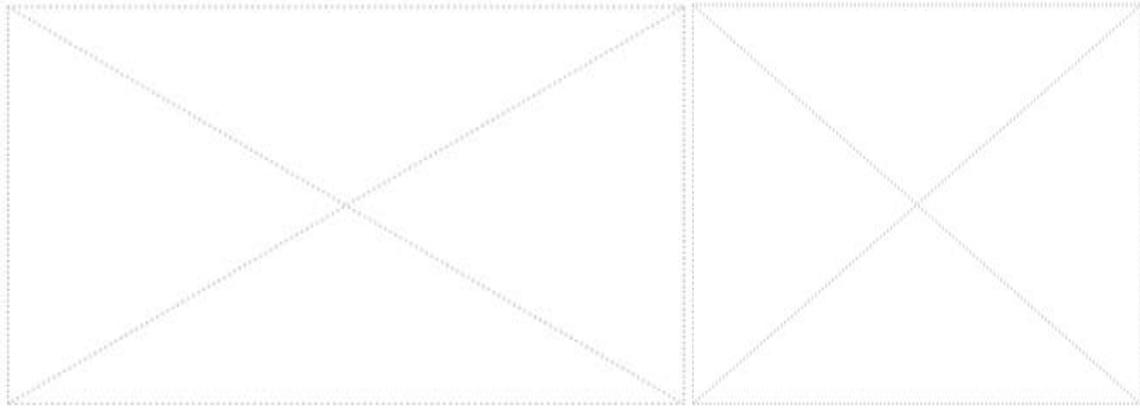
【 테라급 대용량 광송수신 엔진 기술 요소기술 】

전략기술	테라급 대용량 광송수신 엔진 기술
기술소분류	요소기술
단거리 통신용 광통신 반도체	<ul style="list-style-type: none"> 저전력, 초고속 직접변조 광원 설계 기술 초고속, 고반응도 광수신기 설계 기술
중장거리 통신용 광통신 반도체	<ul style="list-style-type: none"> 코히어런트 통신용 초고속 광변조기 설계 기술 고출력, 저선폭, 광대역 파장가변광원 설계 기술
유선통신용 이종집적 반도체	<ul style="list-style-type: none"> 이종 결합용 실리콘 플랫폼 설계 기술 이종 결합용 화합물 광반도체 설계 기술 이종 결합 기반 광송수신 엔진 설계 기술

○ 전략기술 4: CMOS 기반 서브테라헤르츠 대역 6G 무선통신 IC

- (정의) 0.1 ~ 0.3THz 주파수 대역의 10GHz 이상 대역폭을 활용하여 1Tbps 이상의 전송속도를 달성하는 6G RF 빔포밍 송수신기 반도체 회로 및 구조 설계 기술. 복수의 단말기 수용을 전제로 다중빔을 가지면서 CMOS 전력증폭기의 낮은 출력을 보완할 수 있는 고이득 빔성형 위상배열 안테나용 빔포밍 회로를 중심으로, 초광대역 송수신기 회로, 초저잡음 신호생성회로, 초광대역 초고분해능 ADC/DAC 등 다양한 회로 설계 기술의 종합적인 발전이 필수
- ① CMOS 기반 서브테라헤르츠 빔포머 및 송수신 회로 설계 기술
 - 서브테라헤르츠 대역에서는 안테나의 물리적 크기가 매우 작아지기 때문에 다채널 빔포머를 효율적으로 구성하기 위해서도 칩 면적을 안테나 크기 수준으로 줄일 수 있는 CMOS 공정기반 빔포머 RF칩 개발이 필수적임. 또한, 광대역에서 높은 이득 및 낮은 노이즈 성능을 유지할 수 있는 PA, Mixer, LNA, Filter 등의 RF 기반회로의 개발도 필요
- ② CMOS 기반 서브테라헤르츠 대역 초저잡음 신호생성 및 분배 기술
 - 주파수가 올라갈수록 고차 변복조 지원을 위한 LO 신호의 잡음은 더욱 더 줄어들어야함. 예를 들어, 64QAM 지원을 위하여 D-band 대역에서의 LO 신호의 RMS 지터 값은 40fs 미만으로 줄어들어야 하지만 이는 현재의 회로 설계기술로는 불가능한 수준. 따라서 1Tbps 전송 속도 달성을 위한 초저잡음 신호생성 회로설계 기술의 개발이 필요.
- ③ CMOS 기반으로 수십 GHz 대역폭의 처리가 가능한 초고속 ADC/DAC 회로
 - CMOS 공정을 기반으로, D/H-band 대역에서 수십 GHz의 대역폭을 지원할 수 있도록 하는 초광대역 대역폭, 고분해능 ADC/DAC 기술이 필수

【 서브테라헤르츠 빔포머 설계도 】



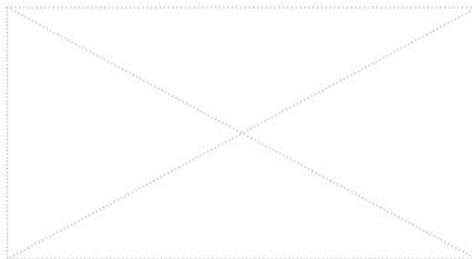
【 CMOS 기반 1Tbps급 서브테라헤르츠 대역 6G 무선통신 IC 요소기술 】

전략기술	CMOS 기반 1Tbps급 서브테라헤르츠 대역 6G 무선통신 IC
기술소분류	요소기술
서브테라헤르츠 빔포머 및 기반 회로 설계기술	<ul style="list-style-type: none"> • 서브테라헤르츠 빔포머 회로 및 구조 설계 기술 • 서브테라헤르츠 초광대역 송수신 회로 설계 기술 • 서브테라헤르츠 대역 초저잡음 신호생성 및 분배 기술 • 수십 GHz 대역폭의 처리가 가능한 초고속 ADC/DAC 회로

○ 전략기술 5: 테라헤르츠급 InP 기반 Bi-FET 반도체 소자 기술

- (정의) 0.1 ~ 0.3THz 주파수 대역의 6G RF 송수신기 구현을 위해 저잡음/초고속 용 HEMT 반도체 소자와 고출력/고효율/초고속 HBT 반도체 소자가 하나의 반도체 기판상에 집적화된 반도체 소자 기술. 두 소자 모두 500 GHz 이상의 전류 차단 주파수 (fT)와 최대 공진 주파수 (fmax) 특성을 갖는 것이 필수적이며, 집적화된 송수신기 시스템의 크기가 감소하여 HEMT 소자와 HBT 소자를 근접하게 구현할 수 있는 집적화 기술이 필요함.

【 Bi-FET 반도체 소자 구조(안) 】



- ❶ 서브테라헤르츠 대역의 수신기 시스템 구현을 위해서는 초저잡음/초고속 특성을 갖는 $In_xGa_{1-x}As$ QW HEMT 반도체 기술 확보가 필요
- ❷ 서브테라헤르츠 대역의 송신기 시스템 구현을 위해서는 고출력/고효율/초고속 특성을 갖는 Double-Heterostructure HBT 반도체 기술 확보가 필수적
- ❸ 서브테라헤르츠 대역의 고성능 송수신기 시스템 구현을 위해서는 HEMT 반도체

체 소자와 HBT 반도체 소자가 하나의 기판상에 집적화된 반도체 기술 개발이 필수적

【 테라헤르츠급 InP 기반 Bi-FET 반도체 소자 기술 요소기술 】

전략기술	테라헤르츠급 InP 기반 Bi-FET 반도체 소자 기술
기술소분류	요소기술
서브테라헤르츠 대역 화합물 반도체 소자 기술	<ul style="list-style-type: none"> • 초저잡음/초고속 InP 기반 HEMT 반도체 소자 기술 • 고출력/고효율/초고속 InP 기반 HBT 반도체 소자 기술 • HEMT와 HBT 반도체 소자간의 집적화 기술 • 서브테라헤르츠 IC 구현을 위한 전송선 기술

나) 기술개발 로드맵

○ 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 6G 이동통신 반도체 전략 기술 로드맵 】 * ■ : 정부의 집중지원이 필요한 기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
6G 이동통신 반도체	CMOS/화합물 부품설계 기반 칩셋 (해외 Foundry 의존, 빔포머 1:1통신)	Sub-THz CMOS 광대역, 고효율 송수신기 개발						초광대역(>20GHz), 256QAM 지원			CMOS/화합물 부품설계 기반 고도화 (국내 Foundry 有, 빔포머 N:M통신)	
		화합물(GaN, Bi-FET 등) 소자 구현 기술 개발						화합물 新공정 기반 부품 설계				

다) 기대효과

□ 기술적 측면

- 6G 기지국, 단말 시스템의 기반이 되는 핵심 RF 칩 기술 주도권 확보
- 6G를 위한 부품의 원천기술을 마련하는 기술로서 향후 10년간 발전될 이동통신 기술 발전 기여
- 6G 시스템을 개발하기 위한 핵심 부품기술을 선제적으로 준비함으로써 超 대역 통신 네트워크 핵심연구들의 개발 속도를 촉진하고 부품 선진국으로서 새로운 위상 정립
- 커넥티드카 서비스 활성화로 인한 도로 환경에서의 다양한 대용량의 트래픽 지원이 가능한 테라헤르츠 백홀용 핵심 칩 기술 조기 확보
- 테라헤르츠파 기반 초광대역 전송기술 선도 연구개발을 통해 핵심원천기술/IPR 조기 확보 및 차세대 이동통신 기술 선도
- 무선통신에서 가장 중요한 간섭문제를 주파수 이용도가 낮은 테라헤르츠 대역을 이용하여 해결함으로써 초정밀 서비스 산업 활성화 기반 제공
- 밀리미터파 및 테라헤르츠 대역 부품 및 시스템 시장은 '18년 100억 달러 이상 예상 (Technavio Analysis, 2013)

- 본 기술 개발 및 기술을 통한 국내 관련 산업 활성화 및 해외시장 개척 가능
- 세계 커넥티드카 시장은 2015년 14억 4950만 달러에서 2020년까지 358억 1000만 달러로 연평균 32.26%의 성장률을 보일 것으로 예상(Infiniti Research, 2016)
- 2025년 약10억불 이상 규모로 전망되는 밀리미터파 프론트홀 시장을 대체하는 핵심 부품으로 활용 기대
- 6G 핵심 통신 Capacity 증가
 - AI 기반 빔포밍 부품은 AI 운용을 위한 핵심 부품으로 전파 에너지 맵을 능동적으로 구성하여 밀리미터웨이브 대역 6G 통신 환경을 개선
 - E-MIMO 지원을 통한 5G 대비 20배 이상 통신 용량을 증가
- 채널당 200Gbps의 동작 속도를 갖는 초고속 광소자(광원, 광검출기) 소자 기술은 현재 일부 선진국에서만 개발 중인 기술 확보가 매우 어려운 기술로 테라급 광송수신 부품 및 광트랜시버 개발에 기술적 우위 확보 가능
- 초고속 광통신 소자/부품의 선도 개발을 통해 해외 선진 메이저 기업의 수직 계열화에 따른 핵심소자 공급망 문제 등 대외환경 변화에 대응을 통한 국내 광부품 자립도 강화

□ 경제적, 산업적 측면

- 급 성장하는 빔포밍 시장 진입
 - 빔포밍 시장은 21년 2.56억불에서 26년 7.09억불로 CAGR 22.7%로 급성장하는 기술 분야임.
 - 본 사업을 통한 5G/6G에 공통적으로 사용할 수 있는 밀리미터대역 빔포밍 부품 상용화를 달성 시 국내 무역수지 개선에 크게 기여할 수 있는 기술로 발전 가능
- 국내 CMOS 반도체 산업 활성화
 - 기존 5G 부품은 해외 반도체 공정기술을 활용한 국내 설계기술 중심으로 기술의 완전한 국산화를 달성하지 못함.
 - 제안 기술을 통한 공정 및 설계 국산화를 통해 국내 CMOS 기반 시스템 반도체 산업 활성화
- 테라급 광송수신 엔진을 선도적으로 개발함으로써, 제4차 산업혁명의 핵심인 IoT, 인공지능, 빅데이터 등의 서비스를 위해 대규모 수요가 예측되는 데이터센터 통신 시장에서의 선점효과 기대
- 핵심 광소자 기술의 개발 완료시 해외시장 진출 가능성이 높아 국내 관련 산업계의 시장 확대에 기여

□ 공공 연구개발 측면

- 국내 기업 간 기술 교류 활성화
 - 국내 반도체 공정을 제공하는 대기업과 이를 활용하여 빔포머 제품을 만드는 산학연이 공동으로 연구 개발 추진

- 이를 통해 국내 중소기업들의 기술력 향상 및 국내 대기업의 국내 매출 향상 기대
- 6G 통신용 핵심 반도체 기술의 조기 개발로 인공지능, 클라우드, 빅데이터 등 서비스 활성화에 기여하고 국민들의 삶의 질 향상에 기여함.
- 초고속, 저전력 광소자 및 광부품 개발로 정부의 저탄소 정책에 기여함.

IV. 공정 분과

1. 전공정 전략기술

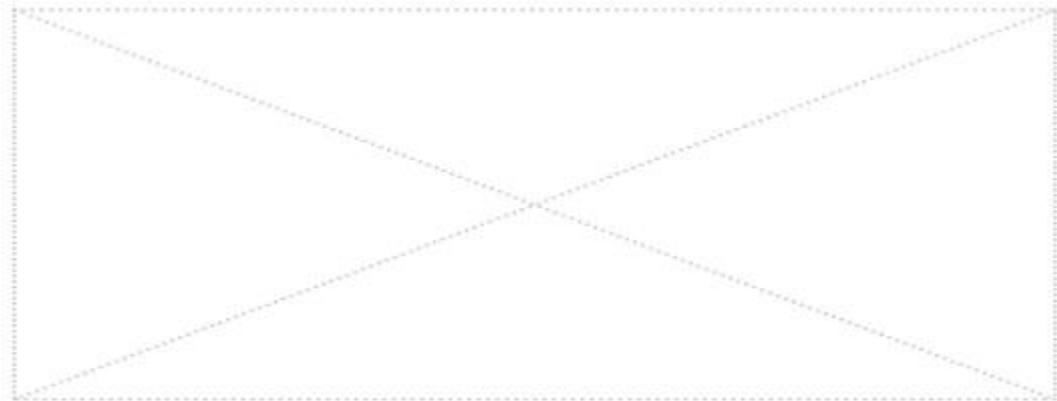
(1) 기술 개요

가) 기술 정의 및 필요성

□ 기술의 정의

- (정의) 웨이퍼(Wafer) 상에 집적 회로를 인쇄하는 공정단계로 산화, 노광, 식각, 증착, 이온주입 및 금속배선 등의 공정이 해당

【반도체 공정 단계 개념도】



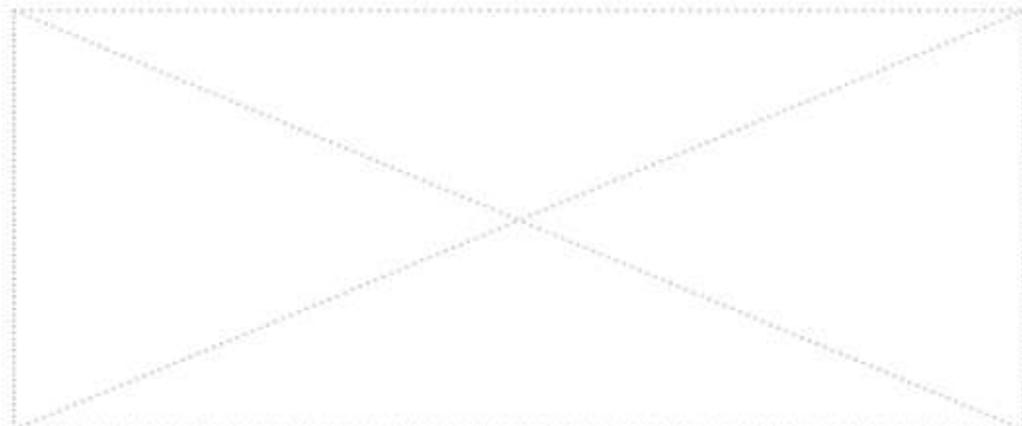
- (특징) 반도체 제작 및 차세대 공정 기술개발은 첨단 장비가 함께 연계되는 종합 생태계로, 전공정 분야의 체계적인 기술 전략이 필요
 - 반도체에 따라 다양한 전공정 기술이 필요하나, 전략에 따라 식각·증착·평탄화 분야에 집중하여 초미세 소자의 3차원 적층 기술을 확보
 - 식각·증착·평탄화 분야 기술개발을 통해 이전 기술에 비해 원자층 수준의 공정이 가능하여, 메모리·로직·전력 반도체에 적용
- (한계) 대형 수요처가 국내에 있음에도 불구하고 장비 자급수준*이 낮고 기술경쟁력이 부족하여 글로벌 공급망 위기에 취약
- (의의) 전공정 분야에서 향후 경쟁력을 제고할 수 있도록 텅스텐 CMP&슬러리, High-k 유전막, 低저항 금속배선, 극저온 처리기술, 원자층 제어기술, 단결정 MOCVD, 高생산율 기반 장비 분야 원천기술 개발이 필요
 - (텅스텐 CMP&슬러리) 3D NAND용 고밀도 텅스텐 패턴의 형성을 위한 것으로, 고밀도화에 따른 Dishing과 Erosion 현상 완화 연구가 필요
 - (High-k 유전체) DRAM 커패시터와 게이트 절연막의 스케일링에 대한 한계를 극복하기 위해 High-k 물질과 증착 공정 관련 연구 필요

- (저저항 금속배선) 구리 배선과 텅스텐 전극 공정을 대체하기 위한 후보를 개발하기 위해 저저항 물질과 금속 패턴 형성 관련 연구 필요
- (극저온 처리기술) 극저온에서 손상 없는 고종횡비의 패턴 식각을 위한 기술로, 식각용 장비의 극저온 기관에 대한 기술개발이 필요
- (원자층 제어기술) 플라즈마 정밀 제어를 통한 원자층 수준의 식각 기술로서 플라즈마 라디컬 제어기술과 공정 모니터링 기술개발 추진
- (단결정 MOCVD) Si 다층 채널 또는 전력반도체용 화합물 채널을 형성하기 위해, 대면적 에피 박막을 위한 MOCVD 배치 장비 개발 필요
- (고생산율 기반 장비기술) 생산수율과 신뢰성을 동시에 증대시키기 위한 것으로, 가스 및 히터 부품의 성능 개선과 빅데이터 기반 실시간 공정 모니터링에 대한 연구개발이 추가로 필요

□ 전공정 기술의 필요성

- 고도로 연결된 미래 사회에서 빅데이터 처리를 위한 고성능 프로세서, 휴대성이 높은 저전력 프로세서에 대한 사회적 수요가 높아지고 있음.
 - IoT, 자율주행 자동차, 인공지능 등 4차 산업 혁명으로 다양한 분야에서 고집적, 고성능 반도체의 수요 및 중요성이 증가하고 있음.
 - 휴대용 모바일 기기 및 자율주행 모빌리티 IoT 기기를 위한 저전력 프로세서에서는 낮은 폼 팩터와 에너지 효율 개선을 위한 반도체 소자의 미세화 및 3차원 구조화가 요구됨.
- 반도체 전공정은 초고집적화 및 초고속 동작을 위해 미세 패턴화 및 3차원 적층화가 지속적으로 이루어지고 있으며, 수율 향상을 위한 대구경화로 발전 중임.
 - 반도체 공정의 미세화 및 3차원 구조화에 따라 반도체 제조공정에서 여러 문제가 발생
 - 반도체 전공정의 핵심인 트랜지스터의 경우 FinFET 구조에서 GAA(Gate-All-Around) 구조, MBCFET(Multi-Bit Channel FET) 구조로 3nm급의 미세화와 3차원 구조화가 동시 진행

【 Critical dimension 감소 및 차세대 반도체 소자의 구조 변화 】



나) 주요기술 분류(Technology Tree)

【 전공정 주요 기술 분류 】

중분류	소분류	요소기술
에칭기술 (EB0605)	HAR(High Aspect Ratio) Etch	<ul style="list-style-type: none"> - 다중주파수 운용기술 : 이온에너지 제어를 위한 다중주파수 - Pulsed Plasma 기술 : CW:Continuous Wave 를 이용할 경우 식각 프로파일의 왜곡현상이 발생하기에 이를 막기위한 펄싱기술 - 원자층 제어기술 : 미세패턴 대응 및 차세대 공정을 위한 원자층 식각기술 - 저온 or Cryogenic 공정기술 : 고종횡비 식각 후 프로파일 확보를 위한 저온 공정기술
	ALE(Atomic Layer Etching)	<ul style="list-style-type: none"> - 원자층 제어기술 : 미세패턴 대응 및 차세대 공정을 위한 원자층 식각기술 (Plasma & Thermal) - 공정 효율화 기술 : 낮은 수율을 극복하기 위한 효율화 향상 기술
박막제조기술 (EB0603)	화합물 에피	<ul style="list-style-type: none"> - 전력반도체용 대구경 고품질 단결정 성장 MOCVD 장비 개발 : 대면적(>100mm) 상용 전력 반도체 에피 박막 제작이 가능한 챔버 및 균일한 반응가스 흐름 제어를 위한 수직형 분배기 (showerhead) 개발 - 전력반도체 박막 균일도 향상을 위한 온도 제어 히터 및 in-situ 모니터링 기술 적용 장비 개발
	Si/SiGe 에피	<ul style="list-style-type: none"> - 고품질 Si/SiGe 에피 박막 형성을 위한 batch process 장비 개발 : 동시에 여러장의 기판에 고품질 반도체 박막 제작이 가능한 챔버 설계 및 장비 개발 - 초고농도 도핑 제어를 위한 in-situ 에피 장비 기술 개발 : 반도체 박막의 도핑 및 성장을 확보를 위한 실시간 온도 및 압력 제어가 가능한 multi-chamber 시스템 개발
	저저항 금속 박막	<ul style="list-style-type: none"> - 미세화에 따른 Power 및 delay 감소를 위한 신규 저저항 metal 형성 기술 - Grain boundary scattering, Interface scattering 감소 (고밀도, defect 감소) 기술 - 선택적 금속 박막 형성 기술 (Area selective deposition)
	유전체 박막	<ul style="list-style-type: none"> - 로직 소자 및 capacitor를 위한 high-k 박막 형성 기술 - 미세화에 따른 Power 및 delay 감소를 위한 low-k 박막 형성 기술 - 강유전체 신소자를 위한 강유전 박막 형성 기술

		<ul style="list-style-type: none"> - 자성체 신소자를 위한 자성 박막 형성 기술 - 메모리스터 신소자를 위한 산화물 또는 칼코겐 박막 형성 기술
표면연마기술	CMP	<ul style="list-style-type: none"> - (텅스텐/SiO₂-film line width) 100:1 pattern density 에서 erosion-free를 위한 100:1의 연마율 (텅스텐 vs. SiO₂) 선택비 텅스텐 CMP 슬러리 설계 기술 - Dishing-free crystalline ZrO₂ abrasive based 텅스텐 CMP 슬러리 설계 기술
	세정	<ul style="list-style-type: none"> - 10nm 이하 미세공정 고선택비 식각 습식 Etchant 기술
전력용 반도체	GaN wafer 기판 제조 기술	<ul style="list-style-type: none"> - 고생산성 HVPE(hydride Vapor Phase Epitaxy) Thick GaN 기판 성장 기술 - GaN 표면 (Lapping+polishing) 연마 기술

(2) 기술 분석

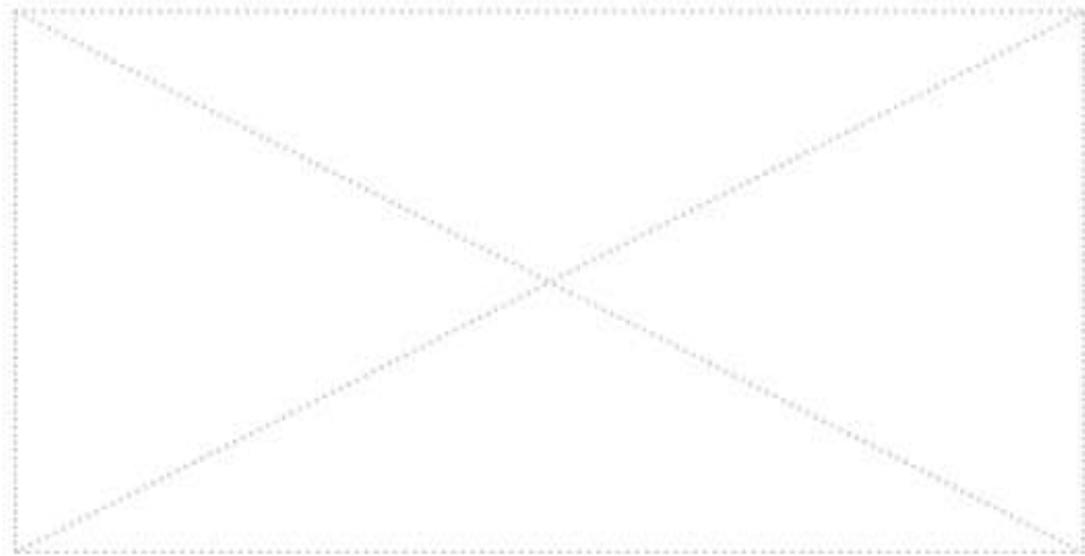
가) 국내·외 기술 현황

□ 국외 기술 동향

○ 식각

- 미국의 Lam Research, Colorado 대학 등 반도체 장비회사 및 대학에서 원자층 식각 및 고종횡비 식각 기술에 관련하여 장비 개발 및 논문 발표 등을 통해 식각 기술력 확보 중
- 일본 또한 Tokyo Electron, Hitachi, Nagoya 대학 등에서 원자층 식각 기술력 확보를 위한 장비 개발, 논문, 학회발표 등 활발한 활동을 하고 있음.
- Applied materials는 Silicon FinFet, RF 펄싱, ALE 등 원자층 식각 공정 및 고종횡비 식각 공정에 대한 연구 및 논문 발표를 진행하고 있음.
- OXFORD 대학 연구팀은 극저온 식각장치 개발 및 관련 연구를 활발히 진행 중

【 국외 식각 연구 현황 】



- 화합물 에피: 화합물 기반 전력반도체 시장 확대를 위한 핵심요소는 가격 경쟁력 확보에 있다고 판단하여 원가의 30% 이상을 차지하는 에피 성장 기술 확보에 집중하고 있음.
 - 미국 EPC는 20~200V급 (GaN on Si) 소자 상용화에 성공하였으며 300V급 이하 전력반도체 기술을 선점함.
 - 캐나다 GaN System은 전력반도체 신뢰성 향상을 통해 650V급 소자를 TSMC의 6인치 CMOS 호환 공정라인을 이용하여 양산 성공
- 실리콘 에피: TSMC와 삼성전자는 각각 핀플렉스 (Finflex) 공정과 GAA 공정을 적용하여 주도권 확보를 시작하고 있음.
 - TSMC가 핀플렉스(FinFlex) 공정을 적용한 3nm 반도체 양산을 시작으로 공정 수율 80%에 도달하였으며, 3nm 반도체 대량 생산은 대형 고객사 애플을 위해 진행 중임.
 - 반면, 삼성전자는 GAA 공정을 도입한 3nm 반도체 양산을 22년 6월 성공 보고를 통해 GAA 공정으로 시장 최초 타이틀을 확보하였고, 현재 수율 개선에 어려움을 겪고 있지만 점차 수율 안정화가 될 것으로 보임.
- High-k 절연막의 원자층 증착
 - High-k 절연막 형성 기술의 한계
 - 초기 Si 기반 반도체 공정에서 사용해 온 SiO₂ 절연막은 지속적인 스케일링에 따른 누설 전류 문제로 HfO₂, ZrO₂와 같은 높은 유전율(k=16~25)과 밴드갭(5.8eV)을 갖춘 물질로 대체됨.
 - 원자층 증착 공정 이용한 전구체 탐색, 물질 도핑과 결정성 제어를 통한 등가산화막(Equivalent oxide thickness, EOT) scaling 연구
 - HfO₂와 ZrO₂는 동질다상을 갖는 물질들로, 고온상인 tetragonal과 cubic을 형성하

게 되면 저온상인 monoclinic의 16~20 유전율보다 높은 유전율을 가질 수 있어서, 고온상을 만들기 위한 도핑 연구가 활발히 이루어짐.

- 2D layered perovskite 소재를 이용한 DRAM capacitor의 EOT scaling

- 기존의 high-k 물질은 막의 두께가 감소함에 따라 유전특성이 크게 저하되는 것이 일반적이었지만, 2D layered perovskite 결정구조를 갖는 소재는 in-plane상에서의 결정결합만이 존재하여, 두께에 상관없이 일정한 유전특성을 유지할 수 있음.
- 2D layered perovskite 결정 구조를 갖는 물질 중 Dion-Jacobson perovskite 구조 ($A_{m-1}B_mO_{3m+1}$)로 알려진 대표적인 물질은 $Sr_2Nb_3O_{10}$, $Sr_2Ta_3O_{10}$, $Ca_2Nb_3O_{10}$, $Ca_2Ta_3O_{10}$ 로, 이들을 구성하는 단일 oxide는 Ca계를 제외하고 DRAM capacitor 유전물질로 연구가 된 물질이기 때문에 반도체 라인에 적용 가능

- 강유전막에서 나타나는 음의 정전용량(negative capacitance, NC) 이용한 전하 증폭 효과

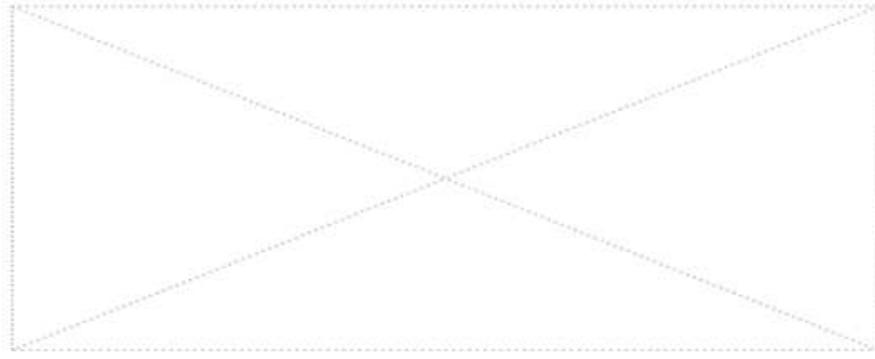
- 직렬 연결된 두 캐패시터에서 한 캐패시터가 음의 유전율을 가지게 되면 합성 capacitance를 크게 증폭시킬 수 있다는 연구결과가 미국 Univ. of California, Berkeley 전자공학과 Sayeef Salahuddin 교수 연구진과 Purdue University 전자공학과 Supriyo Datta 교수 연구진에 의해 제안되었음.
- 강유전체에서 NC 특성이 보고되고 이를 적용한 응용 가능성이 지속적으로 보고되었지만 CMOS 공정에 적합하지 않은 페로브스카이트 강유전 물질이 연구의 대부분을 차지하였기 때문에 초기에는 응용 가능성에 의문을 가지는 경향이 있었음. 그러나 2011년 독일 NaMLab에서 도핑된 HfO_2 박막에서 강유전성이 관측됨을 보고하였고, 이로부터 산업계/학계에서 NC의 응용 가능성에 많은 관심을 가지게 되었음.

○ 저저항 금속 물질의 원자층 증착

- 선풍 감소에 따른 신규 저저항 금속 물질의 필요성 증대

- Mo의 경우 W보다 작은 비저항($5.4 \mu\Omega \cdot cm$)을 가지고 있으며, W보다 작은 EMFP (약 11 nm)로 인해 두께 감소에 따른 비저항의 증가가 적어 W를 대체할 차세대 배선 물질로 주목을 받고 있음. 배선 저항의 성능지수 (비저항×EMFP)가 W과 비교하여 우수하며, 배선 소자의 EM특성과 밀접한 관계가 있는 녹는점이 높아 차세대 배선 물질로 적합한 특성을 가지고 있음. 새로운 리간드를 적용한 F-free Mo 전구체의 개발 및 이를 이용한 우수한 전기적 특성의 Mo 금속 ALD 공정기술의 개발이 요구됨.

【 금속 물질의 비저항 및 성능지수 】



(좌) 배선 물질 두께 감소에 따른 비저항 증가 (우) 금속박막의 녹는점 및 성능지수

○ CMP 공정

- CMP 공정 기술은 3D NAND 및 Logic/DRAM 공정 미세화로 기존의 회로 배선 절연막의 평탄화(planarization) 목적뿐만 아니라 회로 배선 분리 및 배선 표면 개선 응용으로 확대되었으며, 소자 배선 선폭이 20nm 이하로 감소함에 따라 리소그래피 기술이 허용하는 초점 심도가 단차 이상으로 감소하는 문제를 CMP 기술의 광역 평탄화 특성을 이용하여 해결하기 위하여 다른 반도체 전공정 기술에 비해 공정 진행 수요가 급격히 증가하고 있음.
- 로직 반도체의 회로 선폭 디자인 룰은 45 → 28 → 14 → 7 → 5 nm 로 급격히 scaling-down 됨에 따라, 반도체 소자 패턴의 고단차와 미세화가 심화되고 있기 때문에 로직 반도체를 생산하는 삼성전자와 TSMC는 CMP 공정 횟수는 12 → 14 → 18~25 → 24~30 → 25~34회로 급격히 증가하고 있는 추세임.

○ 세정 공정

- 일반적으로 생산성 향상을 고려하여 한 번에 많은 웨이퍼를 처리할 수 있기 때문에 카세트내 담겨있는 25매의 웨이퍼를 동시에 처리하는 배치 타입의 클리닝 비중이 높았으나 최근 로직 반도체 및 메모리 반도체의 회로 선폭 디자인 룰이 급격히 축소됨에 따라 미세 공정의 고도화, 사용 물질의 변화에 따라 웨이퍼를 1매씩 처리하는 스프레이 방식(Single Wafer Type, 매엽식)의 비중이 높아지고 있음.
- 반도체 패턴 미세화 및 구조 변경에 따라 신규 습식 세정 공정 소재의 개발 필요성이 증대되고 있으며, 차세대 반도체 공정에 필수적인 습식 공정에 적용되는 소재를 조기에 개발하고 있는 추세임.

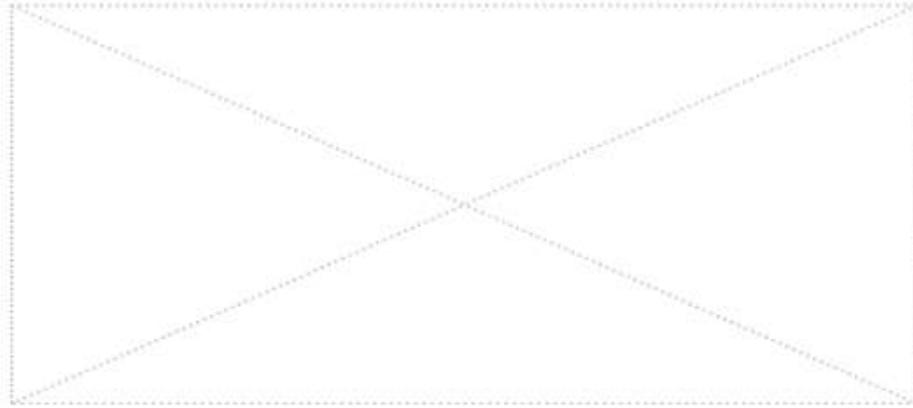
□ 국내 기술 동향

○ 식각

- S대학 연구팀은 다수의 교수진들이 고종횡비 식각 및 원자층 식각 연구를 진행하고 있으며, 이와 관련하여 국내 최고 수준의 논문 및 특허기술 보유
- D대학 연구팀은 플라즈마 에너지에 따른 저손상 원자층 식각에 대한 활발한 연구를 진행하고 있으며, 관련된 다수의 장치 및 공정 기술을 보유

- M대학 연구팀은 고종횡비 식각 공정 연구를 진행하고 있으며, 해당 기술 관련 다수 논문 및 특허기술 보유
- 이외에도 삼성전자, SK Hynix 등 국내외 다수의 기업, 대학 및 연구기관에서 원자층 식각 공정 및 고종횡비 식각 기술에 대한 관심이 증가하고 있음.

【 국내 식각 연구 현황 】



- 화합물 에피: 국내 전력반도체의 경우 GaN와 SiC를 활용한 시장이 빠르게 성장하고 있으며 가격 경쟁력 확보를 위한 대구경 에피 성장을 위한 장비 개발이 필요한 상황
 - 대부분의 학·연의 전력반도체 연구는 기존 글로벌 선두 기업의 에피 장비를 이용하거나 소자 개발에 한정되어 있으며 전력반도체의 핵심인 에피 성장에 필요한 장비 개발에는 일부 중소기업만이 진행하고 있음.
- 실리콘 에피: 삼성전자의 GAA 공정 채택함으로써 GAA로의 트랜지스터 구조 형성 기술 개발로 인한 Si/SiGe 선택적 박막성장 및 Si/SiGe 초격자 (Superlattice) 적층 공정을 위한 반도체 박막 성장용 챔버 설계 및 장비 개발 중임.
 - AMAT社は 고품위 박막 성장을 위하여 single-wafer type의 장비를 고집하고 있어 빠른 시간 내에 많은 웨이퍼 생산량 (throughput)과 높은 수율을 위해 multi-chamber 개발 진행 필요함.
- 원자층 증착
 - 전구체 및 반도체 장비 회사에서 MoCl₅를 이용하여 Mo ALD 공정 개발을 보고하였으나 여전히 Cl 등 할라이드 물질을 포함하고 있어 소자 특성의 열화가 있으며, MoCl₅ 역시 ALD용 전구체 물질로는 적합하지 않은 낮은 휘발성 및 고체 물성을 가지고 있어 새로운 Mo 전구체의 개발이 매우 필요함.
- CMP 공정
 - 3D NAND 및 Logic/DRAM 공정 미세화로 CMP 공정의 확대가 되고 있으며, 특히 3D NAND에서는 Oxide Buffing 공정과 텅스텐 CMP 공정 확대가 되고 있음.

- 금속 CMP는 크게 텅스텐 CMP와 구리 CMP로 나뉘지는데 3D NAND 배선 공정 증가로 시장 성장이 전망됨.

○ 세정 공정

- 현재 반도체 패턴 미세화 및 구조 변경에 따라 신규 습식 공정 소재의 개발 니즈가 증대되고 있으며, 차세대 디바이스에 필수적인 습식 공정은 습식 공정에 적용되는 소재를 조기에 개발하고 적기에 양산하는 것이 중요함.
- 특히, 차세대 공정에 필요한 습식 식각 소재의 경우 식각 대상막을 선택적으로 제거하고, 비식각 대상막을 선택적으로 보호할 수 있는 고선택비 제어 기술이 필요 하기 때문에 이를 해결하기 위해서는 비식각 대상막에 선택적으로 흡착 표면 보호할 수 있는 첨가제 개발이 절실히 요구됨.
 - 차세대 트랜지스터 제조 기술에 필요한 Oxide Etchant
 - 3 nm GAAFET 제조에 필요한 SiGe Etchant 개발
 - Wafer Level의 3D Stacking 기술에 필요한 Si Etchant 개발
 - 차세대 BEOL용 금속 배선 공정에 필요한 metal etchant 개발
 - 3D DRAM 제조 기술 관련 Si & SiGe Selective Etchant 개발

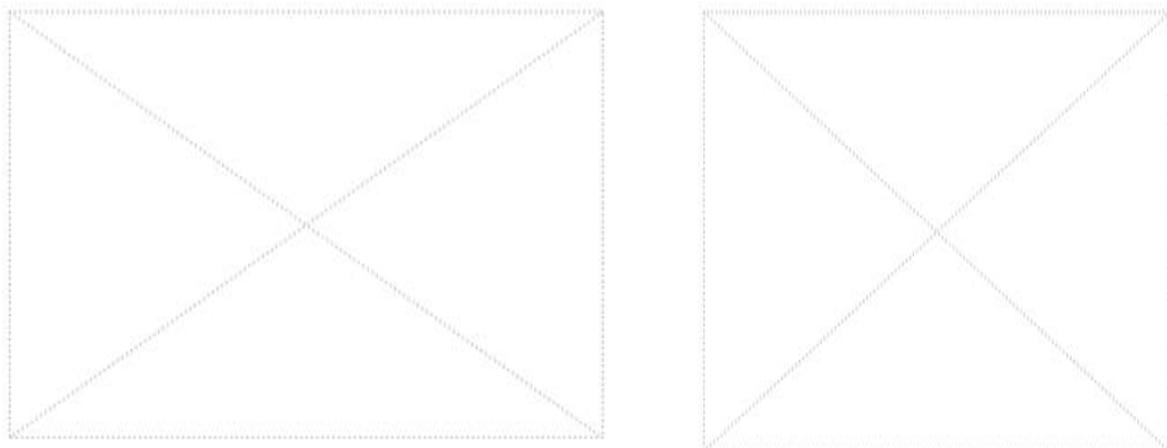
나) 특허 및 논문 동향

□ 특허 동향

○ 식각

- 요소 기술 : 원자층 제어 기술
 - 원자층 제어: 전체 기술 분야의 전체 특허 출원 건수는 5,039건으로, 미국, 중국, 유럽, 일본, 한국, 대만 순으로 확인됨.

【 ‘원자층 제어 기술 연도별 및 국가별 특허건수’ 】



<연도별 특허건수>

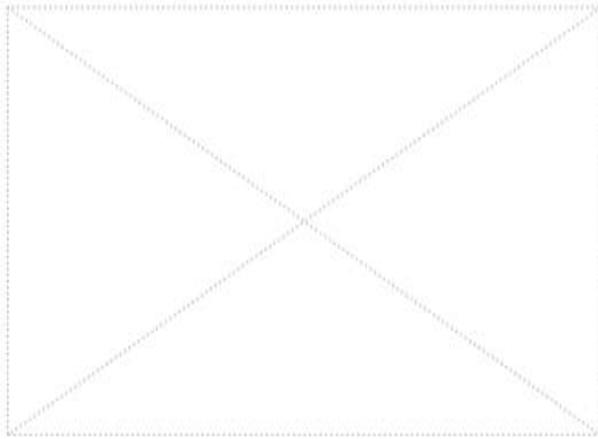
<국가별 특허건수>

○ 에피

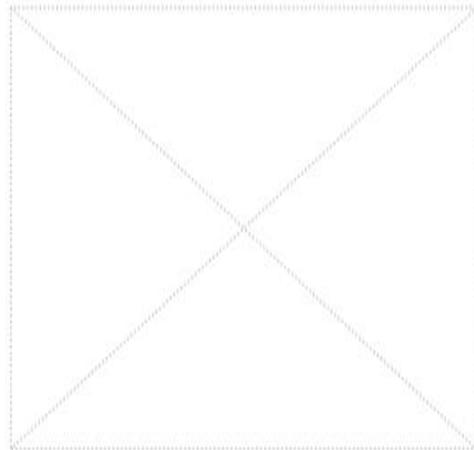
- 요소 기술 : 고품질 Si 에피 박막 형성을 위한 batch process 장비

- 고품질 Si 에피 박막 형성을 위한 batch process 장비: 전체 기술 분야의 전체 특허 출원 건수는 245건으로, 미국, 한국, 유럽, 일본, 대만, 중국 순으로 확인됨.

【'고품질 Si 에피 박막 형성을 위한 batch process 장비' 연도별 및 국가별 특허건수】



<연도별 특허건수>



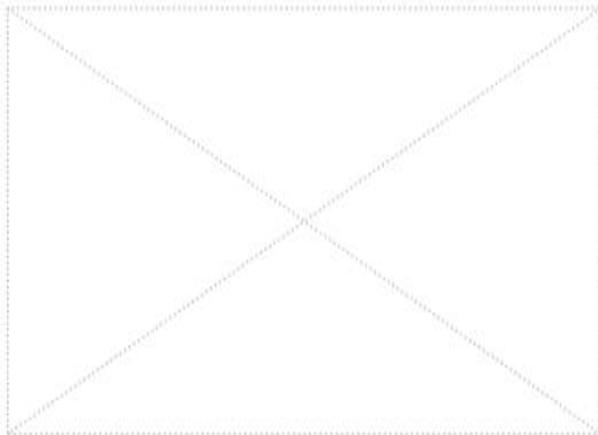
<국가별 특허건수>

○ 원자층 증착

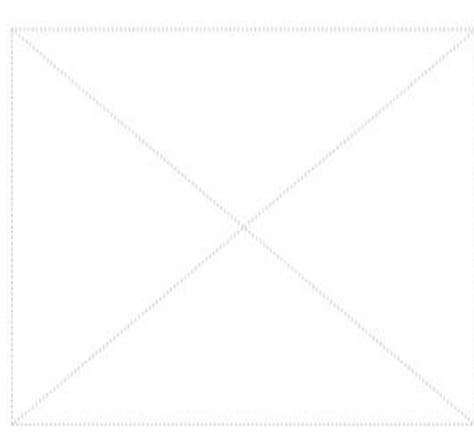
- 요소기술 : 로직 소자 및 capacitor를 위한 high-k 박막 형성 기술

- 로직 소자 및 capacitor를 위한 high-k 박막 형성: 전체 기술 분야의 전체 특허 출원 건수는 10,424건으로, 중국, 미국, 대만, 유럽, 한국, 일본 순으로 확인됨.

【'로직 소자 및 capacitor를 위한 high-k 박막 형성 기술' 연도별 및 국가별 특허건수】



<연도별 특허건수>



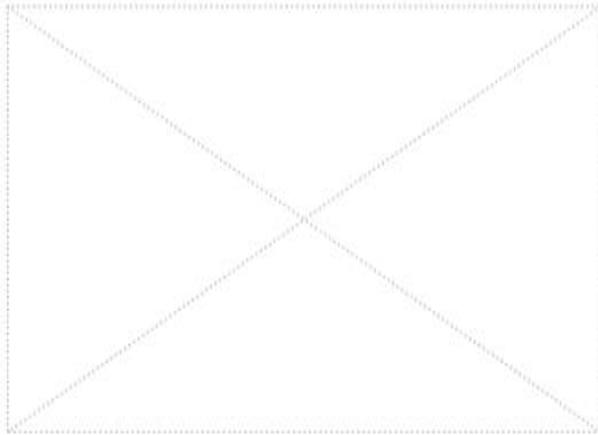
<국가별 특허건수>

○ CMP 및 세정

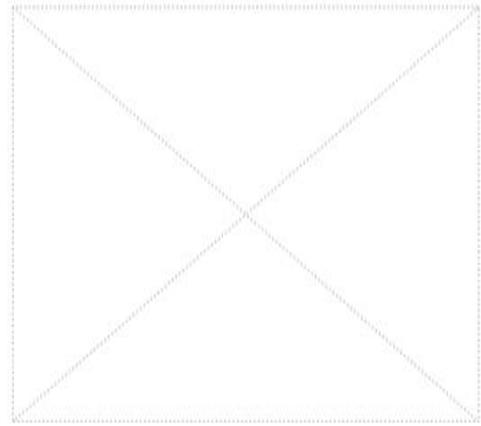
- 요소기술 : 미세공정 고선택비 식각 습식 Etchant

- 미세공정 고선택비 식각 습식 Etchant: 전체 기술 분야의 전체 특허 출원 건수는 817건으로, 미국, 중국, 유럽, 대만, 일본, 한국 순으로 확인됨.

【 ‘미세공정 고선택비 식각 습식 Etchant’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



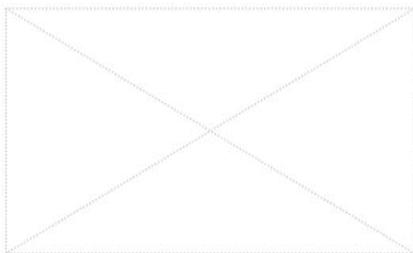
<국가별 특허건수>

□ 논문 동향

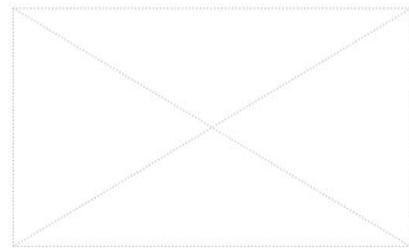
○ 식각

- 이전부터 관심을 받아왔던 Low temperature etching을 제외한 HAR etching 공정 분야는 해를 거듭할수록 게재 논문 건수가 약 6%씩 증가함을 보이며, 이는 해당 분야의 중요도가 커져 논문 게재 건수 또한 증가함을 알 수 있음.
- 반면 Low temperature etching은 이전부터 중요하게 주목받았던 기술이기 때문에 평균 논문 게재 건수는 전체적으로 17,000건 이상이 게재되었으며, CAGR로 보면 1.6%로 적게 보이지만 게재 건수로 보면 16년도와 21년도를 비교할 시 약 2,000건이 차이남을 알 수 있음.

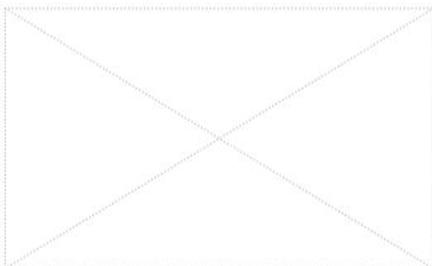
【 연도별 해당분야 논문건수 】



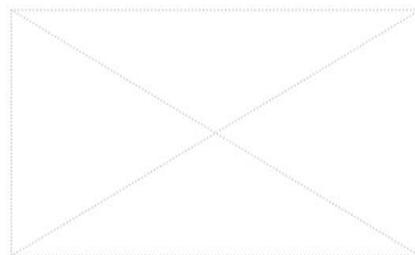
【 연도별 해당분야 논문건수 】



【 연도별 해당분야 논문건수 】



【 연도별 해당분야 논문건수 】



- 화합물 에피: 전력반도체 개발을 위한 화합물(GaN) 에피 소재 기술로는 대면적 기판(Si)을 이용한 에피 성장기술, 누설전류방지를 위한 반절연 기판기술, 고

내압 소자 특성을 위한 에피 구조 설계기술이 핵심 연구 분야

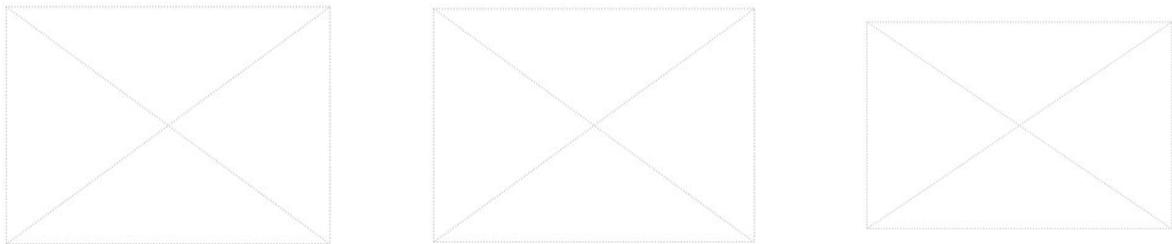
- 수직형 GaN 전력반도체의 경우 동종 기판 위에 에피 성장이 이루어지기 때문에 결합 제어가 용이하여 높은 항복 전압에 유리하고 소자의 크기가 수평형 소자에 비해 상대적으로 작은 장점으로 관련 연구가 한 분야를 차지하고 있음.
- 수평형 GaN 전력반도체의 shoot current 등과 같은 신뢰성 문제를 해결하기 위한 MIS-HEMT, p-GaN gate 에피 설계를 통한 최적화 연구가 진행

【 GaN-on-Si 에피 구조 및 수직형 GaN 전력반도체 구조 】



* 출처: Materials 11(10), 1968 (2018)

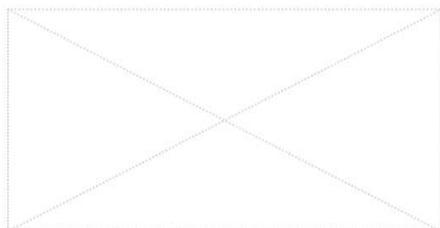
【 MIS-HEMT, F-doped GaN HEMT 및 p-GaN gate GaN HEMT 에피 구조 】



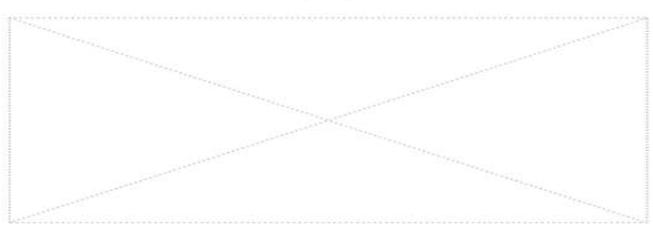
* 출처: J. Appl. Phys. 130, 181101 (2021)

- 실리콘 에피: 최근 FinFET 구조에서 변화하는 GAA 구조의 연구 결과들의 보고를 통해 문제점들이 나타나고 있으며 에피 성장 부문에서 해결점을 찾기에는 장비 개발의 필요성이 있는 것으로 보임.
- GAA 구조에서 nanowire/nanosheet 소자 제작을 위해 Si/SiGe 초격자 박막층을 증착해야 하며, 박막층을 5~20nm 이내로 두께 조절이 성장 관건이라고 볼 수 있음.
 - GAA 구조에서 SiGe 식각을 통한 nanowire/nanosheet가 제작되는데, Ge 함량에 따라 에칭 속도가 달라지는 것으로 보고 증임. 따라서 박막 성장 과정에서 Ge 함량 확인이 중요한 요인이므로 이를 관찰할 수 있는 모니터링 기술 개발도 필요한 상황임.

【 FinFET 구조와 GAA 구조의 단면도 】

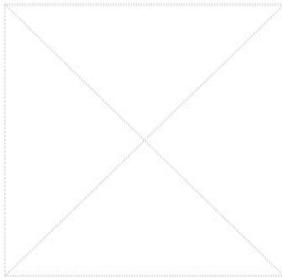


【 In-line 구조 내의 epi-growth 현상의 모식도 】

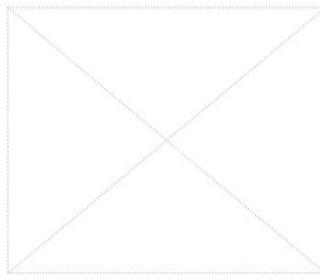


* 출처: J. Micro/Nanopattern. Mater. Metrol.21(2) 021206 (2022)

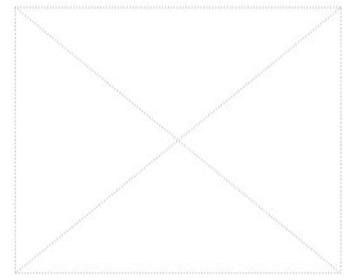
【 Si/SiGe 초격자 구조와 FinFET 구조의 Si/SiGe SAG 성장 문제점 】



* 출처: Nanotechnology 28
(2017) 485303



* 출처: IEEE Trans.Semi.Manufacturing
33 (2020) 291

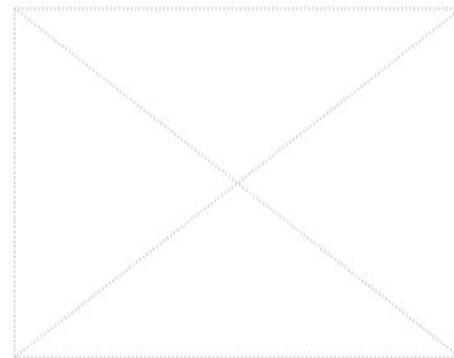
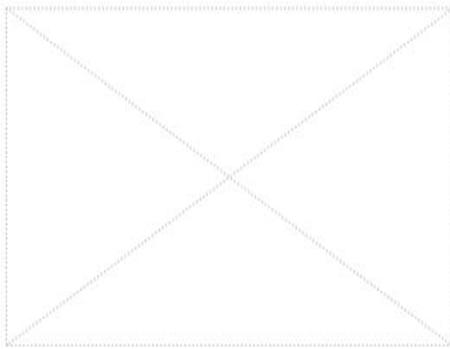


* 출처: AIP Advances 6 (2016)
095114

○ High-k 박막 증착

- 원자층 증착 공정 이용한 전구체 탐색, 물질 도핑과 결정성 제어를 통한 high-k 박막의 EOT scaling 연구

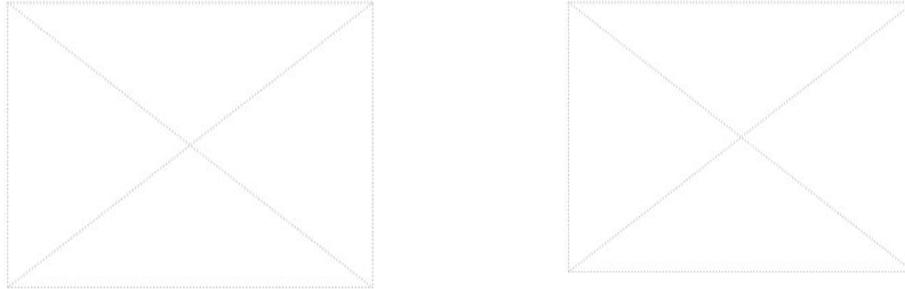
【 High-k 절연막에 대한 후보 물질 스크리닝 연구결과 】



- 2020년 Applied Surface Science지에 발표된 한국과학기술연구원(KIST)의 연구 결과에 따르면 고압상인 c-BeO상을 구현하기 위해 암염(rock salt) 구조의 MgO을 모재로 한 $\text{Be}_x\text{Mg}_{1-x}\text{O}$ 박막을 ALD를 이용해 성장시켰고, 약 5~20%의 BeO상이 포함된 alloy상에서 8eV 이상의 밴드 갭 에너지와 약 18의 유전율(k)을 얻음으로써, 모재의 framework을 이용해 상온·상압 조건에서 안정된 고압상을 구현할 수 있음을 실험적으로 증명
- 2D layered perovskite 이용한 high-k 물질 연구
 - 2D layered perovskite 결정구조를 갖는 물질 중 Dion-Jacobson(DJ) perovskite 구조 ($\text{A}_{m-1}\text{B}_m\text{O}_{3m+1}$)를 갖는 Nb계 산화막에서 210 정도의 고유전율을 얻을 수 있음이 보고된 이후, 이를 나노시트 capacitor로 구현한 연구 결과가 다수 보고되고 있음.
 - 한국과학기술연구원에서 2022년 Journal of Alloys and Compounds 논문에서 박리 방법으로 얻은 $\text{Sr}_{2(1-x)}\text{Bi}_{2x}\text{Nb}_3\text{O}_{10-6}$ 조성의 나노시트에서 500 이상의 유전율을 보고하였고, 이는 20nm 두께 이하의 박막에서 얻은 유전율로는 가장 높은 것으로 알려짐. 하지만 DJ-type perovskite 박막을 원자층 증착법을 이용해 성장 시킨 사례는 아직 보고되지

지 않아, 향후 CMOS 공정에 적용 가능한 DJ-type 물질 선정과 함께 성장법에 대한 연구가 필요

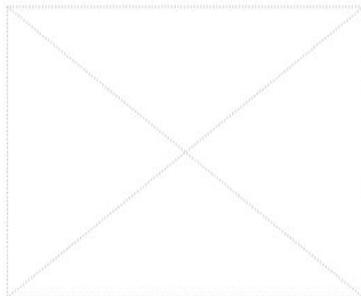
【 DJ perovskite 구조를 갖는 2D 물질의 high-k 특성 】



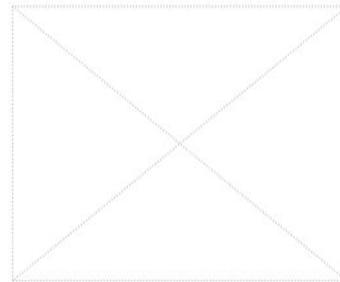
○ 저저항 금속 증착

- 저저항 금속 박막의 원자층 증착용 전구체와 공정에 대한 리뷰 논문이 핀란드 Aalto 대학, 독일 Max Planck 연구소, 아일랜드 Tyndall 국립 연구소의 연구진들에 의해 2019년 Applied Physics Reviews지에 발표
 - Cu 금속막 형성을 위한 환원 반응 가스로 H₂, 메탄올, 에탄올, 하이드라진, TMA(trimethyl aluminum) 등 다양한 반응 가스들이 사용되었음. 또한 상기 반응 가스의 플라즈마 반응을 사용한 plasma-enhanced ALD(PEALD) 역시 다양하게 시도됨.

【 Cu 및 Cu 화합물 ALD 논문 수 】



【 수소 환원에 의해 얻은 Cu 박막 】



- Co는 특히 최근 반도체 소자에서 저저항 Contact 및 Via 물질로 주목받으며 많은 연구가 진행됨. 현재 많이 연구된 Co 전구체는 CO 리간드가 붙어 0가 산화수를 가지는 dicobalt-octacarbonyl과 이것에서 유도된 화합물이 있으며, 이외에도 amidinate를 가지고 있어 높은 산화수를 가지는 전구체도 존재함. 대표적인 연구 결과는 Co-bis(1,4-di-tert-butyl-1,3-diazabutadienate) 를 NH_{2-t}Bu, NHEt₂, NEt₃와 반응시킨 결과이며, 170~200°C에서 증착률이 일정한 ALD window를 보였음. 이때 성장률은 금속막 위에서 0.98 Å/cycle 이었으며 Si 위에서는 성장하지 않아 기판 물질에 대한 선택성을 보임.

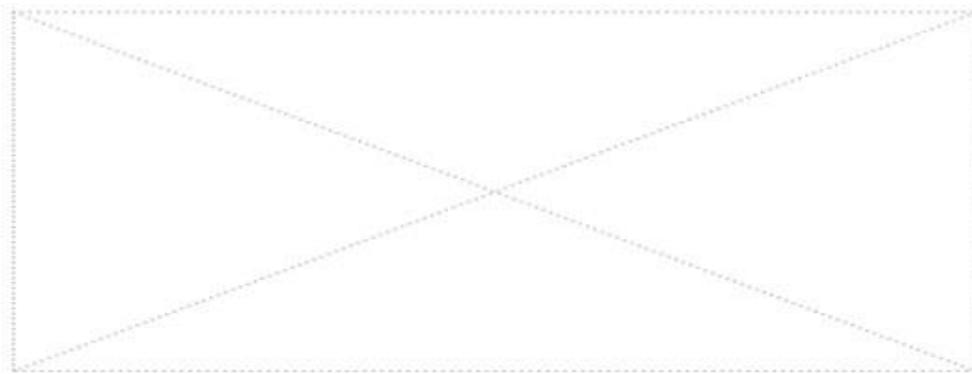
○ CMP 공정기술

- 산화막 CMP 공정은 STI CMP 공정과 ILD CMP 공정이 주요 공정이며 산화막 CMP 공정에서의 슬러리의 주요 요구 성능은 산화막의 높은 연마율과 SiN 박막 또

는 poly-Si 박막의 낮은 연마율 구현으로 연마율 간의 높은 선택비 구현이 중요함. 한양대학교에서 이에 대한 연구가 진행 중임.

- 산화막 연마율은 높이고 SiN 박막과 또는 poly-Si 박막의 연마율은 억제시켜서 선택비를 높이기 위해 passivation layer 형성에 필요한 polymer를 첨가하는 연구가 있음. 또한, 산화막 연마율을 높이기 위해서 CMP 슬러리의 abrasive 재료를 silica 입자에서 ceria 입자로 변경하는 연구가 수행 중임, ceria 입자 경우, 산화막과 chemical bonding Ce-O-Si chemical bonding 시킨 후 CMP 메커니컬 rubbing 공정으로 bonding을 끊어 내는 메커니즘으로 silica 입자의 연마율보다 연마율을 높일 수 있음.

【 Surfactant molecular weight에 따른 CMP 연마율 (좌) SiO₂ film, (우) Si₃N₄ film 】



다) 기술 수준 및 역량 평가

□ 기술 수준 분석

- 화합물 에피: 국내의 경우 LED GaN 에피 성장 기술은 보유하고 있으나 삼성, LG 등 대기업들이 LED 사업을 중단하면서 전력반도체 GaN 에피 성장기술은 매우 뒤쳐져 있음.
 - 대면적 화합물 반도체 (GaN-on-Si)의 경우 독일의 Aixtron이 선두 업체로 8인치 장비를 양산 공급하고 있으며 기술력 또한 국내기업보다 최소 3년은 앞서있는 것으로 평가되고 있음.
- 실리콘 에피: 차세대 반도체 패러다임 변화 요구에 진행을 위한 고생산성 에피 공정 장비 개발 시점 도래
 - 삼성전자는 2018년 대한민국 송도에서 개최된 원자층증착(ALD) 국제학술대회에서 DRAM, 3D V-NAND Flash 메모리 등 10nm 이하 기술을 위해 적절한 step coverage 및 균일도 (uniformity)를 유지하기 위해서는 다량의 웨이퍼를 동시에 처리하는 대용량 batch type의 공정 장비 하드웨어는 웨이퍼 공정 공간의 가스/플라즈마 농도 및 온도의 불균일 문제로 인해 많은 불량률을 초래한다고 보고
 - (주)에스지社は 2020년 한국생산기술연구원과 semi-batch type ALD 개발 진행을 보고하였고, 주성엔지니어링社は 2020년 공간분할과 semi-batch를 통한 단위생산량이 가능한 CVD&ALD 장비 개발로 소자와 공정의 혁신 측면에서 주도하고 있음

음.

○ 원자층 증착

- 스케일링과 함께 3차원 구조화로 인해 반도체 소자 미세공정의 난이도가 높아지면서 ALD의 중요도가 점차 올라가고 있으며, 3차원 구조화와 관련하여 ALD 장비 기술 또한 고도화되고 있음.
- 증착 장치 시장은 약 7조 원 규모로, AMAT(Applied Materials, 미국), Lam(미국), TEL(일본) 등의 해외 업체가 시장을 주도하고 있음.
- AMAT사는 최근 Centura iSprint ALD/CVD SSW 시스템을 개발, 텅스텐 금속의 선택적 증착 억제 원리를 채택하여 빈틈 또는 공극이 없는 상향식 충전 기술을 구현함. 또한, 유전체 박막의 공간분할 방식 증착을 위한 Applied Olympia ALD 시스템은 고유의 시퀀싱 기능을 제공하여, 평면 및 3D 소자를 제조하는 데 필요한 낮은 증착 온도에서 고품질 ALD 박막을 형성함. 특히, 이 공간분할 방식의 ALD 시스템은 각 화학 반응 후 펌프/퍼지 단계가 불필요하므로 기존 시간 분리 ALD보다 생산성이 50% 이상 높은 것으로 알려짐.
- Lam Research사는 ALD와 CVD가 결합된 형태의 ALTUS 시스템을 공급하며, 고급 텅스텐 배선 공정을 타겟으로 하고 있음. 펄스 핵생성층(PNL) ALD 공정으로 형성되는 핵생성층과 다층순차증착(MSSD) 아키텍처로 가능한 인-시추 벌크(in-situ bulk) CVD 충전 기술을 통해 두께를 줄이면서 결정립 성장을 막아 저저항 특성을 갖는 텅스텐 박막을 증착할 수 있는 기술임.
- 원익IPS는 2010년 반도체 증착장치 공급기업인 아토와 디스플레이용 식각장치 공급기업인 아이피에스가 합병하며 탄생했으며 반도체용 장치, 디스플레이 장치, 태양광 장치를 동시에 공급할 수 있는 능력을 보유

○ CMP 및 세정

- CMP 기술
 - 산화막 CMP 세리아 슬러리는 CABOT, HITACHI CHEMICAL 독점으로 wet-ceria 기반 CMP 슬러리를 반도체 소자 기업에 공급 중임.
 - 텅스텐(W) CMP 슬러리는 CABOT(미국)사가 독점으로 Colloidal silica 연마입자 기반의 텅스텐 CMP 슬러리를 반도체 소자 기업에 공급 중임.
 - 국내 업체 경우, 솔브레인, 케이씨텍사에서 기술 난이도가 낮은 산화막 슬러리 기술에 국한하여 개발 및 공급 중이며, 텅스텐 CMP 슬러리 경우, 유비머트리얼즈사에서 개발하여 공급 중임.

□ 기술 역량 분석

- 화합물 에피: 화합물 반도체는 기능적 측면에서 실리콘 전력반도체보다 우수하지만, 제작 원가가 높아 가격 경쟁력 확보를 위한 대구경 에피 성장 기술이 필요함.
- 아이브웍스는 4인치 전력반도체 화합물 에피 국산화에 성공하였으나 대면적 에피 기술 확보를 위한 장비 개발이 필요하며 최근 정부에서는 차세대 전력 반도체 산업

육성을 시작하여 많은 투자가 예상된다.

- 실리콘 에피: 현재 FinFET 구조에서 GAA 구조 변화 과정에서 추가되는 SiGe/Si channel epitaxial layer (> 3 stacking layer) 박막층 형성이 중요하여 에피 공정 활용 가능성이 높아지는 추세임.
 - FinFET 공정은 substrate를 식각해 Fin을 Top-down 방식으로 형성해 나가는 것과 달리 GAA의 Nano wire 형성은 Si 박막층과 SiGe 박막층을 최소 3회 이상 교차로 성장하여, SiGe 박막층을 선택적으로 식각하는 과정이 추가로 진행됨. 이에 따라 Si/SiGe sheet epitaxy 수요 증가가 동반될 것으로 전망함.
 - Si 박막층과 SiGe 박막층의 격자 폭이 다르기 때문에 박막 간 강한 stress가 가해짐으로써 Si/SiGe 박막 공정은 상당히 정교한 공정 컨트롤이 필요함.
- 원자층 증착: DRAM capacitor 및 3차원 구조 트랜지스터, V-NAND를 위한 high-k 박막과 저저항 금속 형성을 위한 기술의 고도화로 인해 원자층 증착 기술이 기존의 CVD 기술을 대체해 가고 있는 추세
 - 원자층 증착 장치 및 전구체 시장을 해외 업체가 선점하고 있는 상태이나, 국내 글로벌 IDM사와 국내 협력업체 간의 공동 개발을 통해 원익IPS, 주성엔지니어링과 같은 국내 장비 업체가 성장하고 있으며, 전구체 시장의 해외 의존도를 낮추고 공급망 다변화를 위해 국내 중소 중견 전구체 업체(디엔에프, 솔브레인, 한솔케미칼, SK머티리얼즈)들이 high-k, low-k 및 금속 배선을 위한 전구체 합성 기술을 개발하고 있음.
 - 특히, 국내 대학과 정부출연연구소에 원자층 증착 공정 기술에 대한 연구진이 다수 분포하고 있어, 국내 장비 업체와 전구체 업체가 연계되어 high-k 또는 저저항 금속 물질에 대한 차세대 원자층 증착 기술 개발을 선도할 수 있는 개발 환경을 갖추고 있음.
- 평탄화 및 세정
 - 전세계 슬러리 글로벌 공급사인 CABOT, HITACHI CHEMICAL의 CMP 공정 및 슬러리 기술 역량은 석사 및 박사학위 슬러리 전문 개발 엔지니어를 수십 명 채용하여 지속적으로 CMP 슬러리를 개발 중임.
 - 또한 CABOT(미국)사는 텅스텐(W) CMP 슬러리 기술 역량은 Colloidal silica 연마입자 기반의 텅스텐 CMP 슬러리를 최초로 개발하는 세계적 기술 역량을 갖추었음.
 - 국내 경우 CMP 기술 역량은 한양대에서 주로 세리아슬러리와 텅스텐 슬러리를 주도적으로 개발 하는 역량을 갖추었으며, CMP 슬러리 업체 경우 (솔브레인, 케이씨텍, 유비머트리얼즈), 세계적 기업과 비교하면, 석사 및 박사 학위 취득 전문 인력 채용 비율이 매우 적어 기술 난이도가 낮은 산화막용 슬러리와 Bulk Cu 슬러리 기술에 국한하여 개발할 수 있는 역량을 갖추었음.
 - 세정 장비의 경우, 일본 반도체 세정 설비 제조사는 3단 설비 중심으로 시장 성숙기에 진입한 상태이지만 국내와 미국 반도체 세정 설비 제조사는 2단 세정 설비 제조 수준에 있으며 3단 세정 장비 개발을 시작하고 있는 상황임.

【 전공정 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • 고신뢰성, 고정확성 미세 식각 기술 필요 • 고성능의 미세 반도체에 대한 적층형 소자에 대응한 식각 기술 필요 • 대면적 화합물 에피 성장을 위한 MOCVD 장비 국산화 • 국외 단일 웨이퍼 생산 장비의 성능을 견줄만한 국산화 장비 개발 • 반도체 칩의 초미세화, 3차원화에 따른 원자층 증착 수요 및 공정 난이도 상승 • 원자층 증착 장치 및 전구체의 높은 수입 의존도 • 3D NAND 패턴 density 증가(100:1)로 고 선택비 텅스텐 CMP 슬러리 • 로직반도체의 회로선폭 디자인룰의 3 nm 이하로 급격한 감소 	<ul style="list-style-type: none"> • 산학연계를 통한 식각공정 수요와 연구 기관의 협업 • 연구기관들의 인프라 공유 및 국가적 R&D 기술 지원 • 대구경 에피 챔버 설계 및 개발, 고품질 박막 성장을 위한 수직분배기 개발 • 국내 글로벌 IDM사와 협력업체의 원자층 증착 장치 공동 개발 • 산학연계 신규 유전막 및 저저항 금속 물질의 탐색 및 전구체 개발 • 동시 여러 장의 웨이퍼 생산량을 위한 batch type의 국산화 장비 개발 • 정부주도 국내 소자업체 및 소재업체간 상생 프로그램 활성화 • 정부 R&D 지원 활성화
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • 반도체 미세공정 적용에 따른 전방 산업 간의 수요 증가 • 4차 IoT 산업 발전에 따른 고효율 고성능 반도체의 수요 증가 • 차세대 전력반도체 산업 육성을 위한 정비 지원 확대 • 국외 장비 업체의 기술 견제 및 국산화 장비 개발을 통한 장비 수요 활성화 • 국내 원자층 증착 분야 R&D 성장 • 국내에 세계 1위 메모리 및 로직반도체 회사 • 소자 집적도 향상에 따른 CMP 평탄화 및 세정 공정수 증가 • 세계 SCM 환경 변화 : 글로벌 → 보호무역 	<ul style="list-style-type: none"> • 산학연계 국가적 기술 과제 증진 • 차세대 전력반도체 핵심인 에피 성장 기술 고도화 및 장비/핵심 부품 원천기술 확보 • 다양한 업체의 장비 공급을 통한 기술 특성화와 견제 가능 및 차세대 소자의 선두에 설 가능성을 높임 • CMP 슬러리 기술 보유 대학/중소기업 산학협력 • 새로운 소재의 사용이 증가하고 소자 구조는 더욱 입체적으로 바뀌고 있어 기술적인 도전이 커지고 있음

라) 증장기 기술발전 전망

□ 기술의 현재와 미래

- 화합물 에피: 국내 화합물 기반 전력반도체 기술은 개발 초기 단계로 기술 선진국에 비해 상대적으로 매우 뒤쳐져 있음.
 - 핵심 기술인 에피 성장기술은 오랜 기술 노하우 축적이 필요한 분야로 국내 전문가가 매우 부족하며 일부 중소기업만이 사업화에 성공함.
 - 글로벌 선두 기업은 이미 8인치 대면적 양산을 위해 장비 개발에 초점을 두고 있으나 국내의 경우 4인치 개발에 한계로 장비 개발을 통한 기술 경쟁력 확보가 시급함.
- 실리콘 에피: 메모리 소자 고도화에 따른 ILD, IMD 저온 증착 수요 증대로 저

은 증착이 가능한 PECVD와 저온 유전체용 Si 프리커서의 수요 확대가 기대됨. 증착 공정에서는 소자의 공정의 구조적 방향성에 따라 증가할 것이며, 근본적 약점인 생산량 개선에 대한 관심도가 높으며 이를 해결한 장비 수요가 강할 것으로 전망함.

- 삼성전자의 경우 최초로 Epitaxial Si 기반의 트랜지스터 채널 GAA 양산을 앞두고 있기 때문에, 생산량 개선을 통한 증착 장비 개발 필요가 필수적임.
- GAA로의 트랜지스터 구조 형성을 위한 Si/Ge epitaxy 수요 증가와 함께 GAA nanowire 에 step coverage 높은 선택적 박막 증착 수요 역시 증가할 것임.
- 원자층 증착: High-k 박막과 저저항 금속막 형성을 위한 공정 기술은 국내 기술이 앞서 있으나, 관련 증착 장비 및 전구체 개발기술은 여전히 해외 의존도가 높은 실정으로 국산화에 대한 요구가 높음.
 - 원자층 증착 장비의 경우 원익IPS, 주성엔지니어링과 같은 국내 메이저 장비업체들이 수요 업체와의 협업을 통해 지속적으로 신규 장비를 개발하고 있음.
 - 원자층 증착을 위한 전구체 개발은 국내 중소 중견 전구체 업체(디엔에프, 솔브레인, 한솔케미칼, SK머티리얼즈)를 중심으로 high-k 및 금속 배선 물질을 위한 전구체를 개발하고 있음.
 - 국내 학계의 원자층 증착 관련 연구진을 중심으로 증착 장비 및 전구체 업체의 협업을 통해 차세대 반도체를 위한 원자층 증착 기술을 육성할 필요가 있음.
- CMP 공정 기술: 로직 반도체의 패턴미세화(5nm 이하)와 메모리반도체에서의 종횡비(A/R)율이 급격히 증가하는 추세에서 CMP 공정 기술은 현재 dishing과 scratch가 발생되고 있는 공정기술 수준이며, 텅스텐 박막 CMP 공정기술과 슬러리 설계기술 및 산화막 CMP 공정기술과 세리아 슬러리가 주요 기술이며, 미래 기술로 1 nm 로직반도체 CMP 평탄화 공정 기술 및 고패턴 밀도 (100:1 = W-film : SiO₂-film line width)에서 에로전 및 edge of erosion-free 및 dishing-free W-film CMP 공정 및 슬러리 기술 개발이 필요함.
- 세정 기술: 현재 5nm 로직 반도체 FinFET와 10nm D램 미세공정에서 세정 및 고선택비 식각 습식 에천트 기술에서 1 nm 로직반도체 습식 세정 및 etchant 소재 기술 개발이 필요하며, 300단 3D NAND 습식 세정 및 etchant 소재 기술이 필요함, 특히 다음과 공정과 같은 습식 etchant들의 개발 필요성이 대두되고 있음.

【 전공정 요소 기술에 대한 현재와 미래 】

요소 기술	현재	미래
-------	----	----

저온 or Cryogenic 공정 기술	<ul style="list-style-type: none"> • 현재의 저온 or Cryogenic 공정 기술 단계에서는 장비의 문제로 극저온이 불가능한 상태임. • 저온에서의 식각특성이 우수하나 앞으로의 공정에서는 장비개발이 필수적임. 	<ul style="list-style-type: none"> • 앞으로의 저온 or Cryogenic 공정 기술 단계에서는 장비개발로 인한 극 저온의 식각 공정기술이 개발되어야 함. • 극저온으로 감에 따라 챔버의 상황을 보는 모니터링기술 개발 필요
원자층 제어 기술	<ul style="list-style-type: none"> • 원자층 제어 기술에서 현재의 문제는 긴 공정시간에 따른 낮은 생산성 • 플라즈마 제어기술 미흡에 따른 원자층 식각공정에 대한 신뢰성이 낮음. 	<ul style="list-style-type: none"> • 원자층 미세 제어 기술 및 공정시간 단축을 통한 수율향상을 위한 플라즈마 제어기술 및 시스템 운용 기술이 필요함
전력반도체용 대구경 고품질 단결정 성장 MOCVD 개발	<ul style="list-style-type: none"> • MOCVD 장비 해외 의존 및 대면적 에피 성장 기술 고도화 한계 봉착 	<ul style="list-style-type: none"> • 대구경 전력반도체용 화합물 반도체 성장 장비 국산화 및 대면적 에피 기술 확보를 통한 글로벌 경쟁력 선점
Si 에피 박막 성장용 국산화 장비 개발	<ul style="list-style-type: none"> • 차세대 메모리 소자 GAA 구조의 에피 공정 진행을 위한 Si 박막 성장용 장비 개발 추진 	<ul style="list-style-type: none"> • 높은 생산량을 가지는 국산화 Si 에피 성장 장비 개발로 메모리 소자 안정적인 구조 제작 수율 확대
원자층 증착 기술	<ul style="list-style-type: none"> • High-k 박막과 저저항 금속의 원자층 증착 장비 및 전구체에 대한 해외 의존도 심화 • 고종횡비 capacitor와 3차원 트랜지스터, VNAND의 고층화에 따른 원자층 증착 기술의 고도화 및 신규 물질 개발 요구 	<ul style="list-style-type: none"> • High-k 박막을 위한 신규 조성의 물질 발굴 및 고종횡비 구조에서의 원자층 증착 기술 개발 • 초고집적, 고층 구조의 배선을 위한 저저항 금속 물질 신규 발굴 • 산학연계를 통한 원자층 증착 장비 및 전구체의 국산화
평탄화 및 세정 기술	<ul style="list-style-type: none"> • 3 nm 로직반도체 CMP 평탄화 공정용 슬러리 및 세정 공정과 소재 기술 • 178단 3D NAND CMP 평탄화 공정용 슬러리 및 세정 공정과 소재 기술 	<ul style="list-style-type: none"> • 1 nm 로직반도체 CMP 평탄화 공정 기술 및 100:1 pattern density [(W-film line width)/(SiO₂-film line width)]에서 에로전 및 edge of erosion-free 및 dishing-free W-film CMP 공정 및 슬러리 기술 • erosion 및 dishing free 300단 3D NAND CMP 평탄화 공정 기술 및 슬러리 소재 기술
세정 기술	<ul style="list-style-type: none"> • 5 nm 로직반도체 습식 세정 및 에천트 소재 기술 • 178단 3D NAND 습식 세정 및 에천트 소재 기술 	<ul style="list-style-type: none"> • 1 nm 로직반도체 습식 세정 및 에천트 소재 기술 • 3D DRAM 및 300단 3D NAND 습식 세정 및 에천트 소재 기술

(3) 산업 및 시장 분석

가) 시장 동향 분석

□ 국내·외 시장 동향

○ 식각 장비

- Gartner에 따르면, 국내 식각장비 시장은 2017년 3조 9,818억 원에서 연평균 19.53% 하락하여 2019년 2조 5,787억 원 규모를 형성함. 하지만, 반도체 업황의 반등으로 연평균 13.63%의 성장이 예상되어 2024년에는 4조 8,853억 원 규모를 형성할 것으로 예상
- 2017년부터 2019년까지 세계 식각장비 시장은 거의 성장하지 못함. 하지만, 2019년 이후 108억 달러 규모에서 연평균 7.04% 성장하여 2024년에는 152억 달러 규모를 형성할 것으로 전망

【 식각 장비 시장 규모 분석 】

구분	2019	2020	2021	2022	2023	2024	CAGR (%)
세계 시장 규모 (단위 : 억불)	108	123	132	139	146	152	7.04
국내 시장 규모 (단위 : 억원)	25,787	37,536	42,755	45,801	47,301	48,853	13.63

[출처 및 산출방법]

* '20년 Gartner에서 발표한 반도체 식각장비 시장 규모 그래프를 참조함.

- (화합물 에피) 글로벌 전력 반도체 (소자, 파워IC, 모듈 포함) 시장규모는 2019년 약 450억불에서 2023년 530억불 규모로 성장 전망
- 국내 전력 반도체 시장은 약 20억불 규모 (세계 시장의 약 4%)로 기술력 부족과 해외 기업의 특허 선점으로 수요의 약 90% 이상을 수입에 의존하고 있음.

【 화합물 에피 시장 규모 분석 】

(단위 : 억불)

구분	2019	2020	2021	2022	2023	2024	2025	CAGR (%)
세계 시장 규모	451	468	484	509	532	583	639	9.6
국내 시장 규모	18.5	19	20	20.8	21.8	23.3	25.6	-

[출처 및 산출방법]

* '20년 OMDIA, '차세대 전력 반도체 기술개발 및 생산역량 확충 방안 참고'

* 국내 시장은 세계 시장의 4% 로 계산

- (실리콘 에피) 10nm 이하 FinFET 및 GAA 구조 개발을 위해서는 EUV 노광기의 사용이 필수적이나 상용화 지연 및 대규모 투자비용으로 인하여 대체기술 개발 필요성이 높아지고 있는 상황임.
- 메모리/비메모리 산업에서 초미세 패턴 공정으로 Si/SiGe 선택적 성장 에피 기술이 적용되므로 핵심 장비인 선택적 성장 및 초격자 성장을 할 수 있는 장비 기술 개발에 대한 필요성 및 사업화 가능성이 높아지고 있음.

- 차세대 GAA 구조의 반도체 소자 구현에 있어 Si/SiGe 반도체 에피 성장을 통하여 고전하 이동도 대체 채널 사용으로 차세대 CMOS 기술의 지속적인 성능 향상을 기대하고 있으나, 대체로 채널 성장을 위한 클러스터 SiGe 에피 장비의 조달은 해외업체에 전량 의존하고 있음.
 - 현재 차세대 CMOS용 Si/SiGe/Ge 에피 장비의 경우 미국 AMAT 사가 국내 삼성 전자 및 SK하이닉스 등 반도체업체에 제공하고 있는 상황임.
 - 삼성전자의 3나노 공정 전환은 취약한 국내 반도체 장비 업계에도 타격을 미침. 현재 우리나라 반도체 장비 국산화율은 20% 수준이며, 메모리용 장비가 대체로 파운드리 시장은 계측·테스트 분야에 한정적으로 진입해 있음.

○ 증착

- 원자층 증착 장비
 - 원자층 증착 장비 시장은 반도체 및 전자 산업의 급속한 성장과 함께 7nm급 이하 초미세 공정을 적용한 칩 제조에서 원자층 증착 공정에 대한 사용도가 증가함
 - 원자층 증착 장비의 세계 시장 규모는 2020년 37억 달러에 달했으며, 2021-2030년 동안 연평균 7.3%로 성장하여 2030년에는 75억 달러에 이를 것으로 전망
 - 원자층 증착(ALD) 국내 시장 규모는 2020년 6억 1,800만 달러로 추정되며, 2021-2030년 동안 연평균 7.3%로 성장하여 2030년에는 12억 5,000만 달러에 이를 것으로 전망됨.
 - 2020년 국내 ALD 시장 규모는 SEMI(Semiconductor Equipment and Materials International, 국제반도체장치재료협회)가 발표한 2020년 전 세계 반도체 재료 시장(553억 달러) 중에서 한국의 반도체 재료 시장(92.3억 달러)이 차지하는 비중 16.69%를 2020년 세계 반도체 제조용 전구체의 시장 규모에 곱하여 산정했음.

【 원자층 증착 장비 시장 규모 분석 】

(단위 : 억원)

구분	2019	2020	2021	2022	2023	2024	2025	CAGR (%)
세계 시장 규모	-	44,400	-	51,120	-	58,800	-	7.3
국내 시장 규모	-	7,416	-	8,532	-	9,816	-	7.3

[출처 및 산출방법]

* 국내 시장은 세계 시장의 5% 로 잡았으며, 환율 1,200원으로 계산함.

* 중소기업 기술로드맵(2022-2024) 반도체 소재·부품·장비 보고서 內 Precedence Research, "Atomic Layer Deposition Market", 2021 자료를 토대로 재구성

○ CMP

- 반도체 칩의 소형화에 따른 배선층의 박막화는 CMP 슬러리 사용량이 줄어드는 요인이나 로직 및 메모리 반도체의 미세화와 고층화의 추세로 CMP 공정이 증가
- CMP 슬러리는 로직반도체 Cu 배선용 CMP 슬러리 위주로 성장되어 왔으나, 최근 5년 전부터 메모리 공정에서 텅스텐 CMP 슬러리와 ILD CMP 슬러리의 비중이 커지고 있

으며, 전체 CMP 슬러리에서 각각 25%의 비중을 차지하고 성장하고 있는 상황임.

- 텅스텐 CMP 슬러리 경우, CABOT(미국)으로부터 현재 약 1200억원 정도 수입되고 있으며 향후 10%이상의 국내시장이 증가할 것으로 예상됨.
- 신화막 CMP 슬러리는 HITACHI CHEMICAL(일본) 및 CABOT(미국)으로부터 현재 약 400억원 정도 수입되고 있고 5년 이내 연 3,000억원 이상의 국내 시장이 예상됨.

【 CMP 공정 시장 규모 분석 】

(단위 : 억원)

구분	2019	2020	2021	2022	2023	2024	2025	CAGR (%)
CMP 슬러리 세계 시장 규모	14,940	15,522	16,731	18,005	19,318	20,592	21,892	6.6
텅스텐 슬러리 세계시장	5,105	5,225	5,350	5,445	5,565	5,680	5,890	2.4
텅스텐 슬러리 국내 시장 규모	3,725	3,800	3,852	3,914	3,991	4,070	4,195	

[출처 및 산출방법]

* CMP슬러리 세계시장규모는 (주)후지경제 “2020년 반도체재료시장의 현황과 미래전망“

* 국내시장규모는 ‘국내소자업체 실제 사용 실적량과 계획을 근거로 작성됨

○ 세정 기술

- 반도체 세정공정에서 사용되는 고순도 케미컬 중 과산화수소수, 암모니아수, 염산, 황산, 불화수소 등을 대상으로 함.
- 고순도 세정 케미컬은 2019년에 증가세에서 2021년부터 반도체 시장이 커져 증가세로 보였으나 세정기술 발전에 따른 케미컬 사용량 감소가 시장 확대에 부정적 요인으로 작용하고 있음.

【 세정 공정 시장 규모 분석 】

(단위 : 억원)

구분	2019	2020	2021	2022	2023	2024	2025	CAGR (%)
세계 시장 규모	28,279	28,934	30,512	32,133	33,726	35,130	36,605	4.4
국내 시장 규모	7,070	7,234	7,628	8,033	8,432	8,783	9,151	4.4

[출처 및 산출방법]

* 세계시장규모는 (주)후지경제 “2020년 반도체재료시장의 현황과 미래전망“

* 국내시장규모는 세계시장규모의 25% 간주 계산함

나) 산업 동향 분석

□ 국내·외 산업 동향 - 기술별 동향

- 화합물 에피: 국내 기업의 생산 규모 및 기술력이 글로벌 선두 기업에 비해 매우 부족함.
 - 소자 기업은 화합물 에피 웨이퍼를 전량 수입에 의존하고 있음.

- 최근 국내 주요 기업들은 SiC, GaN 등 차세대 전력반도체 시장 성장에 주목하고 관련 투자를 확대하고 있음.
- 실리콘 에피: 미국 정부의 적극적인 유치 정책에 힘입어 애리조나에 건설 중인 생산공장이 '24년부터 가동을 시작해 최첨단 미세공정을 적용한 반도체 제품 등 양산 계획 발표
 - TSMC가 약 120억 달러를 투자해 착공하고 있는 애리조나 공장은 향후 미국 내 첫 번째 5nm공정 반도체 생산지가 될 예정
 - 소니와 함께 일본 구마모토현에 자회사를 설립해 해당 지역에 2022년부터 22나노와 28나노 공장을 건설하고 2024년 이전 양산에 돌입 계획
 - SMIC는 12나노 공정 제품을 소량 생산하기 시작했고 2021년 2023년 각각 10나노, 7나노 미세공정 제품을 양산한다는 계획
- 원자층 증착
 - 3D NAND 플래시 제조를 위해서 산화막/질화막 증착 장치, ARC(Anti Reflective Coating) 증착 장치, ACL(Amorphous Carbon Layer) 증착 장치가 필수적이며, 소자의 미세화, 다층화로 ALD(Atomic Layer Deposition) 장치 시장 증가 추세
 - 3D NAND 플래시, FinFET 등 3D 구조를 적용하는데 매우 복잡하고 어려운 공정을 사용하게 되면서, 증착 장치 및 부품의 친환경, 고정밀, 고균일, 고횡종비 제어 기술에 대해 활발히 연구개발이 진행되고 있는 추세
 - 해외 전공정 장비 업체의 독과점화를 방지하기 위해 IDM사는 국내 전공정 장비업체와의 상생협력 관계를 형성하여 육성하고 있음.

다) 정책분석

□ 주요국의 정책동향 - 주요 기술

- 화합물 에피: 주요국(미국, 중국, 일본)은 화합물 기반 전력반도체 기술 개발을 위한 다양한 지원 확대
 - (미국) 에너지부를 통해 WBG 반도체를 개발하는 'Power America'사업 추진 중
 - (중국) 21년 양회에서 3세대 반도체 (화합물 반도체)를 '7대 첨단 과학기술'에 포함하여 자립화 추진 발표
 - (일본) 전략적 이노베이션 창조 프로그램 (2014)의 일환으로 차세대 WBG 기반 웨이퍼 소재, 전력반도체 소자·모듈 및 응용기술 사업을 진행
- (실리콘 에피) 미국 중심의 반도체기술동맹국인 '미국, 일본, 한국, 대만'으로 선정하고 국내외 반도체 기업의 미국 내 투자를 늘려 세계 반도체 공급망을 미주지역으로 분리하고자 함.
 - 바이든 대통령이 서명한 '반도체 지원법'으로 미국산 반도체 생산 확대 및 미국 내 투자 확대 가능하며, 이는 세계적인 기술패권을 잡기 위한 정책을 펼치고 있는 것임.

- 대만은 세계 최첨단 반도체를 가장 많이 생산하는 TSMC 업체를 주축으로 반도체 생산을 늘리고 있으며 정부에서 인력, 연구개발, 세제, 리쇼어링(해외진출 기업의 국내 복귀) 등 미래 산업과 관련한 모든 분야에서 규제 완화 및 인센티브 제공 중임.
 - 대만 정부는 연구개발의 경우 국책기관인 산업기술연구기관(ITRI)이 AI 관련 핵심기술을 개발해 기업들에게 제공하고 있으며, 민간의 주요 분야 연구개발 촉진을 위해 연구개발비 총액의 40~50%를 보조금으로 지급하는 정책 시행 중임.
 - 인력부문에서는 반도체 전문 인력 2000명 양성을 목표로 오는 2025년까지 15억 대만달러(약 646억원)의 정부 예산을 투입하고 국립대만대 내 반도체 관련 대학원인 '중점과학기술연구학원'을 개원해 6개월마다 신입생을 받고 있음.
- 중국은 아직 기술 집약도가 높지 않은 패키징 분야에서 점차 설계, 제조 분야로 발전하는 과정에서 미국의 공격을 받고 있음.
 - 화웨이 자회사인 하이실리콘 등 일부 설계 분야에서 성과가 있지만 전반적인 반도체 기술 생태계에서 하위그룹에 속해 있어 자체적으로 28나노 수준 반도체에 머물고 있음.

(4) 핵심 전략기술 및 로드맵

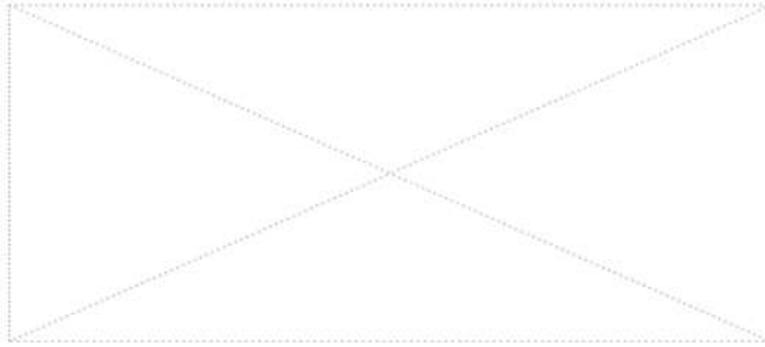
가) 핵심 전략기술

□ 전략기술의 목표

○ 전공정 전략기술의 목표

- 반도체 8대 제조공정에서 노광-식각-증착-CMP 및 세정을 전공정 기술의 핵심 공정으로 꼽을 수 있으며, 해외 의존도가 절대적으로 높은 노광 공정 기술을 제외하고, 국가 경쟁력을 확보하고 있는 식각, 증착, CMP 및 세정 기술을 중심으로 차세대 반도체 연구를 위한 핵심 전략기술을 도출하고자 함.
- IRDS에서 예측하고 있는 반도체 소자 구조는 3차원 다층 멀티채널 구조의 트랜지스터, 고종횡비의 DRAM capacitor, 200단 내외의 수직형 NAND 메모리 등이 있으며, 노광 기술에 의존하는 2차원적인 스케일링의 한계를 극복하고, 3차원 적층화를 통해 소자 동작 속도 향상과 고밀도화를 동시에 추구하고자 함.

【 IRDS More Moore 로드맵 - 소자 구조 아키텍처 】



* 출처: IRDS 2022 update

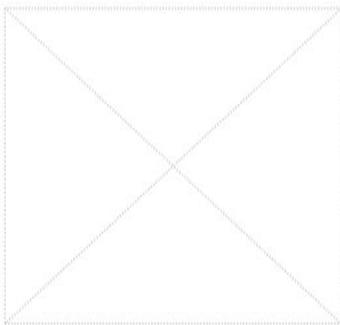
○ 저온 or Cryogenic 공정기술

- 식각장비의 극저온 기관의 제작 및 온도 제어 기술
- 극저온 관한 식각 공정 운용 기술 (다중주파수, Pulsing etc.)
- 식각장비의 극저온 기관에 관한 공정 모니터링 기술

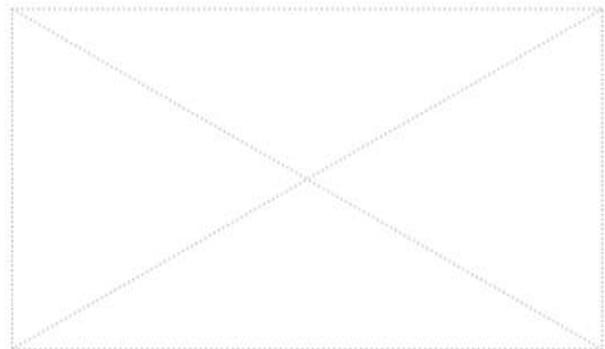
○ 원자층 제어공정 기술

- 플라즈마 정밀 제어를 위한 다중 주파수 및 펄스 운용 기술
- 원자층 식각 공정의 신뢰성을 위한 공정 모니터링 기술

【 저온 or Cryogenic etching 기술 개념도 】



【 원자층 제어 기술 개념도 】



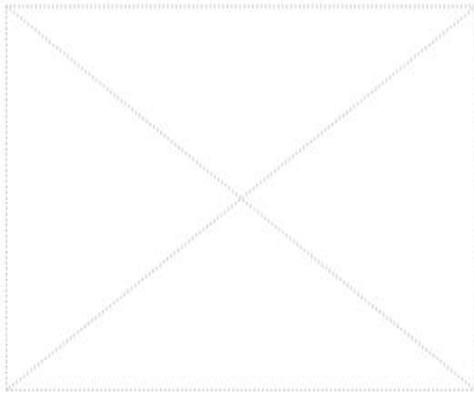
○ 화합물 에피: 전력반도체용 대구경 고품질 단결정 성장 MOCVD 개발

- 대면적(>100mm) 상용 전력반도체 에피 박막 제작이 가능한 챔버 및 균일한 반응가스 흐름 제어를 위한 수직형 분배기(showerhead) 개발
- 반도체 박막 제작 장비의 균일한 온도 공급을 위한 히터 구조 및 실시간 온도 모니터링과 제어가 가능한 시스템 개발

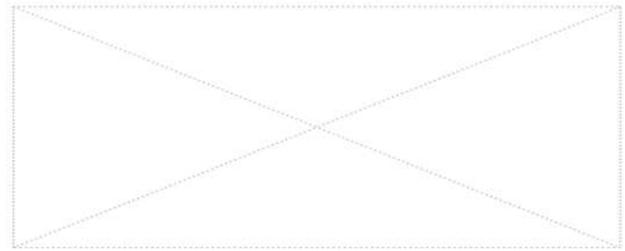
○ 실리콘 에피: 고품질 Si/SiGe 에피 성장을 위한 장비 개발

- 고품질 Si 에피 박막 형성을 위한 Batch type 장비 개발
- 초고농도 도핑 제어를 위한 in-situ 에피 장비 기술 개발

【 대구경 화합물 에피 성장 MOCVD 개발 】



【 고품질 Si/SiGe 에피 성장 장비 개발 】



○ 원자층 증착: high-k 절연막 및 저저항 금속

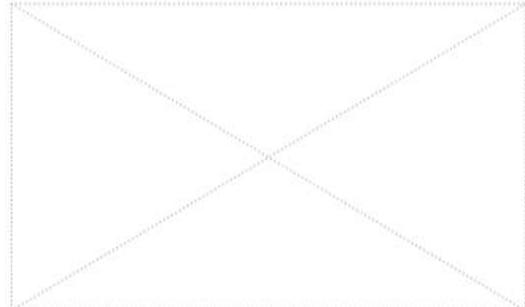
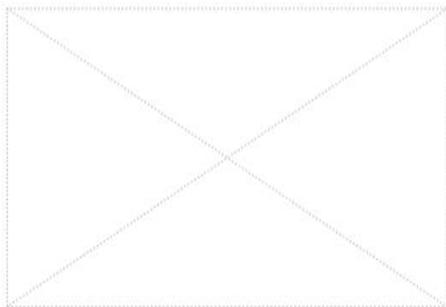
- DRAM capacitor용 high-k 유전물질로 EOT < 5Å를 구현할 수 있는 증착 기술 개발

- 7 nm 이하 두께에서 고유전을 구현
- 누설전류 제어 기술 개발(10^{-6} A/cm² 이하 @ 1V)
- 고종횡비 구조에 conformal한 두께 및 조성의 박막 증착이 가능한 공정
- High-k 물질의 형성 공정에 적합한 안정적인 전극 소재 발굴

- Cu 금속 배선과 W 전극 공정을 일부 대체하는 저저항 금속 물질의 증착 기술 개발

- Bulk 비저항과 전자 평균 자유 이동거리를 고려한 Mo, Ru 또는 alloy 물질의 증착 공정
- 기판에서의 핵 생성 지연의 최소화 및 grain size와 결정성 제어 기술
- 신규 저저항 금속 전구체 물질 합성 및 최적 ALD/CVD 공정 탐색
- 영역 선택적 성장에 의한 금속 패턴 형성 기술

【 원자층 증착 핵심 전략 기술 개념도 】



○ CMP 및 세정

- 3D NAND Flash용 High 텅스텐 Pattern Density CMP 공정용 Erosion 최소화 및 Dishing-Free 한 텅스텐 CMP 슬러리 기술

- 텅스텐 CMP 연마율: 400 nm/min, SiO₂-film CMP 연마율: < 4 nm/min

- 텅스텐 CMP slurry의 과수 농도 변화(slurry 안정성): < 1% @120 hr
- Erosion: < 20 nm @100:1 um pattern density
 - Dishing-free ZrO₂ abrasive based 텅스텐 CMP slurry 설계
- Dishing 5 nm 이하

【 CMP 핵심 전략 기술 개념도 】



3D NAND 플랜시 수직 구조 및 Edge of erosion 개념도

- 세정 기술: 현재 5nm 로직 반도체 FinFET와 10nm D램 미세공정에서 세정 및 고선 택비 식각 습식 에천트 기술에서 1 nm 로직 반도체 습식 세정 및 etchant소재 기술 개발이 필요하며, 3D DRAM 및 300단 3D NAND 습식 세정 및 etchant 소재 기술 이 필요함. 특히 다음 공정과 같은 습식 etchant들의 개발 필요성이 대두되고 있음.
 - 차세대 트랜지스터 제조 기술에 필요한 Oxide Etchant
 - 3 nm GAAFET 제조에 필요한 SiGe Etchant 개발
 - Wafer Level의 3D Stacking 기술에 필요한 Si Etchant 개발
 - 차세대 BEOL용 금속 배선 공정에 필요한 metal etchant 개발
 - 3D DRAM 제조 기술 관련 Si & SiGe Selective Etchant 개발 (100:1)

□ 전략기술의 중요성 및 추진방향

○ 저온 및 Cryogenic 및 원자층 제어기술 중요성

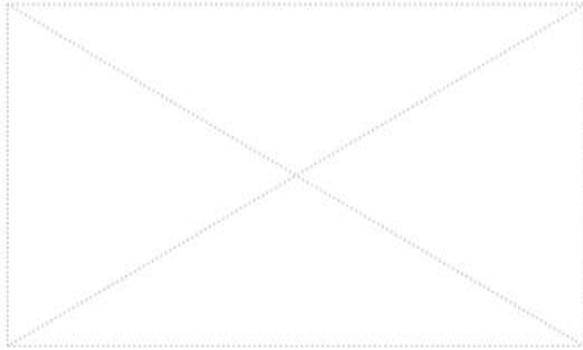
- 4차 산업혁명으로 인해 인공지능, IoT, 로봇공학 등 다양한 분야에서 반도체에 대한 의존성이 점차 증가하고 있음.
- 특히 고집적, 고성능, 저전력의 높은 기술 수준을 갖는 반도체가 요구되고 있으며, 이를 달성하기 위해서는 높은 수준의 반도체 제조공정 기술이 요구되고 있음.
- 식각 공정용 극저온 장치에 관한 기술로써 고 종횡비 및 초미세 패턴 식각이 가능하며 원자층 식각 기술 대비, 고생산성을 달성할 수 있는 로열티 창출형 원천기술임.

○ 저온 및 Cryogenic 및 원자층 제어기술 진행 방향

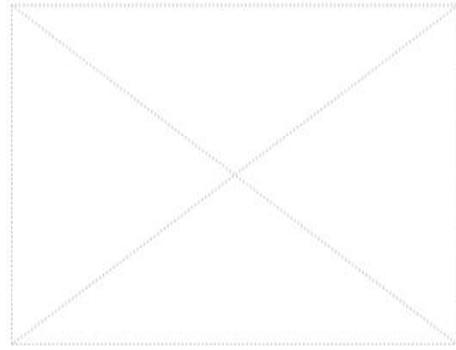
- 차세대 반도체 제조를 위한 초고종횡비 미세패턴 효과적인 원자층 식각 기술개발을 위해서는 플라즈마공학, 표면공학 및 재료분석등 다양한 기술의 복합적인 적용이 필요한 원천기술임.
- 다양한 반도체 및 디스플레이 공정개발에 있어 다년간의 연구 경험을 가지고 있으며, 각 분야에서 탁월한 연구 역량을 가진 기관과의 정기적인 분기별 모임을 통해 연구 결과에 대해 수요기업과의 공유 및 연구 방향에 대한 논의를 지속적으로 진행할 예정이며, 그에 따른 효율적인 연구 방향 재설정 및 개선방안을 도출함.

- (화합물 에피) 차세대 전력반도체 시장 확대에 의해 화합물 에피 기술 확보가 매우 중요한 시점이며 원가의 30% 이상을 차지하는 에피 웨이퍼의 원가 절감을 위한 대구경 MOCVD 장비 개발이 중요함.
 - 국내 소자-모듈 기업과의 협력을 통한 수요 맞춤형 장비 개발이 선행되어야 하며 기존 학·연 에피 성장 연구와 융합을 통해 장비 개발의 속도를 높여야 함.
- (실리콘 에피) 메모리 부문에서 GAA 구조 채택을 통한 Si/SiGe 에피 성장은 필수적이므로, 에피 성장 개발 역시 선두에 나서 진행해야 하는 상황임. 따라서 중소·중견 기업들과의 에피 성장 기술개발을 같이 추진하여 이루어져야 함.
 - 중소·중견기업 중심의 반도체 장비 분야 중 에피 성장 장비 개발 업체의 기반 보유 기술을 활용하여 차세대 에피 성장 개발 진행을 도모하고, 그에 따른 핵심 연구개발 목표를 설정하여 관련된 핵심·원천기술 개발하고자 함.
 - 각 장비 개발 진행 및 평가를 위하여 다양한 산학연 구성을 통해 에피 기술 지원 및 특성 분석을 통해 실시간 기술 지원 협력단 구성
- 증착: high-k 절연막 및 저저항 금속
 - 지속적인 DRAM cell size 감소를 위해 capacitor의 EOT 스케일링이 요구
 - 2022년 발행된 IRDS 보고서에 따르면, 2031년 DRAM technology는 minimum half pitch가 현재의 절반 수준인 8.4nm가 요구되며, 이를 달성하기 위해서는 유전막의 물리적 두께 역시 절반 수준인 4nm 이하가 달성되어야 함.
 - 현재 쓰이고 있는 ZrO_2 와 HfO_2 기반의 high-k 박막의 공정 최적화와 도핑을 통한 유전을 향상에는 한계가 있기 때문에, 고유전율을 갖는 $SrTiO_3$ 나 $BaSrTiO_3$ 등의 perovskite 구조 박막, Nb계 등 신조성의 perovskite 박막, 높은 성능지수를 갖는 신규 유전막에 대한 물질 탐색 및 전구체 개발, 증착 공정 기술 개발이 요구됨.
 - Cu interconnect 물질과 W 전극 물질을 대체 가능한 저저항 금속 물질 증착
 - 반도체 소자의 지속적인 미세화와 3차원 고층화, 고집적화에 따른 배선 저항의 증가 문제를 해결하기 위해, 금속의 성능지수(금속 비저항과 전자 평균 이동거리 고려) 및 후속 식각 공정 가능 여부를 통해 Mo, Ru과 같은 금속 물질의 증착 공정 기술이 요구됨.
 - 금속 물질의 CVD/ALD 공정에서 쓰이고 있는 halide계 전구체를 대체할 수 있는 신규 전구체 물질의 개발이 요구됨.
- CMP 및 세정
 - Erosion은 W -film line width/ SiO_2 -film line width 간의 pattern density가 증가하면, erosion이 급격히 증가함. 또한, W -film 연마율과 SiO_2 -film 연마율 간의 선택비가 증가하면, erosion이 감소함.
 - 텅스텐 CMP 후 erosion의 텅스텐 line pattern density의 의존성이 적고, CMP 후 텅스텐 line의 dishing-free한 W CMP slurry의 기술이 반드시 필요함.

【 텅스텐 패턴 구조도 및 erosion degree 】



<텅스텐 패턴 구조도>



<W 패턴 density에 다른 erosion degree>

□ 핵심 전략기술 발굴

- 저온 or Cryogenic etching이 가능한 공정 시스템 개발
 - 저온 or Cryogenic etching 공정을 위한 기관 구조 개발
 - 실시간으로 기관의 온도 및 챔버의 상태를 측정할 수 있는 모니터링 시스템 구축 개발
 - 공정 가스에 따른 식각 특성 메커니즘 도출 및 메커니즘 분석
- 원자층 제어 식각 기술 개발
 - 플라즈마 제어기술을 통한 생산성 향상을 위한 공정기술 개발
 - 원자층 제어 식각 기술의 신뢰성 향상을 위한 공정 모니터링 기술 개발
- 화합물 에피: 전력반도체 가격 경쟁력 확보를 위한 수입 의존도가 높은 대면적 에피 웨이퍼 국산화가 필요하며 핵심이 되는 MOCVD 장비 개발을 위한 핵심 부품 국산화 및 융합 연구가 중요함.
 - 고품질 박막 성장용 대구경 챔버 개발
 - 반응 가스 흐름 제어를 위한 수직 분배기 (showerhead) 개발
 - 균일 박막 제조를 위한 히팅 코일 설계 및 제작
 - 실시간 온도 제어를 위한 모니터링 기술 개발
 - 대면적 웨어퍼 로딩 및 온도 전달용 서셉터 개발
- 실리콘 에피: 차세대 소자인 GAA 구조에 활용하는 Si/SiGe SAG 박막 성장은 AMAT 사의 단일(single) 웨이퍼 수직형 공정챔버 활용한 장비를 활용하고 있음. 하지만 웨이퍼 생산량이 낮으므로 동시처리가 가능한 대면적 및 대용량 형태의 수직형 공정 챔버 구조를 가진 국산화 장비 개발
 - 최대 6장 웨이퍼의 동시처리가 가능한 수직형 공정 챔버 구조를 가지는 장비 개발이 필수적이며, semi-batch type 형태의 CVD 장비 개발 형태를 고려
- 원자층 증착: High-k 절연막 및 저저항 금속

- DRAM capacitor용 high-k 유전물질로 EOT < 5A를 구현할 수 있는 증착 기술 개발
- CMP: 100:1 High pattern density[(텅스텐 line width)/(SiO₂-film line width)] 및 edge of erosion(cell과 decoder 경계면 부분의 erosion)에서 erosion-free를 위한 텅스텐 CMP slurry 설계 기술 개발
 - 2 step CMP slurry(W 고선택비 slurry+W 역선택비 slurry) 설계
 - Erosion과 Edge of Erosion 최소화를 위한 W 고선택비 slurry의 선택비와 W 역선택비 slurry의 선택비 설계
 - Dishing-free 구현 ZrO₂ abrasive based 텅스텐 CMP slurry 설계
 - CMP slurry 안정성 확보: 과수 투입 후, W-film CMP slurry의 과수 농도 변화: < 1% @ 120 hr
- 세정: 5nm 로직반도체 FinFET와 10nm D램 미세공정에서 세정 및 고선택비 식각 습식 에천트 기술에서 1 nm 로직반도체 습식 세정 및 에천트 소재 기술 개발이 필요하며, 3D DRAM 및 300단 3D NAND 습식 세정 및 에천트 소재 기술 개발

나) 기술개발 로드맵

- 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 전공정 전략 기술 로드맵 】 * ■ : 정부의 집중지원이 필요한 기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
전공정	미세화 기술(≥3nm) 저온 식각(극저온 X) 원자층 제어 (공정 시간 多)	고품질 박막 성장 및 High Throughput 장비 개발									양산제품 최적화	미세화 기술(≤3nm) 저온 식각(극저온 X) 원자층 제어 (공정 시간 多)
		저온 식각 및 원자층 제어 기술 개발									양산제품 최적화	

다) 기대효과

□ 기술적 측면

○ 식각

- 앞으로 수 nm 이하 및 3차원/적층형 소자 제작에 있어서 식각 공정이 더욱 중요한 공정이 되고 있음. 이러한 식각 공정을 구현하기 위해서는 이방성 식각이 잘 구현되는 저온 or Cryogenic 공정을 할 수 있어야 하며, 이를 위해서는 저온 or Cryogenic 기술을 위한 기관 제작 및 그에 따른 식각 공정 기술이 핵심 기술로 적용될 것으로 기대
- 현재 기존의 건식 식각 기술에 비해 원자층 제어기술은 정밀한 식각 제어, selectivity 향상, uniformity 향상, etch profile, micro-loading effect 및 surface

roughness 개선 등의 기술적 장점으로 인해 정밀한 나노기술 및 원자 단위의 연구에 기여할 수 있을 것으로 기대

- 화합물 에피: 해외 의존도가 높은 화합물 에피 성장 MOCVD 장비 및 핵심 부품의 원천기술 확보
- 실리콘 에피: 공정장비의 선행기술개발로 해당분야 국내 중소 장비 기업을 육성하고 선행 특허 확보를 통해 중국 등 후발 메모리반도체 기업 격차 확대 가능
- 원자층 증착 공정용 장비 및 전구체 기술 확보
 - 반도체 산업 핵심 원료의 국내 기술 생산 기반을 확립하여 외국의 기술모방 (원액을 정제하여 판매 등) 에서 벗어나 독자적인 precursor 원액 합성 핵심 기술을 확보하는 기회를 제공할 것임.
 - 신규 precursor (가격 경쟁력과 생산성이 높은 고유전용 precursor 및 high-k 산화물용 metal precursor) 개발은 기존 대비 생산성과 가격 경쟁력이 높아 새로운 화학 소재 개발을 통하여 소자 응용 기술의 발전을 가져올 수 있음.
- CMP 및 세정
 - 3D NAND공정에서 High 텅스텐 pattern density CMP 시 erosion 최소화 기술 및 dishing-free 기술 확보
 - 3D NAND공정에서 High 텅스텐 pattern density CMP 시 erosion 최소화 및 dishing-free한 텅스텐 CMP slurry 개발을 통해 design rule이 5nm 이하인 logic device 제조를 위한 CMP 공정 기술 확보
 - 세정 공정 기술
 - 식각액과 공정 조건으로부터 성능 상관관계를 데이터화하여 장비 활용 기술 분야의 레퍼런스로 활용 가능
 - 에어갭(Air gap) 평가 기술 개발 시 반도체 소자 연구에 대한 국제기술경쟁력의 제고가 기대됨.
 - 세계 최고수준의 SiGe/Si 고선택비 구현 가능한 신규 산화종 연구 가능
 - Si 식각속도 및 선택비 제어 관련 성능 매트릭스 확보, Si 산화 주요 식각종 정의, 제어 가능한 파라미터 확보를 통해 관련 응용 분야의 기초 과학 기술 자료로 활용 가능

□ 경제적, 산업적 측면

- 식각
 - 국내외 반도체 시장에서 차세대 반도체 제조를 위한 저온 or Cryogenic 공정 식각 기술의 필요성이 제기됨에 따라 이를 구현하기 위한 저온 or Cryogenic 공정개발에 수요에 따른 장비 개발 역시 동반 성장할 것으로 예상
 - 국내외 반도체 시장에서 차세대 반도체 제조를 위한 원자층 제어 기술의 필요성이 제기됨에 따라 원자층 제어 개발을 통해 현재 국외가 주도하고 있는 식각 기술분야에

경쟁력을 확보하고, 이를 통해 관련 기술 분야에 있어 세계 시장에서 기술 선점 및 경쟁력 확보가 가능할 것으로 기대

- 화합물 에피: 대면적 화합물 에피웨이퍼 국내 양산을 통한 차세대 전력반도체 시장 경쟁력 확보 및 관련 인력양성과 고용 창출
- 실리콘 에피: 메모리 반도체의 경우 차세대 GAA 구조 채택을 통한 대규모의 시설 투자와 함께 에피 장비 및 기술 인력에 대한 수요가 증가할 예정임.
- 원자층 증착 공정용 장비 및 전구체 기술 국산화
 - 해외 선진기술에 대한 의존성이 높은 증착 공정 장비 및 전구체 기술의 국가경쟁력 확보를 통해, 고부가가치 산업의 일자리 창출과 국산화를 통한 안정적인 공급망 구축
- CMP 및 세정
 - 10nm 이하 차세대 반도체 기술 확보에 기여하여 메모리 반도체산업의 국가경쟁력 강화
 - 국내 반도체 회사들이 초미세 공정 경쟁에서 글로벌 우위를 선점할 수 있을 것으로 예상
 - 차세대 반도체 공정에 사용되는 식각액 개발을 통해 반도체 공정 효율을 극대화하고 결과적으로 공정비용을 크게 감소시켜 기술 및 가격 경쟁력 확보가 가능함.

2. 후공정 전략기술

(1) 기술 개요

가) 기술 정의 및 필요성

□ 기술의 정의

- (정의) 반도체 칩의 제조 후 신호전달, 전력공급, 열 방출 및 관리와 함께 다양한 외부환경으로부터 보호하는 기술

【 시스템 패키지 구조 및 기술 】

시스템 패키지 구조	첨단 시스템패키지 기술
	<ul style="list-style-type: none"> • 칩렛(chiplet) 기술로 발전
	<ul style="list-style-type: none"> • Interposer 또는 3D 패키지 기술로 발전
	<ul style="list-style-type: none"> • 칩 임베디드(FOWLP) 또는 PCB 임베디드 기술로 발전

* 출처: S. K. Lim, ECTC (2005)

- (특징) 반도체 초미세화(sub 3nm) 및 집적화가 기술적·경제적으로 한계에 도달하고 있어 이에 대한 돌파구로 첨단 패키징 기술이 주목

【 패키징 기술의 변화 】

구분	기존 패키징	첨단 패키징
공정 노드	Legacy 공정	15nm 이하 미세공정
대표 기술	리드프레임, FBGA 등	WLP, PLP, 2.5D, 3D, Chiplet 등
기능	보호/연결 기능	기존기능 외 시스템 레벨 통합

- 기존 패키징은 단순 칩의 구동 및 보호를 위한 목적이었으나, 최근 반도체의 미세화, IT 기기의 융합에 따라 소자의 고성능화, 다기능화, 소형화를 구현하는 첨단 패키징 기술의 중요성이 부각

- (한계) 국내 OSAT는 메모리 기반기술로 첨단 기술 경쟁력이 낮고 학·연 등 연구생태계가 취약해 원천기술 및 전문인재 확보 필요
- (의의) 최근 반도체 기술개발의 핵심이 되는 칩렛 기술의 완성을 위해 필요한 이종집적, 3D 패키징, FO-WLP, 고온 반도체용 패키징 분야 원천기술 개발 필요
- (이종집적) SoC를 기능별 블록으로 나눠 공정 노드별로 다이를 제조할 수 있으며, SoC 최대 단점인 수율·크기·공정의존도·개발기간 단축 등이 가능

- (3D 패키징) 소자를 수직 적층하기 위해서 TSV 형성 공정과 웨이퍼 그라인딩 공정, 칩 또는 웨이퍼 본딩 공정에 대한 핵심기술 확보가 시급
- (FO-WLP) WLP(Wafer Level Packaging) 개발을 위한 기판소재를 일본과 미국에 의존하고 있어, 소재 국산화 및 공정기술 개발이 시급
- (고온 반도체용 패키징) WBG 반도체 소자 기반 고효율 전력반도체 모듈 및 패키지 제조를 위해 칩의 양면 접합 기술, 고방열 세라믹 적층 기판 기술, 고온 대응 EMC 공정 기술개발이 필요

□ 기술의 필요성

- 반도체 소자의 집적화가 기술적, 경제적 한계 상황에 접근하고 있으며, 이에 대한 돌파구로서 시스템 패키지 기술이 패러다임 체인저(Paradigm Changer)로 주목받고 있음.
 - 파운드리 세계 1위 기업인 TSMC가 시스템 패키지 분야에 공격적인 투자를 진행

【 반도체 패키지 기술의 변화 】

구분		1세대	2세대	3세대	4세대
패키지 (후공정)	기재	Leadframe base Wire bonding	PCB base Wire bonding	PCB base Flipchip Bumping	Si Wafer base Bumping & TSV
	기능	보호/연결기능	다단적층, 집적화	고집적화, 고기능화	초소형화, 저전력화, 동종 및 이종 기술의 융·복합화, 시스템 레벨 통합기술
	방식	Leadframe	FBGA, MCP	Flipchip, SIP, WLCSP	Flipchip, FOWLP, PLP, 2.5D, 3D, Chiplet 등
전공정	규격	150mm wafer, 1um Node	200mm wafer, ~180nm node	300mm wafer, ~22, 15nm node	300mm wafer, 15nm node 이하
제품	제품	가전제품, PC	PC	모바일(스마트폰)	AI, 5G, 웨어러블, IoT, MEMS

* 출처: 한국혁신학회지, 반도체 패키징 산업의 혁신체제와 기업의 신제품 개발 활동에 관한 사례 연구 (2017. 8)

- 팹리스 기업, IDM 기업, 파운드리 및 OSAT 기업, 소·부·장 기업 등 반도체 전반의 상생 생태계 구축이 필수적인 산업구조
 - IDM(종합반도체기업) 기업(삼성전자, Intel 등)에서는 자체적인 패키지기술개발을 수행 중이고, 최근 파운드리(생산전문기업)에서도 패키지기술개발에 박차를 가하고 있음.
 - 그러나, 팹리스(설계전문기업)나 파운드리 등에서 제조된 제품에 대응하는 패키지 전문기업인 OSAT(Outsourced Semiconductor Assembly and Test)와의 상생 구조 필수
 - 첨단 반도체 패키지 분야와 관련한 소·부·장 기업의 국산화 기술력 향상을 위해서는 제조기업과의 긴밀한 기술 개발 협력이 중요함.

【 반도체 밸류체인 및 기업 유형 】



* 출처: 한국반도체산업협회 (2021)

나) 주요기술 분류(Technology Tree)

【 후공정 주요 기술 분류 】

중분류	소분류	요소기술
이종집적 패키지 기술	Direct Bonding 공정/장비	- 하이브리드 본딩 장비 - Cu 전기도금 공정 및 장비 - CMP 평탄화 공정 및 장비
	wafer/die 이송 공정/장비	- 레이저 적용 TBDB 공정 및 설비
	열관리 소재/공정	- 콤포지트 기반 TIM(thermal interface materials) 소재
3D 패키지 기술(TSV)	TSV 패턴기술	- 고 종횡비 (High Aspect Ratio) Via 형성 기술 - High etching rate 공정 기술
	3D filling 금속 배선 소재/공정	- Via hole 균일 박막 형성 기술 - Low-cost & High-speed 무결함 Via filling 공정 기술
	평탄화/접합 기술	- Thin wafer handling & 평탄화 기술 - Fine-pitch bump 형성 및 정밀 접합 기술
Fan-out Wafer Level Package (FO-WLP)	몰딩 소재/공정	- warpage 및 die shift를 최소화할 수 있는 몰딩 소재 - 대면적 두께 균일도를 갖는 몰딩 소재 및 공정
	다층 배선용 유전체 소재 및 패턴 공정	- 저온 curing이 가능한 PS(photo sensitive) 폴리머 소재
	저저항 금속 배선 소재 및 배선 공정	- 미세 재배선 및 대형 패드의 동시 제작이 가능한 도금 공정 및 소재 - TMV (through mold via) 용 고속 도금기술
고온 반도체용(6G/전력 반도체) 패키지	고온용 인터포저 소재/공정	- 글라스 기반 인터포저 형성 기술 - TGV(through glass via) 형성 기술
	저노이즈 배선 기술	- 초저조도 Cu 표면 처리 기술 - 고온 저저항 배선 소재 기술
	고방열 전력반도체소재/공정 기술	- 고방열 양면 냉각 전력반도체 모듈 공정 기술 - 고온대응 EMC 소재 및 공정 기술 - 세라믹 적층 고방열 기판 형성 기술

○ 이종집적 패키지 기술

- 다양한 기능을 가진 다수의 칩이 단일 반도체로 집약된 시스템온칩(SOC: System

On Chip)의 대안 기술로 멀티 다이 이종집합을 통하여 데이터 폭증 현상에서의 메모리 장벽 문제를 해결하고, SOC 칩의 제조 가격을 낮추며, 시스템 성능 향상을 위한 미세 인터커넥트 패키지 기술

- (장점) SOC를 기능별 블록 단위로 쪼개어 공정 노드별로 다이를 제조하여 제조 공정에 대한 의존성이 적으며, SOC 최대 단점인 수율, 크기, 개발기간 단축 등을 해결할 수 있음.
- (SOC의 한계) ① 오랜 개발 기간, ② 막대한 개발 비용, ③ 다품종 소량 생산의 어려움, ④ 저수율 및 고가격, ⑤ RF, 안테나, 센서 등 이종 소자 집적의 어려움.
- (기술 개발 현황) ① 애플의 UltraFusion 기술: SOC 두 개의 칩을 패키지하여 상용화 (2022년) ②AMD의 ZEN3 프로세서(2020년): Chiplet 기술의 시초
- SiP 기술은 복수의 칩을 하나의 패키지화하여 시스템을 구성하고 다기능을 구현하는 고집적 패키지 기술로서, 다수의 첨단 패키지 기술(FOWLP, 2.5D interposer, 3D 적층 패키지, 임베디드 PCB 기술 등)을 이용하여 구현함.

【 공정 미세화 한계 돌파를 위한 글로벌 3사의 SiP(이종집합) 기술 】

주요기술	TSMC	Intel	삼성전자	특징
2.5D	CoWoS	EMIB	I-Cube	<ul style="list-style-type: none"> • (CoWoS) 현재 상용화에서 가장 앞서 있는 solution • (EMIB) Interposer 대신 local 배선인 Si bridge를 활용 • (I-Cube) logic chip과 HBM을 수평적으로 연결
				
3D	SoIC	Foveros	X-Cube	<ul style="list-style-type: none"> • (SoIC) Chiplet 구조 도입, 특화된 기능의 Chiplet 적층 • (Foveros) Face-to-Face die stacking 패키지 구현 • (X-Cube) logic chip과 HBM을 수직적으로 연결
				
2.5D & 3D	CoWoS-SoIC	Co-EMIB, ODI	I-Cube4	<ul style="list-style-type: none"> • (CoWoS-SoIC) HBM은 2.5D, chiplet은 3D 적층 • (ODI) 더 큰 TSV를 적용하여 통신버스의 접촉면적을 줄이고 전력 관련 성능 개선 • (I-cube4) logic chip과 HBM은 2.5D로, HBM은 3D로 적층
				

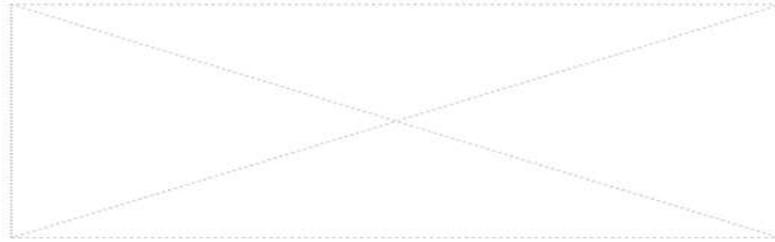
* 출처: TSMC, Intel, 삼성전자, 삼성증권

○ 3D 패키지 기술 (Through Si Via (TSV))

- 3D 패키지 기술이란 소자를 수직으로 적층하여 고성능, 고밀도, 소형화 그리고 가격을 낮출 수 있는 기술이며, 소자 적층으로 인한 열 방출 및 전력 전달에 대한 기술개발이 계속 요구되고 있음.
- 소자를 적층하기 위해서는 TSV(through Si via) 형성 공정, 웨이퍼 그라인딩 공정 그리고 칩 또는 웨이퍼 본딩 공정이 필요하고, 최근 이종집합 기술의 요구로 인하여 저온 하이브리드 본딩 공정이 중요시되고 있음.
- 3D 패키지 기술에는 기존의 전통적인 와이어를 이용하여 칩을 집적하는 기술과 TSV

와 범프를 이용하여 칩을 집적하는 기술이 있으며, 또한 패키징된 칩 위에 패키징된 칩을 적층하는 PoP(package-on-package) 기술도 있음.

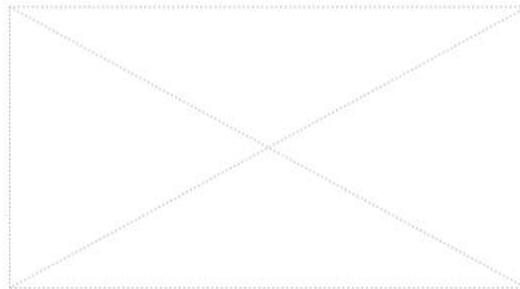
【 Wire-bonding 기술과 TSV 기술 비교 】



* 출처: KISTEP

- 3D 적층으로 제조된 제품으로는 메모리 소자를 적층한 HBM이 있으며, 최근 CPU 위에 Cache 메모리 패키지 기술로 제조되었으며, 하이브리드 칩 본딩이 적용된 사례임.

【 AMD 3D V-cache 구조도 】



* 출처: <https://www.amd.com/ko/technologies/3d-v-cache>

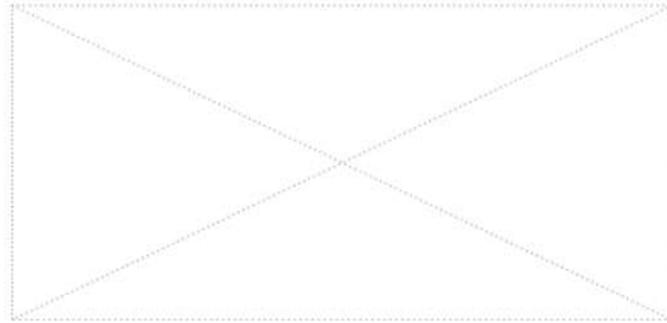
- 3D 패키지 기술에는 TSMC의 SoIC 기술, 삼성의 X-cube 기술, 인텔의 Co-EMIB, Foveros, ODI(Omni-Directional Interconnect) 기술 등이 있음.

○ Fan-out Wafer Level Package (FO-WLP)

- 전통적인 CSP(chip scale package) 기술 중 Si efficiency가 '1'이 되는 즉 칩과 패키지 크기가 동일하게 패키징하는 기술을 WLP라고 부름. 이후 WLP 기술은 재배선(RDL, redistribution layer)이 칩 내부로 모두 배치되는 Fan-in WLP 기술과 재배선이 칩 외부로도 배치되는 Fan-out WLP 기술로 발전하였음.
- 첨단 반도체 패키지 기술로 불리는 2.5D interposer, 3D 적층 패키지, 그리고 FOWLP 기술들은 대부분 클린룸(cleanroom)에서 웨이퍼 공정으로 진행되기 때문에 이를 통칭하여 웨이퍼 레벨 패키지 기술이라고도 말함.
 - (FI-WLP) 웨이퍼 위에 패키지 공정을 진행하여 substrate(기판) 없이 칩과 보드(PCB)를 직접 접합함으로써 전기적 특성을 향상하고, 소형화를 달성할 수 있는 기술
 - (FO-WLP) 칩보다 넓은 배선 영역을 제공하여 다양한 동종·이종결합을 구현하여 기존 FC나 FI-WLP 기술에 비해서 전기적·열적 특성이 우수하고 소형화가 가능한 기술

* 다양한 모바일 제품, 자동차 레이더, RF 패키지, 고성능 네트워킹 시스템 등 반도체 소자에 주로 사용되고 있음.

【 Fan-in과 Fan-out 기술 비교 】

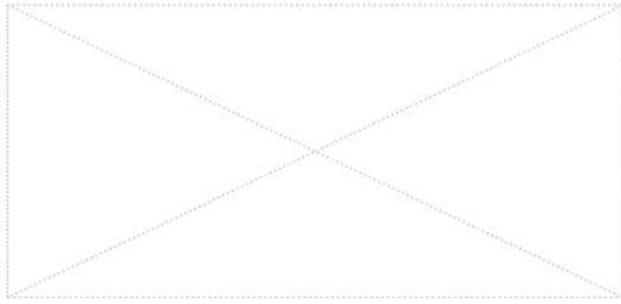


* 출처: ' KISTEP

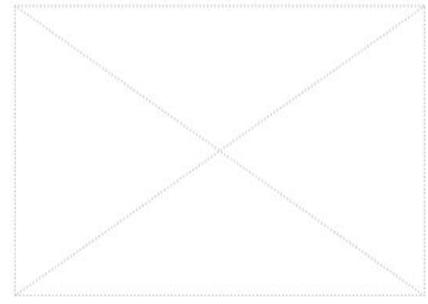
○ 고온 반도체용(6G/전력 반도체) 패키지 기술

- 전력반도체 패키지는 최근 전기자동차, 신재생에너지발전, 고속전철 및 우주항공산업의 발전으로 기술 개발 필요성이 크게 증가하고 있음. 또한, 전통적인 Si 기반 반도체 소자에서 SiC 및 GaN과 같은 WBG(wide band gap) 소자의 채택 증가로 인해 고온 고신뢰성 반도체 패키지에 대한 기술 개발 요구가 크게 증가하고 있음.
- 최근에는 독일과 일본 선진 기업을 중심으로 기존의 discrete power package의 장점과 power module의 장점을 살리면서, 단면 냉각의 냉각 효율을 개선한 양면 냉각(Double side cooling) 모듈의 개발 및 적용이 활발히 전개되고 있음.
- (단면 냉각 모듈) 전력반도체 칩이 방열기판의 상부에 실장되어 칩에서 발생한 열이 주로 아래 기판 방향으로만 배출되는 모듈. 방열 특성이 낮아 고사양 제품 적용에 한계가 있음.
- (양면 냉각 모듈) 전력반도체 칩의 상부 및 하부에 방열기판을 배치한 모듈 형태로 칩에서 발생한 열이 상/하부 양방향으로 배출되어 방열 특성이 우수하며 고사양 제품에 적용
- WBG 반도체 소자를 이용한 고출력 전력반도체 모듈 및 패키지 제조를 위해서는 칩의 양면 접합 기술, 고방열 세라믹 적층 기판 기술, 고온 대응 EMC 공정 기술개발이 필요함.

【 Discrete package, Power module과 양면 냉각 모듈 비교 】



【 Infineon 양면냉각모듈 】



* 출처: Yole development, Infineon

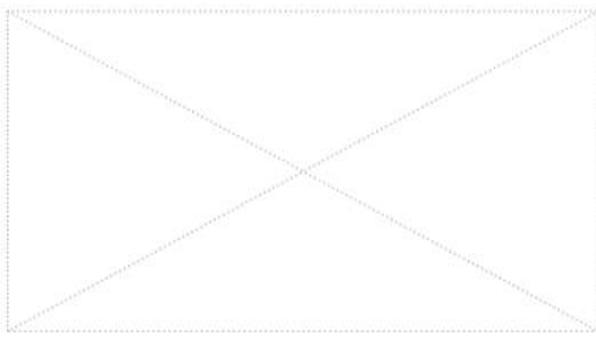
(2) 기술 분석

가) 국내·외 기술 현황

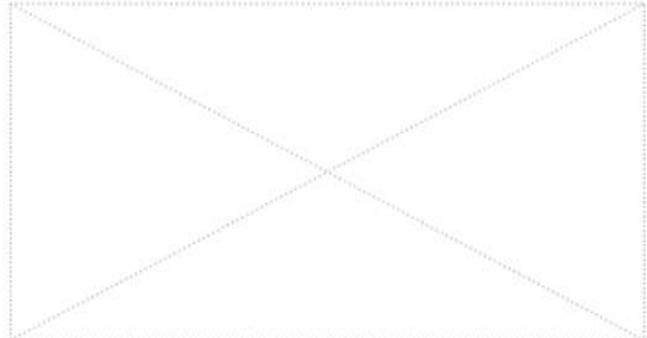
□ 국외 기술 동향

- [TSMC] CoWoS·InFO 기술을 바탕으로 한 기술 선점, 생태계의 지속적인 주도
 - ‘3D Fabric’(① Advanced Packaging, ② Chip Stacking)을 통한 패키지 기술 로드맵 제시
 - 패키지 기술의 고도화 (Advanced Packaging) InFo, CoWoS / (Chip Stacking) SoIC

【 TSMC의 3D Fabric 】



【 TSMC 칩·시스템 레벨 통합 로드맵 】



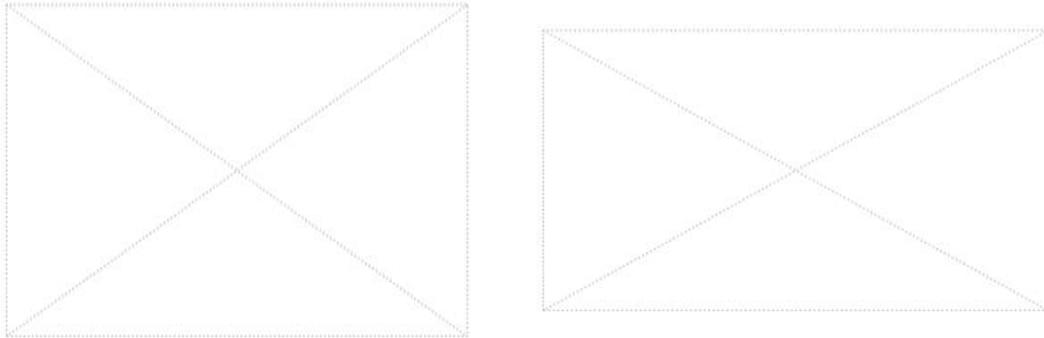
* 출처: TSMC Homepage

- (CoWoS 기술) 고성능 컴퓨팅을 위한 패키지로, 애플의 M1 Ultra 칩 개발도 TSMC의 2.5D 패키지 기술 CoWoS를 통해 제작됨.
- 최근 발표된 애플의 M1 Ultra의 경우 2개의 로직 반도체와 8개의 메모리로 구성되어 있으며, TSMC의 CoWoS 공정의 발전으로 인해 하나의 인터포저 위에 올려 고성능 칩 제작이 가능해짐.
- TSMC의 CoWoS는 실리콘 기반 인터포저 위에 메모리와 로직 반도체를 올려 칩을

제작하며, 실장 면적이 줄어 집적도 증가

- CoWoS 패키지 기술을 통해 메모리와 로직 반도체 간 연결성을 극대화하여 메모리 칩이 유용하게 쓰이는 딥 러닝, 5G 네트워크, 데이터센터 등의 다양한 업계에서 주목 받고 있는 상황

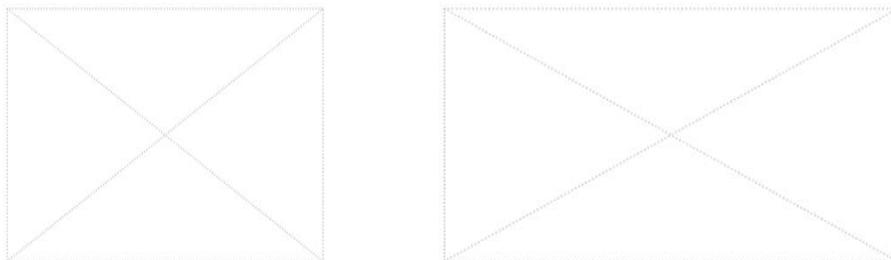
【 TSMC의 CoWoS 기술 】



* 출처: TSMC Homepage

- (InFO Wafer Level Packaging 기술) 모바일 단말기를 위한 소형 패키지 기술로, CoWoS와 함께 칩의 배선을 밖으로 빼내서 패키지를 하는 기술인 InFO 기술로 패키지 업계 주도권을 잡고 있음.
- InFO 기술은 InFO를 상하로 적층하는 스택형 패키지 기술로, VLSI 기술 심포지엄에서 발표한 바에 따르면, 4층의 적층 수를 상정했고 2층은 현재 InFO 기술로 가능하며 8층은 제조기술 난이도가 높아진다고 밝힘.

【 TSMC의 InFO 패키지 기술 】

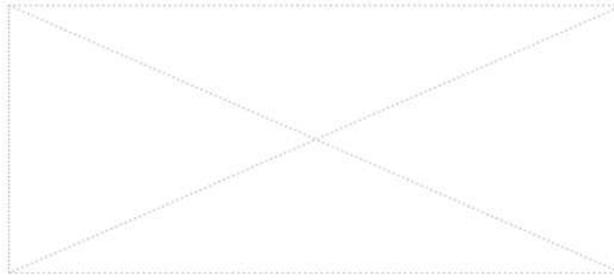


* 출처: TSMC Homepage

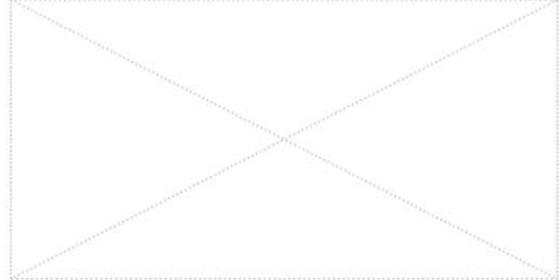
○ [Intel] 후공정에서 'EMIB'와 'Foveros'라는 기술로 차별화

- (EMIB) 실리콘 브릿지를 활용한 2.5D 패키지 방식
- (Foveros) 3D Stacking을 위한 패키지 방식
- 2022년도 하반기 출시 예정이었던 Meteor Lake 마이크로프로세서에 Foveros 공정을 적용할 예정
- (Intel's Tiles technology) Chiplet과 동일한 컨셉의 인텔 방식의 이중집적 기술

【 인텔 기술 포트폴리오 】



【 인텔 패키지 로드맵 】



* 출처: Intel Homepage

□ 국내 기술 동향

○ [삼성전자] 3D/2.5D 패키지 기술인 X-Cube·H-Cube를 통한 TSMC 추격 및 독주 견제

- (3차원 적층 패키지 기술: X-Cube) 위·아래 칩의 데이터 통신 채널을 설계에 따라 확장 가능하며, 신호 전송 경로 최소화로 인해 데이터 처리 속도 극대화 가능
- 로직 반도체는 보통 연산 블록 (Logic Block)과 캐시 메모리 역할을 하는 S램을 나란히 배치, X-Cube는 전(前)공정을 통해 다이(die)가 형성된 웨이퍼를 TSV(Through-Silicon-Via)를 통해 위로 얇게 적층하는 기술
- 연산 블록과 S램을 별도로 설계, 생산해 쌓기 때문에 칩 면적은 줄이면서 S램 용량이 증가

【 삼성전자의 3D 패키지 기술: X-Cube 】

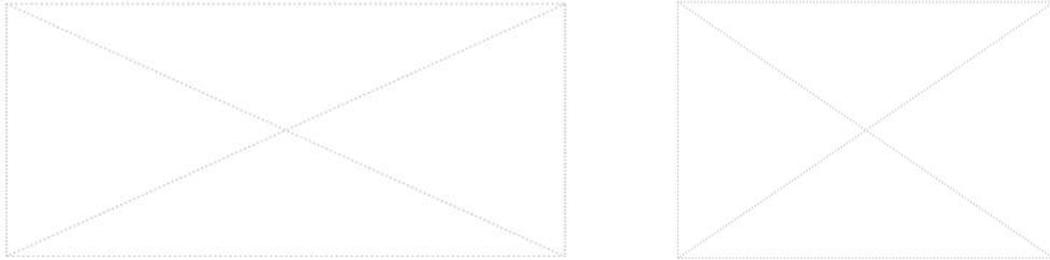


* 출처: 삼성전자

- (차세대 2.5D 패키지 기술: H-Cube) 네트워크용 고사양 반도체에 사용되는 기술로 실리콘 인터포저 위에 로직 (Logic)과 HBM (High Bandwidth Memory)를 배치
- 고사양 특성 구현이 용이한 메인 기판 아래에 대면적 구현이 가능한 보조 기판을 추가로 사용하는 2단 하이브리드 패키지 구조로 로직과 함께 6개 이상의 HBM 탑재 가능
- 메인 기판과 보조 기판을 전기적으로 연결하는 솔더볼 (Solder Ball)의 간격을 기존 대비 35% 좁혀 기판 크기를 최소화, 다수의 HBM 탑재로 인한 대면적 기판 제작의 어려움을 극복, 기판 아래 보조기판을 추가해 시스템 보드와의 연결성 확보
- H-Cube는 삼성전자와 앰코테크놀로지, 삼성전기의 긴밀한 협력을 통해 개발된 기술

로 파운드리와 OSAT 업체와의 협업 관계를 통해 성공적으로 이루어 낸 것에 큰 의미

【 삼성전자의 2.5D 패키지 기술: H-Cube 】



* 출처: 삼성전자

나) 특허 및 논문 동향

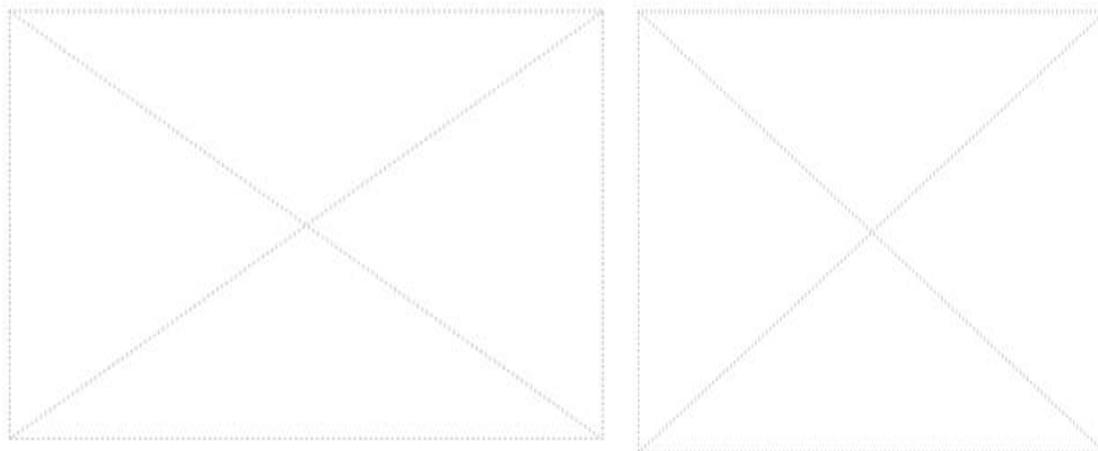
□ 특허 동향

○ 이종집적 패키지 기술

- 하이브리드 본딩 장비

- 하이브리드 본딩 장비: 전체 기술 분야의 전체 특허 출원 건수는 619건으로, 미국, 중국, 유럽, 일본, 한국, 대만 순으로 확인됨.
- 하이브리드 본딩 장비 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2013년도에 출원 건수가 다소 감소한 것으로 나타남.

【 ‘하이브리드 본딩 장비’ 연도별 및 국가별 특허건수 】



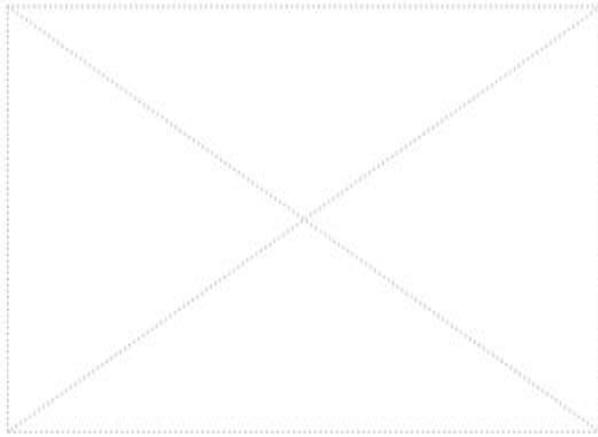
<연도별 특허건수>

<국가별 특허건수>

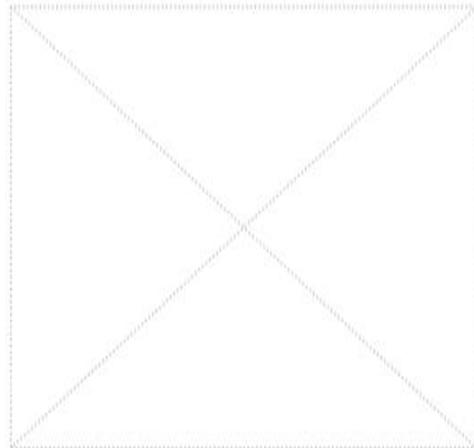
- 컴포지트 기반 TIM(thermal interface materials) 소재

- 컴포지트 기반 TIM 소재: 전체 기술 분야의 전체 특허 출원 건수는 859건으로, 중국, 미국, 유럽, 일본, 한국 및 대만 순으로 확인됨.
- 컴포지트 기반 TIM 소재: 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2016년도에 출원 건수가 급격히 증가한 것으로 나타남.

【 ‘컴포지트 기반 TIM(thermal interface materials) 소재 ’연도별 및 국가별 특허건수 】



<연도별 특허건수>



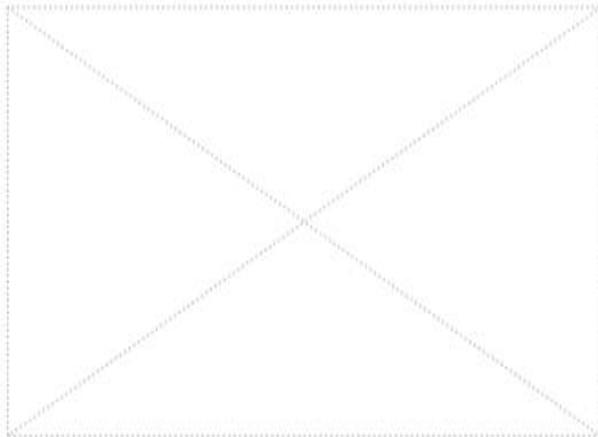
<국가별 특허건수>

○ 3D 패키지 기술

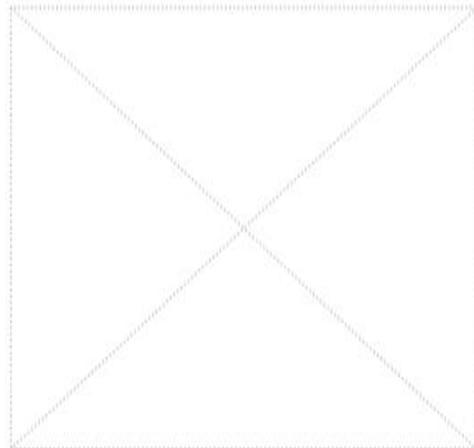
- Low-cost & High-speed 무결함 Via filling 공정

- Low-cost & High-speed 무결함 Via filling 공정: 전체 기술 분야의 전체 특허 출원 건수는 396건으로, 중국, 유럽, 미국, 일본, 한국, 대만 순으로 확인됨.
- Low-cost & High-speed 무결함 Via filling 공정 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2013년도부터 2017년도까지 출원 건수가 증가한 것으로 나타남.

【 ‘Low-cost & High-speed 무결함 Via filling 공정’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



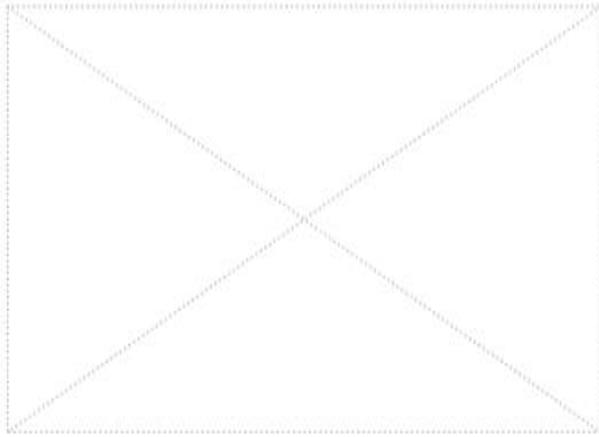
<국가별 특허건수>

○ Fan-out 패키지 기술

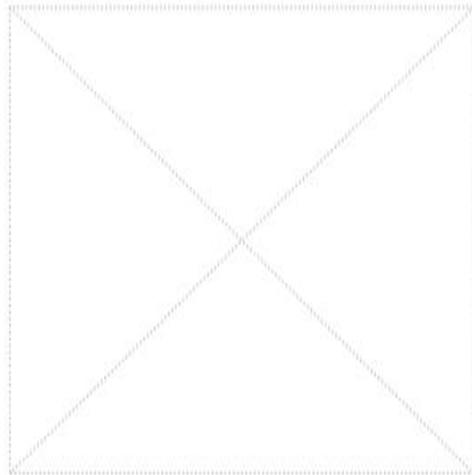
- 저온 curing이 가능한 PS(photo sensitive) 폴리머 소재

- 저온 curing이 가능한 PS 폴리머: 전체 기술 분야의 전체 특허 출원 건수는 874건으로, 중국, 미국, 유럽, 일본, 한국, 대만 순으로 확인됨.
- 저온 curing이 가능한 PS 폴리머 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2018년도에 출원 건수가 다소 증가한 것으로 나타남.

【 ‘저온 curing이 가능한 PS(photo sensitive) 폴리머 소재 ’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



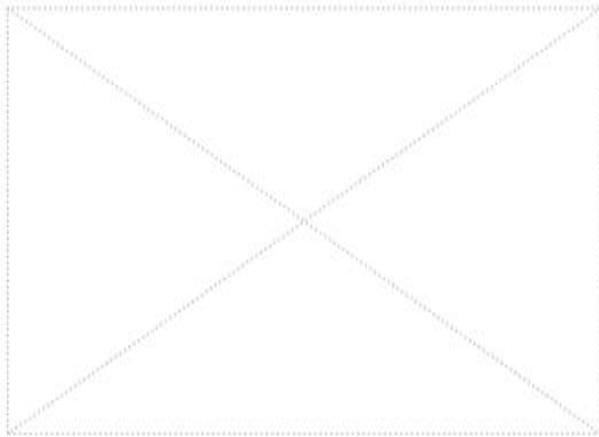
<국가별 특허건수>

○ 고온 반도체용(6G/전력 반도체) 패키지 기술

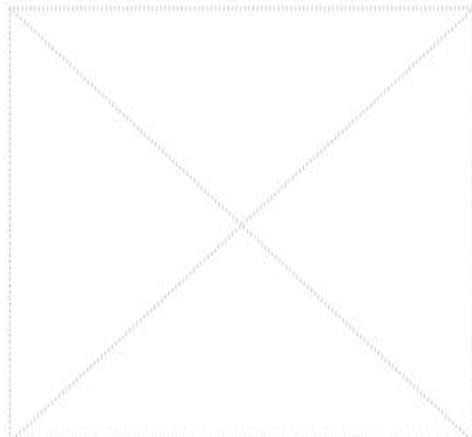
- 글라스 기반 인터포저 형성

- 글라스 기반 인터포저: 전체 기술 분야의 전체 특허 출원 건수는 1,182건으로, 미국, 유럽, 중국, 일본, 대만, 한국 순으로 확인됨.
- 글라스 기반 인터포저 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2011년부터 현재까지 증가 및 감소를 반복하는 양상을 보임.

【 ‘글라스 기반 인터포저 형성 ’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>

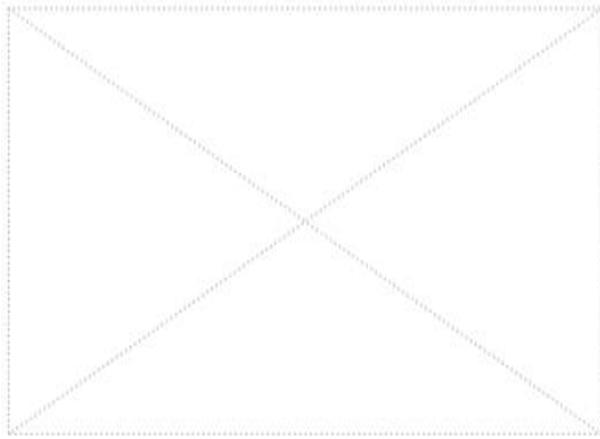


<국가별 특허건수>

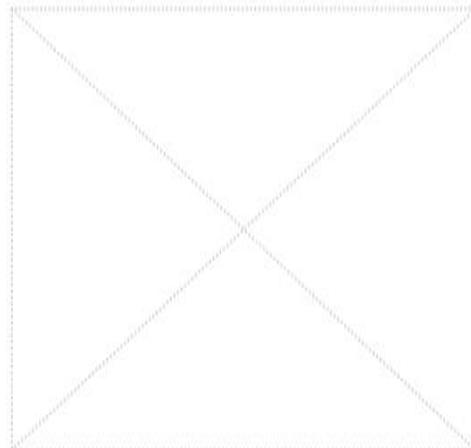
- 고방열 양면 냉각 전력반도체 모듈 공정

- 고방열 양면 냉각 전력반도체 모듈 공정: 전체 기술 분야의 전체 특허 출원 건수는 1,472건으로, 중국, 일본, 한국, 유럽, 미국, 대만 순으로 확인됨.
- 고방열 양면 냉각 전력반도체 모듈 공정 기술 분야의 전체 연도별 특허 동향을 살펴보면, 2011년부터 현재까지 증가 및 감소를 반복하는 양상을 보임.

【 ‘고방열 양면 냉각 전력반도체 모듈 공정’ 연도별 및 국가별 특허건수 】



<연도별 특허건수>



<국가별 특허건수>

□ 논문 동향

○ Fan-out Wafer Level Package (FO-WLP)

- InFO (Wafer Level Integrated Fan-Out) Technology

- 2016년 TSMC에서 InFO 기술을 종합적으로 소개한 논문으로, 다른 3D 기술과의 비교를 통해 InFO 기술이 모바일 부문에서 더 뛰어난 성능을 나타내고 있음을 보였을 뿐 아니라 각종 신뢰성 평가에서도 우수한 결과를 나타낸다고 주장함.

- Development of High Density Fan Out Wafer Level Package (HD FOWLP) With Multi-layer Fine Pitch RDL for Mobile Applications

- 기존의 chip-first FOWLP 기술이 갖는 한계를 극복하기 위해 RDL-First FOWLP 기술을 이용하여 L/S = 2 μ m/2 μ m 미세 피치의 RDL 제작하는 제조 기술과 신뢰성 평가 결과를 소개함.(IEEE 66th Electronic Components and Technology Conference, p1522-1529 (2016))

- Study on Process Induced Wafer Level Warpage of Fan-Out Wafer Level Packaging

- FOWLP 공정에서 발생하는 warpage를 개선하기 위해, 여러 공정단계별로 발생하는 warpage를 전산해석과 실험결과의 비교를 통해 warpage에 영향을 미치는 공정인자들을 도출함.(IEEE 66th Electronic Components and Technology Conference, p1879-1885 (2016))

○ 고온 반도체용(6G/전력 반도체) 패키지

- 고방열 양면 냉각 전력반도체 모듈 기술

- Thick Lead-frame 기반의 파워소자 embedding 기술, 고방열 세라믹 적층 기판을 이용한 양면 냉각 모듈의 제작 및 cooling system 구현과 wire bondless 3D flip-chip power package 구현 기술 개념 소개 (IEEE journal of emerging and selected topics in power electronics, 8 (2020) 239)

- 고온 대응 EMC 소재 및 공정기술

- Fuji SiC 파워모듈에 적용된 고방열 Si₃N₄/Thick Cu 방열 적층 기판, Cu pin을 이용한 device interconnection 기술 및 High Tg epoxy resin 몰딩 소재 적용 파워 모듈 공정기술(IEEE Access, 8 (2020) 160140)

- Advanced 파워 모듈 패키지 기술

- ABB, Audi, Fraunhofer 공동 연구를 통해, SiC 반도체 칩 적용 Cu wire bonding 기술, 터미널 초음파 접합 기술, 고방열 Cu/Si₃N₄/Cu 적층 기판과 SiC 칩의 접합에 Ag sintering 기술을 접목한 advanced power module을 소개하고, 관련 패키지의 우수한 환경 신뢰성 시험 결과 소개(EPE'19 ECCE Europe IEEE (2019))

다) 기술 수준 및 역량 평가

□ 기술 역량 분석

【 후공정 기술 역량 분석 】

(Challenge)	(Solution)
<ul style="list-style-type: none"> • 국내 OSAT 기업의 경우, 첨단 패키지 관련 투자가 부담스러운 상황이며, 대기업의 경우, 글로벌 경쟁사에 비해 기술 투자가 늦어짐. • 패키지 관련 기초 소재에 관한 산학연의 대응이 매우 취약하여, 글로벌 선도기업에 원소재의 거의 대부분을 의존하는 상황임. • 국내 반도체 관련 교육은 전공정에 매우 편중되어 있으며, 후공정 관련 교육은 미진한 상황임. 	<ul style="list-style-type: none"> • 패키징 전방 산업인 국내 반도체 소자 제조 산업의 경쟁력이 충분히 강하므로, 본격적인 기술 개발 및 사업화의 집중과 시너지 가능 • 패키징 산학연 인적 네트워크가 충실하게 유지되고 있어 상호협력을 통한 집중적인 기술 개발 및 사업화 가능 • 국내 대학 및 연구소의 반도체 관련 개발 역량이 축적되어 있어 개발기술의 신속한 사업화가 가능함.
(Opportunity)	(Technology Environment)
<ul style="list-style-type: none"> • 국내 중견 OSAT기업들이 관련 기술을 확보에 나서고 있으며, 본격적인 기술 개발 및 사업화에 필요한 기반 마련 중임. • 본격적인 Fan-out 사업화에 필요한 인력 및 국내 장비 업체들의 Fan-out 관련 경험이 확보되어 있어 빠른 시간에 경쟁사를 따라잡는 것이 가능함. 	<ul style="list-style-type: none"> • 글로벌 최고의 경쟁력을 갖추고 있는 대만의 패키지 산업은 TSMC를 중심으로 소재, 장비 업체들이 협력하여 기술 개발 생태계를 강화함. • TSMC의 일본 공장을 통하여 TSMC와 일본 소재, 장비 업체들과 독점적 기술 협력 관계가 발전하고 있음. • 첨단 소재, 장비에 대한 글로벌 선도기업의 독점적 사용 강화로 인해 국내 업체들의 첨단 소재, 장비에 대한 접근이 어려워 기술 격차가 발생

라) 중장기 기술발전 전망

□ 기술의 현재와 미래

○ 첨단패키지 기술의 전망

- 반도체 미세화 공정 한계 및 다양한 ICT 제품 수요에 대응하고 지속적인 반도체 발전을 위한 새로운 패러다임이 필요
- 반도체 성능 향상을 위해 반도체 후공정 차별화로 전(前)공정의 비싼 개발 비용과 개발 기간 단축 그리고 안정적인 수율 확보를 가능하게 하는 새로운 패러다임으로 발전
- 하나의 디바이스에서 모든 성능을 구현하는 SoC (System on Chip)에서 설계 및 전공정 한계로 SiP (System in Package) 또는 칩렛 (Chiplet)에 후공정 기술을 활용한 새로운 패러다임이 미래 반도체 경쟁력으로 부각하고 있음.
- 시스템 반도체의 경제성 향상을 목적으로 개발된 칩렛 (Chiplet) 기술 및 데이터 증가에 필수적인 메모리 반도체 차별화가 가능한 HBM (High bandwidth Memory) 같은 3차원 적층 기술, 더불어 시스템 반도체와 메모리 반도체를 서로 연결시키는 이종접합 기술이 활발하게 개발되고 양산 적용 중임.

【 후공정 요소 기술에 대한 현재와 미래기술 역량 분석 】

요소 기술	현재	미래
하이브리드 본딩 장비	<ul style="list-style-type: none"> • 글로벌 선도 기업 2개사를 중심으로 개발이 이루어지고 있음 • 공정 시간이 여전히 길고 공정 온도도 높은 상황임. 	<ul style="list-style-type: none"> • 장비의 국산화가 이루어질 필요가 있음. • 공정시간은 절반이상으로 단축되고, 공정 온도도 220도 이하로 하향될 것으로 전망됨.
Cu direct 본딩 소재 및 공정	<ul style="list-style-type: none"> • electroplated Cu가 주요 본딩 소재임 • 하이브리드 본딩 방식이 대세를 이루고 있음. 	<ul style="list-style-type: none"> • 기존의 electroplated Cu의 미세 구조 제어를 통한 본딩 성능 개선이 이루어질 것으로 전망 • 미세 alignment가 계속적으로 요구되는 상황에서 하이브리드 본딩 공정의 개선이 요구됨.
본딩패드 평탄화 공정	<ul style="list-style-type: none"> • 기존 in-fab공정인 CMP공정이 대세로 자리 잡고 있음 • PLP 등의 대면적화에 대응하는 노력이 진행 중임. 	<ul style="list-style-type: none"> • 기존 CMP공정의 고비용을 극복할수 있는 대체 공정의 출현이 전망됨. • 기존의 CMP공정의 비용 절감을 위한 신규 패드 및 슬러리 개발
대면적 고정밀도 몰딩 기술	<ul style="list-style-type: none"> • 현재 warpage와 die shift를 최소화하는 몰딩 소재의 기술이 개발되고 있으며, 이의 제어를 위한 시뮬레이션 연구가 활발히 진행 중임. 	<ul style="list-style-type: none"> • 향후 보다 낮은 두께로 몰딩의 평탄도와 warpage control을 가능하게 하는 소재의 개발이 이루어질 것으로 예상됨.
thermal interface materials 소재	<ul style="list-style-type: none"> • TIM소재는 미국의 선도기업들이 선도하고 있음. • 8 W/mK급 (Dupont, 3M)방열소재가 최고성능의 소재로 적용되고 있음. 	<ul style="list-style-type: none"> • 향후 12 W/mK급 이상의 방열소재가 요구되고 있으며, 이의 개발을 위한 복합소재 개발이 진행 예정
글라스기반 인터포저 기술	<ul style="list-style-type: none"> • 현재 코닝을 비롯한 여러 기업이 연구 개발을 추진 중 	<ul style="list-style-type: none"> • 글라스내의 Through Via 형성기술 및 구리 충전기술이 개발될 것으로 예상

	<ul style="list-style-type: none"> • 글라스 기관의 경우, 현재 양산 초기 단계임. 	<ul style="list-style-type: none"> • 유리 내구성 향상 매우 중요한 항목임.
고방열 냉각 모듈 기술	<ul style="list-style-type: none"> • EMC소재를 적용한 냉각 모듈 제작이 주요한 기술임. 	<ul style="list-style-type: none"> • 나노소재등의 방열 성능 극대화를 가능하게 하는 소재 및 공정장비의 개발이 이루어질것으로 예상됨.
고방열 세라믹 기관 기술	<ul style="list-style-type: none"> • AlOx와 AlN등이 주를 이루고 있음. • Cu 다이렉트 블레이징 기술 적용이 연구되고 있음. 	<ul style="list-style-type: none"> • 방열 성능이 우수한 SiN와 BN의 적용이 예상되며, 이를 위한 sintering기술, 배선기술등의 개발이 필요함.

(3) 산업 및 시장 분석

가) 시장 동향 분석

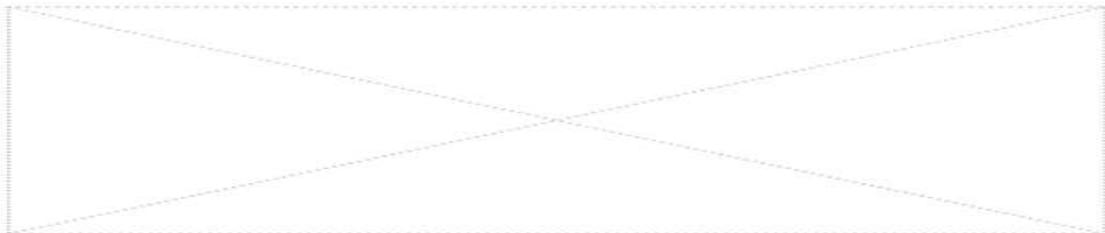
□ 국내·외 시장 동향

○ 글로벌 반도체 패키지 시장 동향

- 반도체 패키지 세계 시장은 '15년부터 연평균 4.84% 성장하여 '24년 849억 달러에 이를 것으로 전망되며, 우리나라의 생산 비중은 평균 22% 수준
- 세계 시장 규모는 '16년 582억 달러 규모에서 '24년 849억 달러로 전망
- 국내시장은 '16년 약 131억 달러에서 연평균 4.8% 증가하여 '24년 170억 달러가 전망되며, 시장점유율은 약 20%로 예측

【 반도체 패키지 세계시장 전망('16~'24년) 】

(단위: 억 달러)

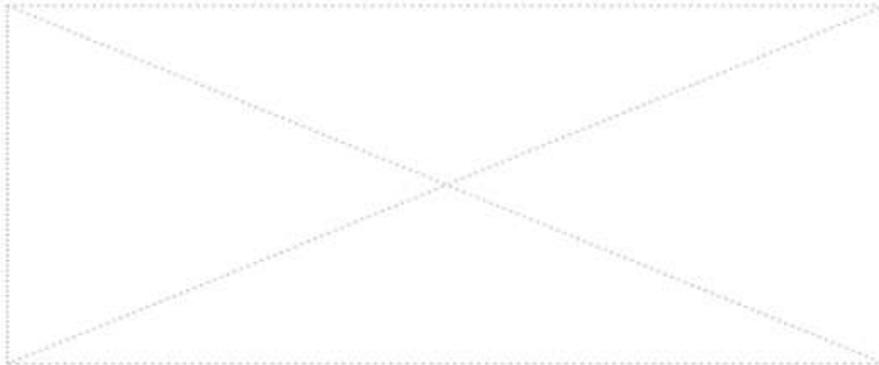


* 출처: 한국과학기술기획평가원 (Yole, Systemplus, Technavio 등)

- 첨단 패키지 시장은 2020년 304억 달러 규모에서 8%의 연평균 성장률로 2026년에는 475억 달러 전망
- 전체 패키지 시장은 2026년에 954억 달러로 6% 성장
 - 기존 패키지 시장은 연평균 성장률 4.3%로 성장하여 2026년에는 500억 달러에 이를 것으로 전망
- 글로벌 Covid-19의 팬데믹 속에서도 첨단 패키지 시장은 2020년에 4% 증가했으며, 2021년에는 16%의 성장률을 보이며 2021년에 350억 달러로 고성장
 - (주요 분야 성장률: 2020~2026) ① 3D/2.5D stacking: 22%, ② Fan-out: 16%, ③

ED (in laminate substrate): 25%, Flip-Chip: 6%, Fan-In WLCSP (Wafer Level Chip Scale Package): 5%

【 첨단 패키지 시장 매출 규모 및 전망 】



* 출처: YOLE (2021)

- 첨단 패키지 시장의 지속적인 추진력으로 인해 전체 반도체 시장에서 첨단 패키지의 점유율이 지속적으로 증가하고 있으며 2026년까지 시장의 거의 50%에 도달할 것으로 전망
- 웨이퍼는 300mm의 관점에서 기존 패키지가 여전히 전체 시장의 약 72%를 차지하고 있으나 첨단 패키지에서 웨이퍼 점유율을 지속적으로 증가하고 있으며, 2026년에는 35%로 증가하여 5천만 개 이상의 웨이퍼에 도달할 것으로 전망
- 플립칩은 2020년에 첨단 패키지 시장의 약 80%를 구성하고 2026년까지 시장의 상당 부분(약 72%)을 계속 차지
- 고사양 첨단 패키지 시장은 연간 32% 높은 성장률을 보이며 2021년도 27.4억 달러에서 2027년에는 78.7억 달러로 연평균 19%씩 성장할 것으로 전망

【 기존 패키지·첨단 패키지 시장 매출 및 비중 전망 】



* 출처: YOLE (2021)

- Mobile 및 server 적용을 주고객으로 하는 고사양 첨단 패키지 기술이 향후 반도체 패키지 기술 드라이버가 될 것으로 보이며 HBM, 3D, Si interposer, Foveros, Co-EMIB, 3D SoC, 3D NAND X-stacking, EMIB and UHD FO 등의 기술을 포함
 - 입출력(I/O) 단자 배선을 칩(다이) 외부로 빼 활용 가능한 면적을 넓히는 기술인 초고밀도 팬아웃(UHD FO) 기술이 오는 2027년 18.8억 달러로 가장 큰 시장 규모를 형성할 것으로 예상
 - HBM(High Bandwidth Memory)은 2021년 4.35억 달러에서 2027년 16.3억 달러로 연평균 25%의 급격한 성장세를 나타낼 전망이며 3차원 적층 기술도 2021년

4.45억 달러에서 2027년 13억 달러로 연평균 19%의 성장이 예상

- HBM(High Bandwidth Memory)은 2021년 4.35억 달러에서 2027년 16.3억 달러로 연평균 25%의 급격한 성장세를 나타낼 전망이며 3차원 적층 기술도 2021년 4.45억 달러에서 2027년 13억 달러로 연평균 19%의 성장이 예상
- 반도체 후공정 MI(Measure & Inspection)와 테스트 장비는 '18년 약 5,990백만 달러에서 '24년 약 11,448백만 달러로 연평균 11.4%로 성장할 전망
- 반도체 후공정 MI(Measure & Inspection)/테스트장비는 '18년 1,210백만 달러 규모에서 연평균 성장률 6.1%로 증가하여 '24년에는 약 1,726백만 달러 규모의 시장을 형성할 것으로 전망
- 반도체 테스트 장비는 '18년 4,780백만 달러 규모에서 연평균 성장률 12.6%로 성장하여 '24년에는 9,742백만 달러 규모까지 성장하여 두 배 이상의 성장이 전망

【 반도체 후공정 MI(Measure & Inspection)/테스트 장비 세계 시장규모 및 전망 】

(단위: 백만 달러)

구분	2018	2019	2020	2021	2022	2023	2024	성장률
검사장비	1,210	1,290	1,370	1,450	1,540	1,620	1,726	6.1%
테스트장비	4,780	5,400	6,080	6,810	7,670	8,520	9,742	12.6%
합계	5,990	6,690	7,450	8,260	9,210	10,140	11,448	11.4%

* 출처: MarketsandMarkets, 중소기업기술정보진흥원(2021)

○ 글로벌 패키지 시장 현황

- 글로벌 반도체 패키지 글로벌 OSAT 시장은 연평균 8.2%씩 성장하여 2026년 563억 달러에 이를 전망 (유진투자증권, '21.12)
- (파운드리 업체간의 선단 공정 경쟁 치열) SIP를 포함한 AP(Advanced Packaing) 기술 이하의 패키지 및 테스트 외주 수요 증가
- (팹리스-파운드리 모델 진화에 따른 파운드리 투자 증가) 반도체 비즈니스 모델이 기존 IDM에서 팹리스-파운드리 모델로 진화함에 따라, 상위 10개 파운드리 업체의 CapEx는 43% 증가한 500억 달러에 이를 전망이고, 2022년 투자도 두 자리수(500~600억 달러) 증가 전망
- (반도체 애플리케이션 및 제품 종류 증가에 따른 칩 인터페이스 확대) 스마트폰 AP, 네트워크 칩, 차량용 반도체 등 애플리케이션 및 제품 종류 다양화에 따라 반도체 인터페이스 종류 확대 → 와이어 본딩과 5G, AIoT, HPC, EV 칩 솔루션용 첨단 후공정 수요가 급상승하고 있음.

□ 국내 시장 동향

○ 국내 시장 규모

- (패키지 장비) 조립 및 패키지 장비, 본딩 장비 등 주요 후공정 장비 국내시장은 2018년 4,300억 원 규모를 형성하고 있으며, 연평균 성장률 8.4%로 증가하여

2024년에는 6,985억 원까지 증가할 것으로 전망

- (조립 및 패키지 장비) 2018년 4,075억 원에서 연평균 성장률 8.3%로 증가하여, 2024년에는 6,500억 원에 이를 것으로 전망
- (본딩 장비 시장) 2018년 225억 원에서 연평균 성장률 13.9%로 증가하여, 2024년에는 485억 원에 이를 것으로 전망

【 국내 반도체 패키지 장비 시장 규모 및 전망 】

(단위: 억 원)

구분	2018	2019	2020	2021	2022	2023	2024	성장률
조립 및 패키지	4,075	4,415	4,780	5,210	5,640	6,000	6,500	8.3%
본딩	225	225	290	330	375	425	485	13.9%
합계	4,300	4,670	5,070	5,540	6,015	6,425	6,985	8.4%

* 출처: MarketsandMarkets, 중소기업기술정보진흥원(2021)

- (Measure & Inspection/테스트 장비) 국내 반도체 후공정 Measure & Inspection/테스트 장비는 '18년 약 8,361억 원 규모에서 연평균 12.1%로 성장하여 '24년 약 16,544억 원 규모로 성장할 것으로 전망
 - (검사 장비) '18년 시장 규모는 약 1,509억 원으로, '24년까지 5.9%로 성장하여 약 2,128억 원까지 성장 전망
 - (테스트 장비) '18년 6,851억 원 규모에서 매년 13.2%의 성장률을 기록하여 '24년에는 14,416억 원 규모 예상

【 국내 반도체 MI(Measure & Inspection)/테스트 장비 시장 규모 및 전망 】

(단위: 억 원)

구분	2018	2019	2020	2021	2022	2023	2024	성장률
검사장비	1,509	1,625	1,625	1,741	1,858	1,974	2,128	5.9%
테스트장비	6,851	7,780	8,709	9,871	11,148	12,542	14,416	13.2%
합계	8,361	9,406	10,335	11,613	13,006	14,516	16,544	12.1%

* 출처: MarketsandMarkets, 중소기업기술정보진흥원(2021)

나) 산업 동향 분석

□ 국내·외 산업 동향

- (OSAT 구조) 대만·중국 기업의 시장 장악 & 대형 반도체 기업들의 참여에 따라 다변화되며 경쟁이 심화 중
 - (글로벌 OSAT) 탑 플레이어들의 매출을 무기로 한 막대한 CapEx와 R&D 투자 지속 및 중화권 기업의 장악
 - 인수합병(M&A)을 위한 차별화된 기술이나 IP가 없는 기업의 경쟁력 약화 및 상위 기업에 인수 가능성 언급 (YOLE)
 - 2019년에 이어 2020년에도 TOP 5 기업이 시장의 68% 점유

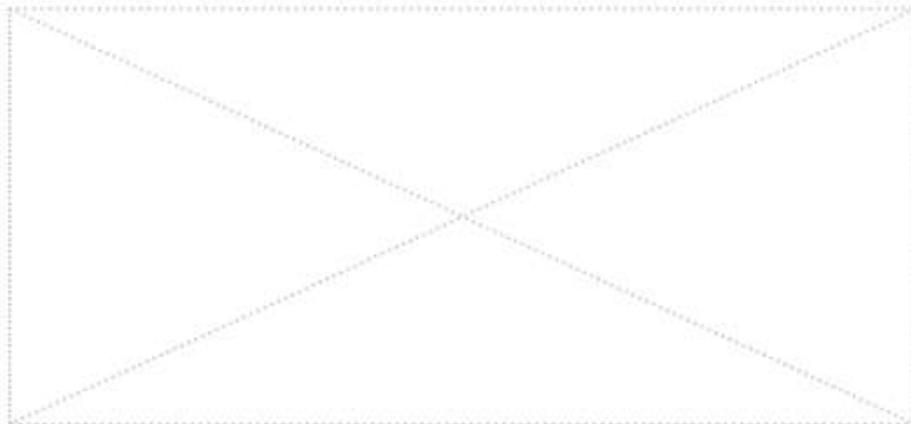
【 글로벌 OSAT Top 10 (2019 & 2020) 】

순위		국적	기업명	기업매출[M\$]		점유율[%]	
'20	'19			2020	2019	2020	2019
1	1	대만	ASE	9,415	8,456	27.9	30.0
2	2	미국	Amkor	5,051	4,053	15.0	14.4
3	3	중국	JCET Group	4,054	3,285	12.0	11.7
4	4	대만	Powertech Technology	2,712	2,209	8.0	7.8
5	5	중국	Tongfu Microelectronics	1,649	1,169	4.9	4.2
6	6	중국	Tianshui Huatian Microelectronics	1,284	1,085	3.8	3.9
7	7	대만	King Yuan Electronics	1,031	848	3.1	3.0
8	9	대만	ChipMOS Technology	819	675	2.4	2.4
9	10	대만	Chipbond Technology	793	678	2.4	2.4
10	8	싱가포르	UTAC	702	710	2.1	2.5
합계 (상위 1~10대)				27,510	23,168	81.5	82.3
기타 (11~26위)				6,229	4,988	18.5	17.7

* 출처: YOLE (2021 & 2020)

- Amkor(미국, 2위)와 UTAC(싱가포르)을 제외한 OSAT TOP10 시장의 중화권 기업 장악
- (Top 26 기업의 국가별 점유율) 대만 (52%, 176억 8,700만 달러), 중국 (21%, 69억 8,700만 달러), 미국 (15%, 50억 5,100만 달러), 한국 (19억 2,900만 달러) 순
- (대만: 10대 기업 중 5개) ASE (1위, 27.9%), Powertech (4위, 8.0%), King Yuan (7위, 3.1%), ChipMOS (8위, 2.4%), Chipbond (9위, 3.2%)
- (국내) OSAT 세계 시장 점유율은 불과 3.3% 수준, 글로벌 상위 25개 기업 중 3개 기업뿐: ('14) 5개 → ('20) 3개 (Yole, 2020)

【 글로벌 OSAT Top 20 (2010~2020) 】



* 출처: brunch.co.kr

○ 국내 산업 환경 기술

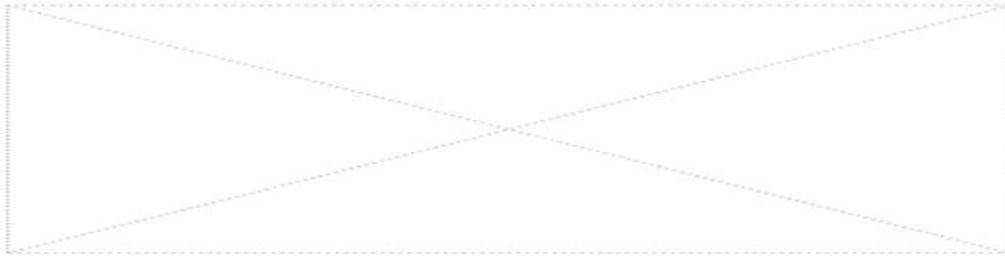
- (파운드리-후공정 생태계 구축 부족) 파운드리 산업과 함께 성장하는 OSAT 생태계 구조 속 글로벌 기업들의 협업 체계와는 대비되는 국내의 한정되고 열악한 생태계 구조
- 국내 후공정 기반이 아직까지는 확실하게 자리 잡지 못하면서 파운드리 업체들이 후공정의 상당 부분을 외국 회사에 의존 → 국내 파운드리 업체들의 경쟁력 약화 요인으로 지적

- (팹리스) 국내 파운드리 반도체 IP 부족, 폐쇄적 생산공정 운영 등으로 인해 해외 파운드리에 칩 생산 의뢰 → 비용·시간 증가
- (파운드리) 규모의 경제 및 수익성 달성을 목적으로 국내 팹리스보다 자사제품 및 대형 외국고객사(퀄컴 등)에 치중

○ 대표 기업 현황

- (하나마이크론: 글로벌 OSAT 매출 11위('20)) 메모리에서 비메모리까지 성공적인 사업 영역 확대와 Full turnkey OSAT 사업 영위

【 하나마이크론 OSAT Service 】

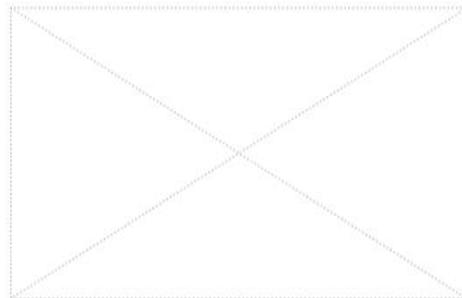


* 출처: 하나마이크론

- (네패스: 글로벌 OSAT 매출 23위('20)) 후공정 업체 중에서는 거의 유일하게 테스트와 패키지 전반에 걸친 통합 솔루션을 제공할 수 있는 Turn key 가능 업체

【 네패스 사업부별 매출 구성 (2019) 】

사업부	주요제품·서비스	매출 비중 (%)
반도체	WLP	57.12
	TEST	18.36
	F/O 패키지	7.69
전자재료	현상액, 패키지용 FR	14.71
2차 전지	리드탭	2.12



* 출처: 서울대 투자연구회(SMIC) (2020. 6)

- (매출) 매출액은 3,560억 원('19) 이후 감소하여 3,440('20), 2,967억 원(~'21.9)을 기록하였고, 2020년 이후 2021년 9월까지 영업이익과 당기순이익 모두 적자 지속

○ 국내 기업의 한계 및 글로벌 현황

- (OSAT) 글로벌 기업에 비해 낮은 점유율(매출) → 국내 기업 자체 R&D 투자 열세 및 개발·분석·테스트 및 측정 분야 성장 한계
 - (ASE) 반도체 호황에 따른 매출 급상승으로 설비투자(CapEx) 지속 유지
 - (Amkor) 기존 5억 5000만 달러에서 7억 달러로 상향 조정
 - 국내 기업의 OSAT 세계 시장 점유율(Top 26개)은 불과 5.7% 수준, 글로벌 상위 26개 기업 중 4개 기업뿐: ('14) 5개 → ('20) 4개 (2020년, YOLE)
 - (세계 1위인 ASE 매출 대비 수준) 국내 4개 기업의 전체 매출 합계도 19억 3천

만 달러로 ASE에 비해 20.5% 수준으로 매출을 통한 R&D 투자 여력 열세 (하나미이 크론 7.2%, SFA 5.6%, LB 세미콘 4.3%, 네패스 3.4%)

- 국내 OSAT 업체의 글로벌 점유율은 8.3%(2010년)에서 6.6%(2020년)로 감소 및 최근 5년(2016년~2020년) 동안에도 6%~7%대에 정체되어있는 상황으로, 중국 OSAT 기업들에게 추월 및 경쟁력 장벽을 넘지 못하고 있는 위급한 상황임
- (중국) 중국 OSAT 업체들의 글로벌 점유율은 5.3%(2010년)에서 21.7%(2020년)으로 급격한 증가 → 한국, 싱가포르 및 일본 OSAT 기업들을 대신하여 글로벌 OSAT 시장의 영향력이 급증하고 있음.
- (대만) 2010년부터 최근까지 40% 후반~50% 초반의 점유율로 글로벌 OSAT 시장에서 막강한 영향력을 보이고 있음.

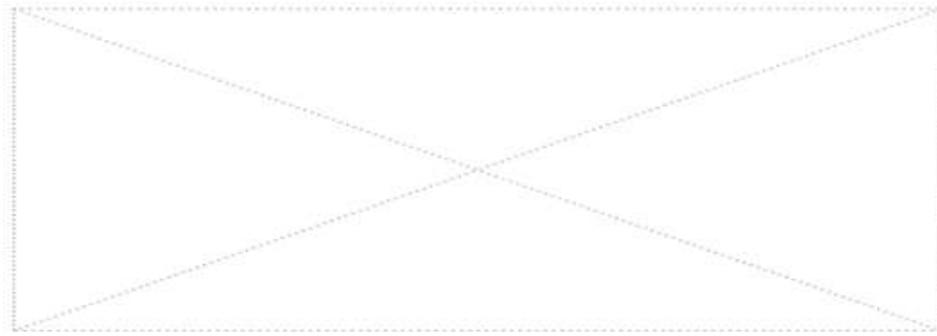
다) 정책분석

□ 주요국의 정책동향

○ (미국) 파운드리 구축과 R&D 확대를 통한 패키지 지원

- (반도체 인프라 및 파운드리 구축) 2024년까지 투자비의 40% 수준의 투자세액공제 신설, 반도체 인프라 및 파운드리 구축에 228억 달러 지원
- (파운드리 구축) 미국 내 첨단 파운드리 공장 건설을 지원하기 위해 총 100억 달러 규모의 연방프로그램 신설
- (패키지 제조 연구소 설립) 美 상무부 산하 국립 첨단 패키지 제조 연구소 설립 및 인력양성을 위해 50억 달러 지원
- (R&D 확대·지원) ① 美 방위고등연구계획국(DARPA)의 전자 기술 부흥 이니셔티브 지원, ② 美 국립과학재단(NSF)의 반도체 기초연구 프로그램 지원, ③ 美 에너지부(DOE)의 반도체 기초연구 프로그램 지원, ④ 美 상무부 산하 국립 첨단 패키지 제조 연구소 설립 및 인력양성
- (자국 생산 강화: R&D 시설 확충) 패키지 팹(Fab)을 비롯한 반도체 제조, 조립, 테스트에 200억 달러 지원 (상무부, 국방부)
- (세제혜택 병행 지원) 최근 발의된 '미국 반도체산업법(CHIPS for America Act)'에서는 반도체 제조 장비 구입비의 약 40%에 대해 세금을 감면하는 내용 포함하여 자국내 투자 활동 가속화

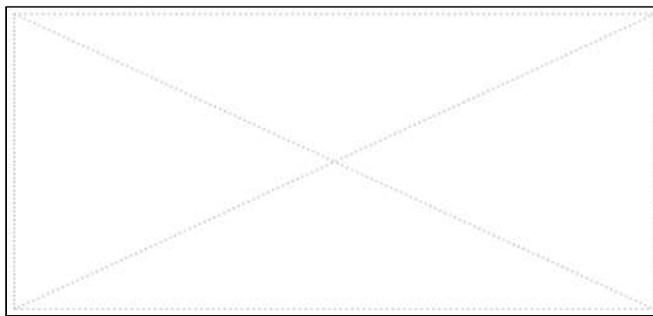
【 미국 내 반도체 공장 증설 현황 】



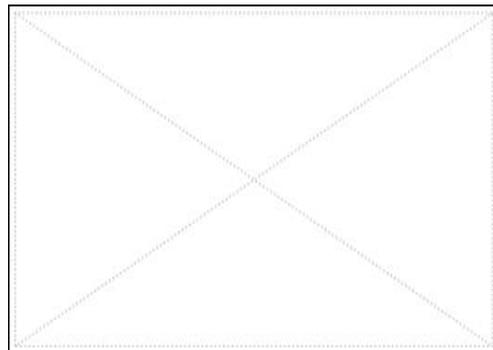
○ (대만) 핵심 전략산업 선정 및 첨단 제조공정 개발 지원

- (Å세대 미래 반도체) 미래 반도체와 관련하여 초고주파 통신소자 관련 기술과 프로그래밍 이종접합 패키지 관련 기술개발에 집중
- (3D 적층 및 이종접합기술 구축) 시스템형 3D 적층을 달성하기 위해 프로그래밍 이종접합기술을 발전시키고 AI on Chip 계획에 따라 제정한 이종접합 공통 인터페이스에 맞추어 IoT 첨단 반도체 프로젝트의 이종접합 설계 플랫폼을 연계
- (반도체 소재 산업 사슬 구축) 소재 특성·소재 제작공정 검증·전기적 테스트 기술 구축
- (제품 초기 검증·양산 지원) ① 사전 기능 테스트 및 오류 검증역량 강화, ② 반도체 제조 및 후공정 패키지 완제품 테스트에 유리한 환경 조성

【 대만 6대 핵심 전략산업 및 육성 방향 】



【 대만 반도체 산업 클러스터 구축 현황 】



* 출처: 대외경제정책연구원 (2021. 8)

○ (중국) 미국의 대중국 반도체 제재하에서 중국은 미국과의 경쟁에서 우위를 점하고 있는 반도체 후공정산업을 더욱 육성

- 전략적으로 미국의 대중제재 분야 (설계 툴, 제조장비, 소재)를 중심으로 자체 역량 개발·강화에 적극적으로 나설 것으로 전망
- (14차 5개년 계획 및 2035 중장기 목표) 반도체 분야를 전략육성 분야의 하나로 선정 → 중국의 약점이 되고 있는 설계 소프트웨어, EDA, 핵심 IP, 고순도 소재, 중요 제조 장비 및 제조 기술, IGBT, MEMS, 첨단 메모리 기술, SiC 및 GaN 등 3세대 반도체 등의 개발을 직접적으로 언급 (2021. 3)
- 혁신 발전을 실현하기 위해 연구개발비를 매년 7% 이상 늘릴 것을 명기
 - (1) 전년 대비 2021년의 기초 연구비의 10.6% 증액, 「기초 연구 10개년 행동계획」을 책

정·실시할 것을 담은 등 원천기술 확보를 위한 기초연구를 중시하겠다는 전략을 세움.

- (중국 제조 2025) 반도체 분야 중 집중 육성 분야로 반도체 설계, 제조, ATP (Assembly, Test, Packaging) 분야를 강조
- (추진 결과) 지난 5년간 HiSilicon(설계), SMIC(제조), JCET(테스트, 패키지), NAURA(장비), AMEC(장비) 등 해당 분야의 세계적인 기업을 육성함.

【 13차 5개년 계획 vs. 14차 5개년 계획 】

연도	5개년 계획	목표 및 강조 분야	계획 추진 결과
2016	13차 5개년 계획 (중국제조 2025)	<ul style="list-style-type: none"> 반도체 설계 제조(14nm 로직) 패키지 산업 제조장비(성숙노드) 	<ul style="list-style-type: none"> 설계: HiSilicon, 제조: SMIC 테스트 및 패키지: JCET 장비: NAURA, AMEC 등 선진기업 육성
2021	14차 5개년 계획	<ul style="list-style-type: none"> 반도체 설계툴 제조(10nm 미만, 첨단 메모리) IGBT, MEMS 고순도 소재 및 증점장비 SiC, GaN 등 3세대 반도체 	<ul style="list-style-type: none"> 미국의 대중 견제 분야 (설계툴, 제조장비, 소재) 중심으로 자체 역량 개발·강화 전망

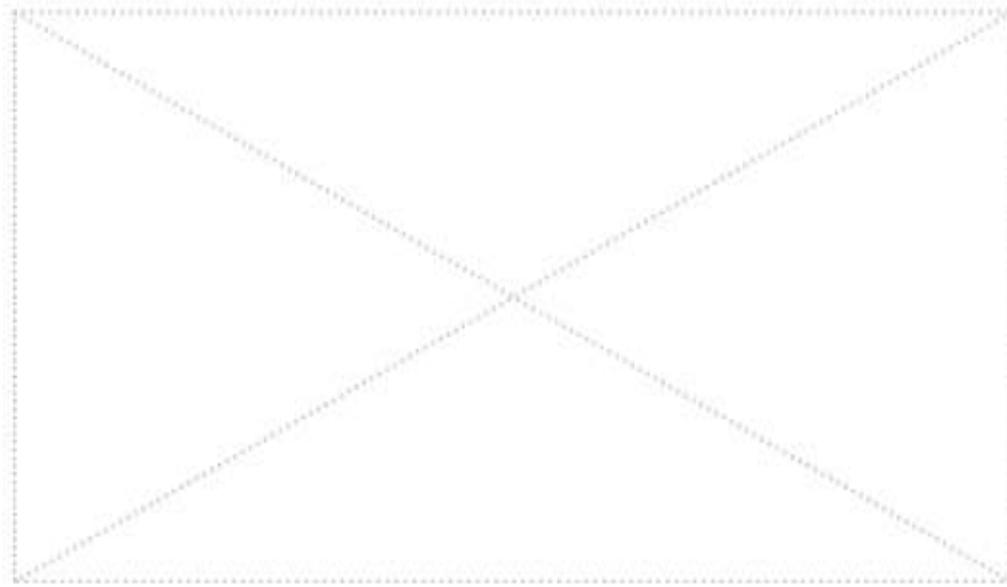
* 출처: 대외경제정책연구원 (2021. 7)

- (국가과학기술 영도소조 회의) 미국과의 반도체 기술 전쟁에서 부족한 첨단 반도체 기술을 만회하고자 첨단 패키지 기술을 발전시킬 것을 강조 (중국 국무부, 2021. 5. 14)
- 포스트 무어 시대의 파괴적 기술로 ① 집적 회로 칩의 기능을 확장하기 위해 트랜지스터 크기의 지속적인 감소에 의존하지 않는 특성 공정의 개발 ② 다양한 기능을 갖춘 칩과 구성 요소를 함께 조립하여 이기종 통합 등을 선정

○ (일본) 자국의 소재·부품과 장비 분야의 기술력을 최대한 활용하여 글로벌 기업과의 협업체계 구축을 통한 생산기지 확보에 박차를 가하고 있음.

- (TSMC Japan 3D IC 연구개발 센터) 쓰쿠바시에 소재한 경제산업성 산하 연구기관인 '산업·기술 종합 연구소' 내부에 들어설 예정으로, 일본 정부가 총 사업비 370억 엔(약 3,700억 원) 중 절반을 지원하기로 결정함. (2021. 5)
- 고성능컴퓨팅(HPC) 용 5nm 노드 이후의 최첨단 반도체 패키지에 필요한 패키지 기관의 대면적화, 3D·고정밀 패키지용 재료기술, 제조 장치 개발에 임하고, 이것들에 대응하는 어셈블리·패키지 기술 개발을 수행함.
- (기업, 연구기관 참여형) 초소형 반도체 공정에서 가장 핵심적 역할을 맡고 있는 디스크, 후공정 기술을 보유한 일본 업체인 이비덴을 비롯해 미세배선 재료 업체 아사히 카세이, 장비업체 시바우라 메카트로닉스, 키엔, JSR, 스미토모 화학, 세키스이 화학공업, 니토텐코, 후지필름, 미쓰이 화학, 도쿄오카 공업, 도쿄대학교, 산업기술종합연구소 등 일본 내 20여 개의 반도체 관련 기업, 연구기관이 참여

【 일본 반도체 소재·제조장치 산업의 경쟁력 】



* 출처: 대외경제정책연구원 (2021. 7)

- 일본 정부의 무기는 반도체 소재와 장비 분야에서 세계 최고 수준인 자국 기업들이라 판단하여 일본에 공장을 지으면 소재와 장비를 손쉽게 확보할 수 있고 연구 개발에도 보탬이 된다는 점을 강조하며 글로벌 기업을 유치하고 있음.
- 일본은 당초부터 반도체 부활 의지가 강한 것은 아니었으며, 가시적으로 움직이기 시작한 것은 2021년부터로, 현재는 일본 정부도 반도체의 공급망 강화를 진행 시키려는 의도를 분명히 하며 외국기업의 투자유치에 집중하고 있음.
- (후(後)공정 3D화 프로세스 기술개발 프로젝트) 일본은 고성능 컴퓨팅(HPC)이나 엣지(Edge) 컴퓨팅용 3D 패키지 기술, 그리고 이들 기술을 받쳐주는 패키지 기판이나 접합재료와 같은 공통 기반 기술을 개발하여 국내에 없는 첨단 로직 반도체의 후공정 기술을 확립한다는 계획임.
- (첨단 반도체 양산체제 구축) 첨단 로직 반도체 양산체제를 구축하기 위한 사전단계로서, 반도체 전(前)공정의 미세가공 기술과 후(後)공정의 3D화 프로세스 기술을 일본을 대표하는 차세대 반도체 제조기술로 선택함.
- 일본의 반도체 소재·제조장치 기업과 해외 첨단 파운드리와의 협력을 통해 첨단 로직 반도체의 제조기술을 공동 개발하는 데 초점

【 일본의 후공정 3D화 프로세스 기술 개발 프로젝트 】

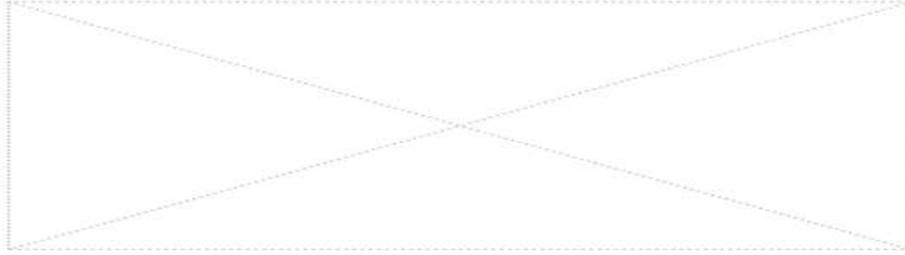
프로젝트	주요 내용	비고
후(後)공정 3D화 프로세스 기술개발 프로젝트	<ul style="list-style-type: none"> • 고성능 컴퓨팅(HPC)이나 엣지 컴퓨팅용 3D 패키지 기술, 이들 기술을 받쳐주는 패키지 기판이나 접합재료와 같은 공통 기반기술 개발 • 특히 엣지 컴퓨팅용 3D 패키지 기술로서 로직, AI칩, 메모리, 센서, RF 등 복수의 반도체를 3차원 적층하는 기술 개발 초점 	<ul style="list-style-type: none"> • 2022년 대만 TSMC와 일본 반도체 소재·제조장치 20개 기업이 공동 연구개발 착수. 정부가 사업비 390억 엔 중 절반을 보조

* 출처: 대외경제정책연구원 (2021. 7)

- 경제산업성은 TSMC 등을 비롯해 글로벌 반도체 기업이 일본 내 공장을 건설하고

일본 업체와 협력·제휴를 맺을 경우 정부 자금을 지원한다는 방침

【 글로벌 기업의 일본 투자 및 일본 정부의 지원 】



* 출처: 한국경제 (2021.10)

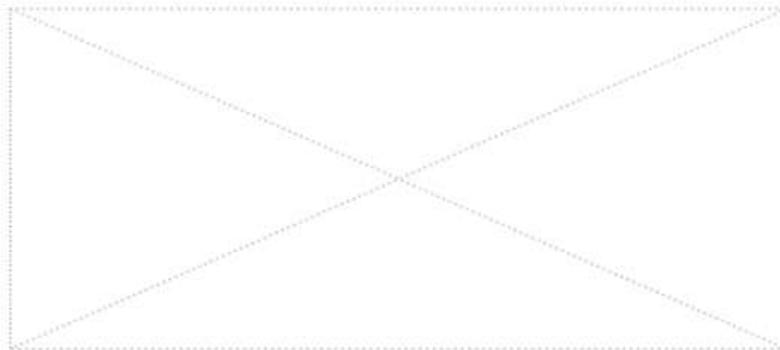
【 일본 경제산업성의 TSMC 공장 유치 행보 】

날짜	주요 내용	
2020	5.11	• TSMC 공장 유치 검토·논의 행보 표면화
	7.17	• 중국 현지 반도체 기업의 생산시설 이전, 일본 내 생산거점 유치 등을 위한 자금 지원 계획 발표
	12.15	• 차세대 반도체 개발지원을 위한 추경예산안 발표
2021	1.5	• TSMC, 일본에 후공정 패키지 공장 건설 검토
	1.14	• TSMC, 2020년 4분기 실적발표와 함께 일본 진출계획 언급

* 출처: 한국과학기술기획평가원 (2021)

- (EU) 연구 공조 및 산업 협력 확대, 설계·생산 능력 강화 등을 통한 반도체 산업 육성
 - 세계적인 반도체 공급 부족에 대응하고 미국과 아시아에 대한 의존도를 줄이기 위해 430억 유로에 달하는 ‘EU 반도체칩 법(EU Chips Act)’ 발표 (’22)
 - EU 지역의 세계 반도체 생산 20% 목표 (’30) (현재 9%)

【 글로벌 주요국 반도체 투자 행보 】



* 출처: 한국과학기술기획평가원 (2021. 10. 29)

(4) 핵심 전략기술 및 로드맵

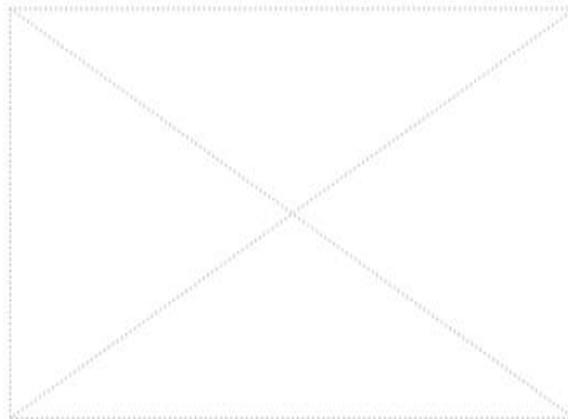
가) 핵심 전략기술

□ 전략기술의 목표

- 이종집적 패키지 기술 (Heterogeneous Integrations)

- 선도기업(TSMC, Intel, Apple)의 기술과 동등 혹은 그이상 수준의 이종집적기술 개발
- chiplet기술 관련 독보적 특허 획득 및 공정 장비 개발
- 3D 패키지 기술 (TSV)
 - HBM3 이상의 구현을 위한 고AR가능 Cu filling기술 개발
 - Si interposer 및 메모리 소자 등 다양한 형태의 수직배선에 대한 공정 확보
 - Cu filling을 위한 Cu electroplating 용 케미컬 국산화
 - Cu bonding pad 형성을 위한 CMP공정 및 장비 개발
- Fan-out Wafer Level Package 기술 (FO-WLP)
 - 국내 OSAT 및 IDM 업체들의 사업화 및 기술 고도화를 위해 소재 국산화 및 공정기술 개발
 - 대면적 warpage 제어가 가능한 몰딩 소재 국산화 및 공정 개발
 - 다층 배선용 절연 유전체 소재 국산화
 - 금속 배선 및 TMV 제작용 도금 공정 및 소재 개발
- 고온 반도체용(6G/전력 반도체) 패키지 기술
 - 6G 대응 고방열 TGV (Through Glass Via) 및 글라스 인터포저 형성 공정 및 장비 개발
 - 저노이즈 Cu 배선 표면처리 소재 및 장비 개발
 - 고방열 양면 냉각 전력반도체 모듈 제조를 위한 소재 및 공정 장비 개발

【 핵심 전략 기술 개념도 】



□ 전략기술의 중요성 및 추진방향

- 이종집적 패키지 기술 (Heterogeneous Integrations)
 - 이종집적기술은 무어의 법칙을 넘어설 수 있는 중요한 반도체 기술로서 글로벌 선도 기업들이 총력을 기울여 개발하고 있는 핵심 기술임.
 - TSMC, Intel등의 반도체 제조기업뿐만 아니라, 애플 등의 팹리스 기업에서도 개발에 큰 관심을 가지고 있음.

- 기본적으로 chiplet의 제조 및 Cu 다이렉트본딩 기술, 인터포저기술등이 중요 요소 기술임.
- 다이렉트 본딩용 장비의 경우 nm 스케일의 alignment를 구현할수 있어야함.
- 또한, 저온 본딩 및 본딩시 defect 제어등의 공정기술이 매우 중요함.

○ 3D 패키지 기술 (Through Si Via(TSV))

- 3 dimensional stacking 기술은 SiP(System in Package)기술의 구현을 위하여 필수적인 요소 기술임.
- 주로 Si으로 구성되는 인터포저의 수직배선의 구현뿐만 아니라, HBM(High Bandwidth Memory)의 3차원 적층에 있어서도 TSV는 매우 중요한 요소 기술임.
- 반도체 기술이 발전함에 따라, TSV의 aspect ratio도 더욱 커져가고 있음. 향후 AR은 20에 접근할 것으로 판단됨.
- 따라서 보다 안정된 Cu super filling기술, CMP기술, Cu resistivity제어 기술, Cu stress 저감기술 등이 필요로 함.

○ Fan-out Wafer Level Package 기술 (FO-WLP)

- FOWLP은 TSMC가 기술 및 시장 주도권을 갖고 있는 상황에서 삼성이 추격하고 있는 상황이며, 국내 중견 OSAT 업체들이 FOWLP 사업을 하고 있으나, 기술 수준이 낮아 글로벌 경쟁력을 갖기 위한 기술고도화가 요구되고 있음.
- 애플 아이폰에 첫 적용된 이후 FOWLP 시장규모는 매년 커지고 있으며, 향후 이종 집적, 칩렛 등 FOWLP 응용 시장의 규모가 급격하게 확대될 것으로 예상되어 국내 OSAT 및 IDM 업체들의 조기 사업화 및 기술 고도화를 통해 시장 주도권 확보가 필요한 상황임.
- 기술 고도화 및 조기 사업화를 위해서는 관련 소재 및 장비의 국산화와 공정 기술의 산학관연 공동 개발이 필요함.

○ 고온 반도체용(6G/전력 반도체) 패키지 기술

- 6G 및 차세대 전력 반도체 대응 고방열 패키지 기술은 통신, 친환경자동차 및 전력변환 시스템에 필요한 필수 반도체 패키지로 선진국을 중심으로 활발히 개발되고 있는 핵심 기술임.
- 고방열 TGV (Through Glass Via)/인터포저 및 전력모듈 제조용 소재 및 공정장비 기술 중요
- 6G 대응 초저조도 및 고온 저저항 Cu 배선 형성 기술 등이 중요 요소 기술임.
- 고방열 전력반도체 모듈의 경우, 고방열 적층 기판 기술, EMC 소재/공정 기술, 고온 대응 접합 소재/공정 기술 및 모듈 적층 공정 기술 등이 필요함.

□ 핵심 전략기술 발굴

○ 이종집적 패키지 기술 (Heterogeneous Integrations)

- 이종집적기술의 적용을 위해서는 다이렉트 본딩 기술의 안정적인 구현이 중요함.
- 특히 하이브리드 본딩 장비 및 공정 개발이 중요함.
- 대면적의 안정적 본딩을 위해서는 본딩 표면의 제어가 중요함. 이를 위해서는 대면적에서 구현이 가능한 Cu CMP 및 Ti 및 oxide CMP 공정개발 및 장비 개발이 요구됨.
- Chiplet의 안정적인 이송을 위하여, TBDB장비의 개발이 요구됨.

○ 3D 패키지 기술 (Through Si Via(TSV))

- 고종횡비 구현을 위한 Cu superfilling 공정 개발 필요
- Mutil stacking시의 저항 제어를 위한 저저항 물질 수직 배선 소재 및 공정개발
- Cu pad형성을 위한 CMP공정 소재·장비기술개발이 중요
- Cu 다이렉트 본딩의 적용이 필요 없는 접합부의 적용을 위하여 fine pitch Sn 범프 개발이 요구됨.

○ Fan-out Wafer Level Package 기술 (FO-WLP)

- Fan-out 공정의 핵심은 대면적 warpage의 제어로 몰딩 소재의 개발과 개발 소재를 이용한 공정 최적화가 요구됨.
- 기존의 반도체 배선 공정과는 달리 폴리머 절연층을 이용한 다층 배선 구조가 요구되고 있어, 다층 배선 구조에 대응할 수 있는 새로운 절연 유전체 소재의 개발이 필요함.
- 다양한 배선 및 패드에 대한 동시 도금과 TMV를 위한 고속 도금 기술이 요구되어 이를 위한 새로운 도금용액 및 공정기술개발이 필요함.

○ 고온 반도체용(6G/전력 반도체) 패키지 기술

- 6G 대응 고방열 high A/R TGV (Through Glass Via) 및 인터포저 형성 기술
- 6G 대응 초저조도 및 고온 저저항 Cu 배선 형성 소재 및 공정/장비 기술
- 300°C 고방열 전력반도체 모듈 대응 가능 EMC 소재 및 공정 기술

나) 기술개발 로드맵

○ 연차별 기술개발 로드맵은 부처의 요청으로 최종보고서에는 비공개 처리됨.

【 후공정 전략 기술 로드맵 】 * ■ : 정부의 집중지원이 필요한 기간

중분류	현 수준	단기				중기			장기			목표
		'23	'24	'25	'26	'27	'28	'29	'30	'31	'32	
패키징	하이브리드본딩장비 (국내 X)	하이브리드 본딩 장비 및 Align 정밀화 기술						차세대 신물질 본딩 기술			하이브리드본딩장비 개발 첨단패키징기술 개발 고방열 소재 개발 (≥12W/mK)	
	첨단패키징기술 (도입기)											
	고방열 소재 (≤8W/mK)	2.5D/3D 수직 배선 및 Fan-out 기술							소재 최적화			

다) 기대효과

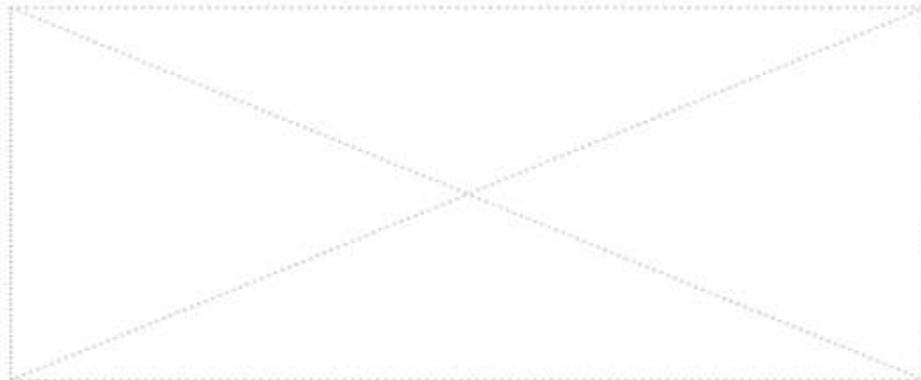
□ 기술적 측면

- 첨단패키지는 현재 high performance computing, AI computing 등 반도체 설계에 있어서 미세화의 한계를 극복할 수 있는 반도체 제조의 새로운 패러다임을 제공하는 중요 기술로 부상함.
- 특히 Heterogeneous Integration(이종집적) 기술은 향후 반도체 기술개발의 핵심이 되는 chiplet 기술의 완성을 위해 필수 불가결한 기술로서 특히 국내기업들의 장비/공정의 완성도가 매우 낮은 상황임.
- 첨단패키지 기술에 대한 투자는 반도체 기술의 국가 안보 자산화가 급격히 진행되고 있는 현재의 국제 정세를 감안할 때 국가 기술개발의 최우선 과제가 되어있다고 판단됨,
- 국내 종합반도체 기업 2개사(삼성/SK하이닉스) 뿐만 아니라 OSAT 기업(하나마이크론/네패스) 등의 기술개발, 그리고 장비 및 소재 개발 기업의 R&D 지원도 시스템적으로 이루어져서 궁극적으로 국내 생태계 형성 및 지원이 조속히 이루어져야 함.

□ 경제적, 산업적 측면

- FC-BGA의 매출액이 지배적이기는 하나, 3D stacking, Fan-out 기술 등 첨단패키지분야의 매출은 계속해서 증대되고 있음.
- 향후 첨단패키지의 기술 중요성을 고려할 때, 첨단패키지 관련 시장은 예상보다 커질 가능성이 있으며, 국내 기업의 글로벌 지배력을 강화해야할 필요가 있음.

【 첨단 패키지 시장 매출 규모 및 전망 】



* 출처: YOLE (2021)

□ 공공 연구개발 측면

- 대학·기업 연계 프로그램 및 후공정 R&D을 통한 기업 연계 기술개발이 특별히 요구됨.
 - (국내) 삼성전자, SK 하이닉스 외 국내기업의 체계적인 후공정 전문 인력 양성 프로그램 부재 속에서 설계와 반도체 전(前)공정에 집중된 기존 교육프로그램의 한계

- (전문인력) 인력 교육 및 훈련 프로그램의 강화 및 현장 실무 기술, 학위, 지속적인 교육을 통해 산업계의 인재 풀을 성장·다양화하는 동시에 과학 혁신과 기술 상용화 가속화
- 산·학·연 연계 석·박사 후공정 전문 인력 양성
- 재직자 맞춤형 전문 교육 트랙 운영
- 반도체 패키지 특성화 학교 및 기업 친화형 연구자 육성
- 전문 인력 양성을 통한 융복합 집합 기술인 전자 패키지 전문가 배출, 고용 창출, 글로벌 기술 선도 등의 산출물 확보

V. 결론 및 정책 제언

1. 결론

- 급변하는 반도체 산업현황에 능동적으로 대응하고, 국가 공공 R&D 추진을 위한 「미래 반도체 기술개발 로드맵」을 산·학·연 전문가를 중심으로 추진
- 반도체 분야를 크게 소자·설계·공정 3대 분야로 구분하고, 각 분야별 요소기술 분류 및 종합분석을 진행
- 국내·외 주요 연구논문 및 특허, 국가별 정책 등의 비교 분석과 종합적인 국내 기술수준 분석을 통하여 분야별 핵심 요소기술의 분류 및 발굴 진행
 - (자성체 소자) 강자성체, 반강자성체, 준강자성체 등 자성소재를 포함하는 소자로 자화방향을 이용하여 정보를 저장하거나 처리하는 차세대 메모리 소자임.

【 자성체 소자 세부기술 】

STT-MRAM	SOT-MRAM	VCMA-MRAM	MTJ 기반 컴퓨팅
<ul style="list-style-type: none"> ■ 低 감쇄상수 소재/박막 ■ 高 터널자기저항(TMR) 	<ul style="list-style-type: none"> ■ 高 스핀홀 효과 소재/박막 ■ 쓰기 에러비율 감소 공정 	<ul style="list-style-type: none"> ■ 전압 구동 기반 소재/박막 ■ 스위칭 속도향상 소재/박막 	<ul style="list-style-type: none"> ■ 확률론적 컴퓨팅 ■ 지능형 소자 ■ 암호화 소자 ■ 스핀파 소자

- (멤리스터 소자) 외부 입력을 통해 내부 저항 값을 변경할 수 있는 반도체 소자로서, 저항 변화 성질을 이용하여 전기적 정보 신호를 저장할 수 있는 정보 저장 소자임.

【 멤리스터 소자 세부기술 】

멤리스터 소재	멤리스터 소자	멤리스터 어레이	멤리스터 시스템
<ul style="list-style-type: none"> ■ 高 효율/신뢰성 상변화 물질 ■ 실리콘 공정 호환 및 高 신뢰성 저항변화 물질 ■ 전도도 제어 가능 물질 	<ul style="list-style-type: none"> ■ 소자 및 집적공정 ■ 셀렉터 소자 및 공정 ■ 新구조 멤리스터 소자 	<ul style="list-style-type: none"> ■ MAT 단위 어레이 ■ 어레이의 전기적 동작 최적화 기술 	<ul style="list-style-type: none"> ■ 低전력, 고속 Core 기술 ■ Co-processor 기술

- (강유전체 소자) 강유전체는 외부의 전기장 없이도 스스로 분극을 가지는 재료로서 외부 전기장에 의하여 분극의 방향이 바뀔 수 있는 물질임. 강유전체 특유의 비파괴성, 비휘발성, 낮은 에너지 소모, 빠른 동작 속도 등의 장점으로 차세대 메모리 소자 후보군임.

【 강유전체 소자 세부기술 】

저전력 로직소자	메모리 소자	로직-메모리 융합소자
<ul style="list-style-type: none"> ■ FeFET ■ NC-FET ■ TFET 	<ul style="list-style-type: none"> ■ 메모리(FRAM, DRAM) ■ 스토리지 클래스 메모리 ■ 스토리지 	<ul style="list-style-type: none"> ■ 비휘발성 로직 ■ 프로세싱 인 메모리 ■ 뉴로모픽 소자

- (인공지능 반도체 기술) AI반도체는 인공지능(AI)의 학습, 추론, 실행을 위해 필요한 대규모의 연산을 높은 성능, 낮은 전력으로 실행하는 반도체임.

【 인공지능 반도체 세부기술 】

NPU	PIM	첨단패키징(HI)-AI 반도체	뉴로모픽 프로세서	AI-6G 융합
<ul style="list-style-type: none"> ■ 초병렬 서버 NPU ■ 저전력 엣지 NPU ■ AI 반도체 컴파일러 라이브러리 ■ 초고속 반도체 인터페이스 	<ul style="list-style-type: none"> ■ Near Memory-PIM ■ In Memory-PIM 	<ul style="list-style-type: none"> ■ HI-AI 반도체 설계 기술 ■ HI-AI 반도체 신뢰성 기술 	<ul style="list-style-type: none"> ■ 뉴로모픽 프로세서 코어기술 ■ 뉴로모픽 프로세서 응용기술 ■ Emerging 기술 	<ul style="list-style-type: none"> ■ 기지국용 강화학습 AI 반도체 ■ 단말용 온디바이스 학습 AI반도체

- (6G 이동통신 반도체 기술) 6G 통신은 5G 대비 20배 이상의 성능 개선과 클라우드 기반 성능 보장 네트워크 등을 통해 다양한 융합 서비스 제공을 목표로 함. 6G의 다양한 서비스 구현을 위해서는 CMOS 반도체와 함께 화합물반도체 기술개발이 필요함.

【 6G 이동통신 반도체 세부기술 】

CMOS 기반 6G 무선통신 반도체	화합물 기반 6G 무선통신 반도체	6G 유선통신 반도체
<ul style="list-style-type: none"> ■ SOI 기반 반도체 ■ 빔포머 반도체 ■ CMOS 기반 회로 설계 기술 ■ 무선통신용 이종집적 반도체 	<ul style="list-style-type: none"> ■ Upper-mid(7~24GHz) 대역 반도체 ■ 서브테라헤르츠(100~300GHz) 대역 반도체 	<ul style="list-style-type: none"> ■ 단거리 통신용 광통신 반도체 ■ 중장거리 통신용 광통신 반도체 ■ 유선통신용 이종집적 반도체 ■ 유선통신 네트워크 반도체

- (전공정 기술) 반도체 前공정은 소자/공정 미세화를 위하여 웨이퍼 상에 집적회로를 인쇄하는 과정으로, 산화(oxidation) ⇨ 노광(photolithography) ⇨ 식각(etching) ⇨ 확산(diffusion) ⇨ 증착(deposition) ⇨ 평탄화 및 세정(CMP&cleaning)과 같은 공정에 해당하는 기술임.

【 전공정 세부기술 】

에칭기술	박막제조기술	표면연마기술	전력용 반도체
<ul style="list-style-type: none"> ■ HAR(High Aspect Ratio) Etch ■ ALE(Atomic Layer Etching) 	<ul style="list-style-type: none"> ■ 화합물 에피 ■ Si/SiGe 에피 ■ 저저항 금속 박막 ■ 유전체 박막 	<ul style="list-style-type: none"> ■ CMP ■ 세정 	<ul style="list-style-type: none"> ■ GaN wafer 기반 제조 기술

- (후공정 기술) 패키지 기술은 통상적으로 반도체 소자 제조 후, 소자의 신호 및 전력 전달, 열 방출/관리, 외부 환경으로부터 반도체 칩을 보호하는 기술임. 최근 소자 집적화 한계 이슈로 패러다임 체인저로 주목받음.

【 후공정 세부기술 】

이종집적 패키지 기술	3D 패키지 기술	Fan-out Wafer Level Package (FO-WLP)	고온 반도체용(6G/ 전력 반도체) 패키지
<ul style="list-style-type: none"> ■ Direct Bonding 공정/장비 ■ Wafer/Die 이송 공정/장비 ■ 열관리 소재/공정 	<ul style="list-style-type: none"> ■ TSV 패턴기술 ■ 3D filling 금속 배선 소재/공정 ■ 평탄화/접합 기술 	<ul style="list-style-type: none"> ■ 몰딩 소재/공정 ■ 다층 배선용 유전체 소재 및 패턴 공정 ■ 저저항 금속 배선 소재 및 배선 공정 	<ul style="list-style-type: none"> ■ 고온용 인터포저 소재/공정 ■ 저노이즈 배선 기술 ■ 고방열 전력반도체 소재 /공정 기술

○ 분야별 기초원천 기술 환경을 조사하여 현재 우리나라의 반도체 분야 핵심 요소기술에 대한 기술분석 진행

- (특허) 반도체 로드맵 대상 7개 그룹의 최근 10년간 특허출원 비중은 중국의 급성장으로 전체 분석특허의 33.2%로 가장 높고, 국내 출원량은 중국의 1/3 수준

【 반도체 요소기술 특허 출원 현황 】

구분	소자			설계		공정		계
	강유전체	자성체	멤리스터	AI반도체	6G 반도체	전공정	후공정	
전체 출원(건)	5,463	10,492	13,502	3,600	8,086	18,377	5,402	64,922
한국 (점유율, %)	810 (14.8%)	1,070 (10.2%)	2,311 (17.1%)	326 (9.1%)	423 (5.2%)	1,358 (7.4%)	357 (6.6%)	6,655 (10.2)

- (기술수준) 최고 기술보유국 대비 소자분야(강유전체, 자성체, 멤리스터)는 기술격차가 약 1~2년 정도의 열위를 보이며, 설계분야(인공지능반도체, 6G이동통신반도체)는 기술격차가 약 2~3년, 공정분야는 약 3년 정도의 기술격차를 보임.

○ 현재 우리나라의 시급한 반도체 현안들을 고찰함으로써, 초격차 반도체 전략기술 육성을 통한 과학기술 강국 도약을 위한 추진전략 및 전략기술별 로드맵을 제시

- (소자) DRAM/NAND 메모리 수준의 신소자 메모리 기술 상용화 및 차세대 소자·메모리 집적화 기술개발

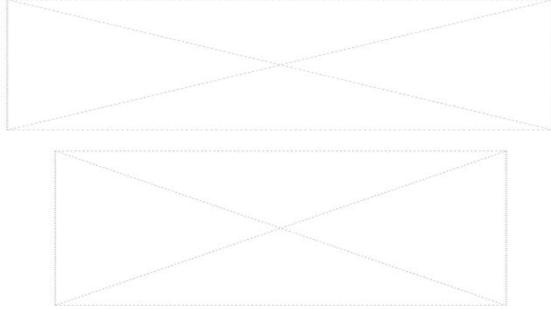
- (설계) 인간의 지능(Human-level AI) 구현을 위한 인공지능 반도체 및 차세대 6G 이동통신 시장 선점을 위한 부품레벨 원천기술 확보 및 표준화 연계

- (공정) 반도체 공정장비 자립화 30% 및 소재 국산화율 60%이상 달성을 위한 첨단 핵심 공정기술 확보

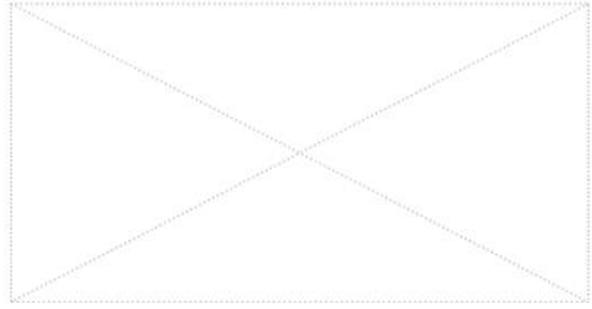
○ 소자/설계/공정 분야별 핵심 요소기술 도출을 통하여 향후 추진 일정별(단기, 중기, 장기) 핵심전략기술과 로드맵을 제시함으로써, 반도체 분야 임무지향형 국가연구개발의 방향성 수립을 위한 마중물로서의 역할 기대

[최종목표] 超격차 반도체 전략기술 육성을 통한 과학기술 강국
도약

1. DRAM/NAND 메모리 수준의 신소자 메모리 기술 상용화 및 차세대
소자·메모리 집적화 기술 개발



<新소재·구조 기반 차세대 소자 기술(안)>



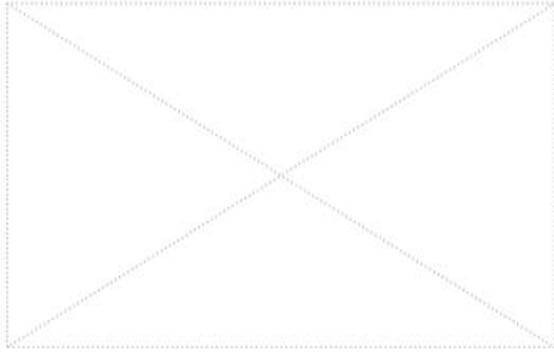
<차세대 메모리 집적화 기술(안)>

2. 인간의 지능(Human-level AI) 구현을 위한 인공지능 반도체 및 차세
대 6G 이동통신 시장 선점을 위한 부품레벨 원천기술 확보 및 표준화 연
계

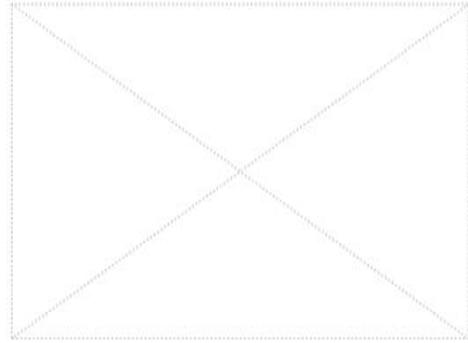


<인공지능 반도체 및 6G 이동통신 기술 연계(안)>

3. 첨단 핵심 공정기술 확보를 통한 반도체 공정장비 자립화 30% 및
소재 국산화율 60% 이상 달성

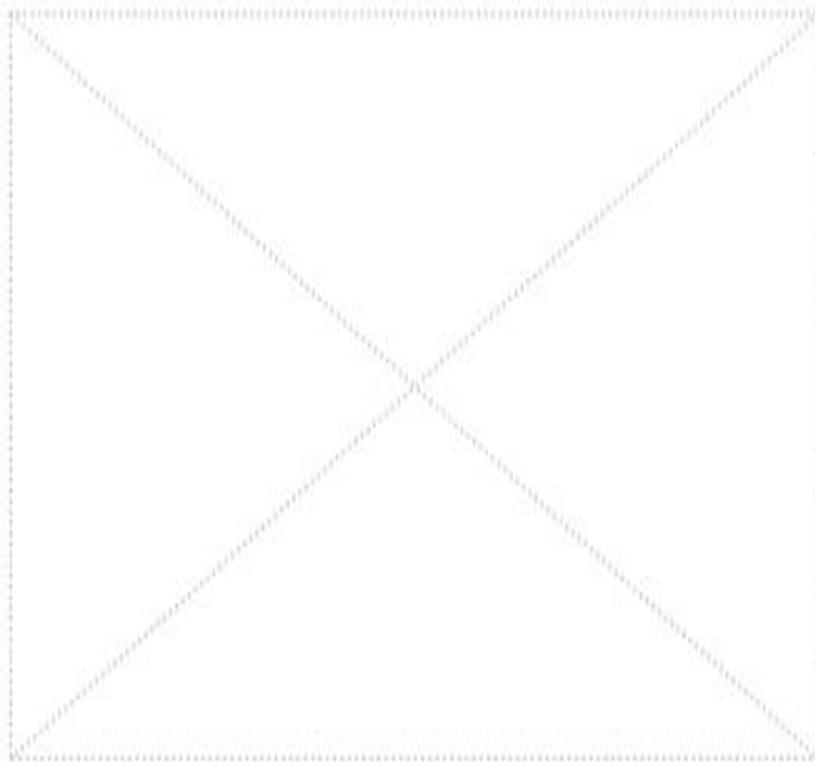


<More Moore를 위한 전공정 기술(안)>

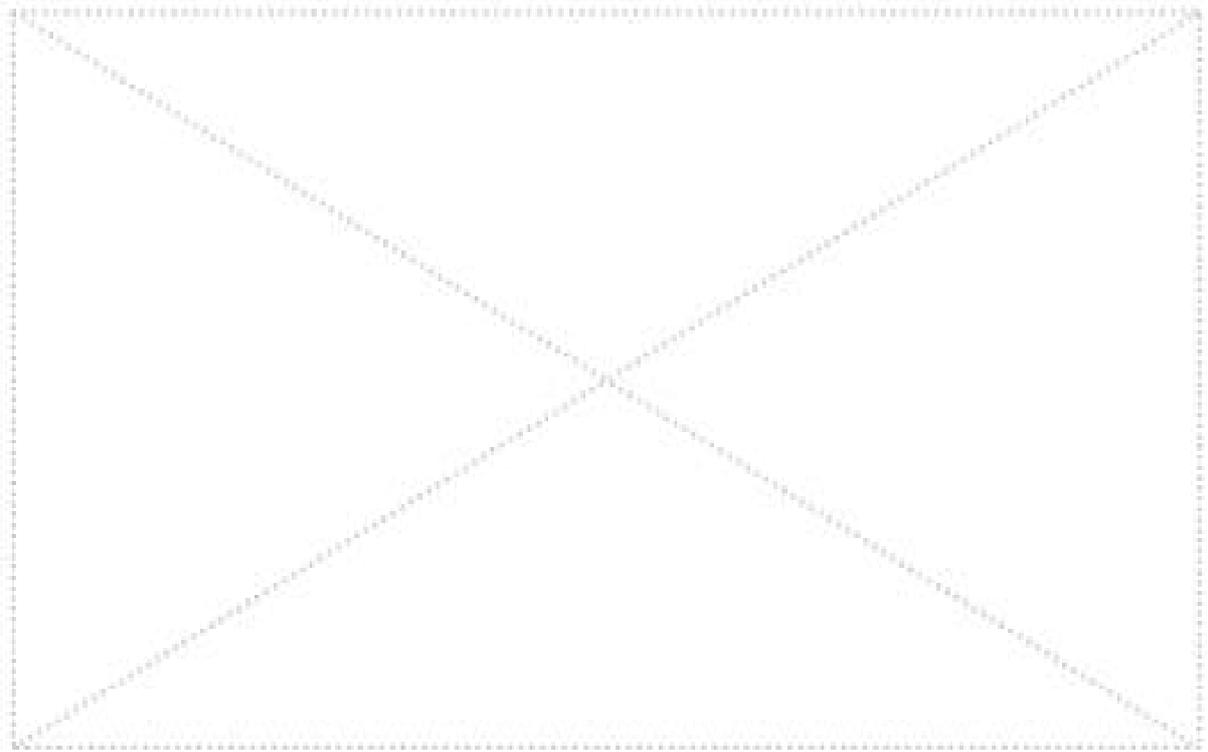


<칩단 패키징 기술(안)>

◆ 미래 반도체 기술개발을 위한 전략기술 연구주제(32개)



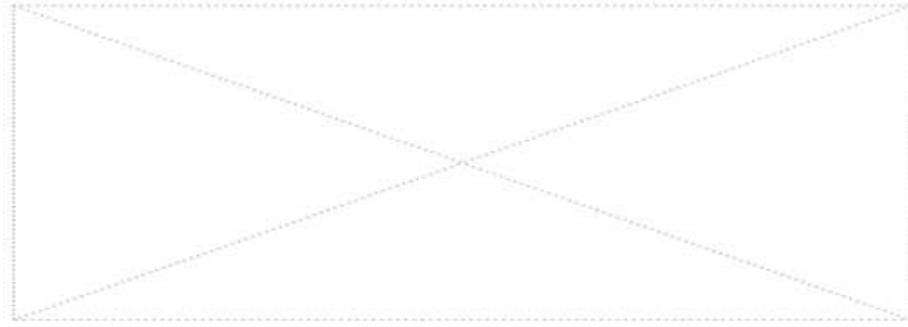
◆ 소자/설계/공정 분야별 요소기술(56개)



2. 정책 제언

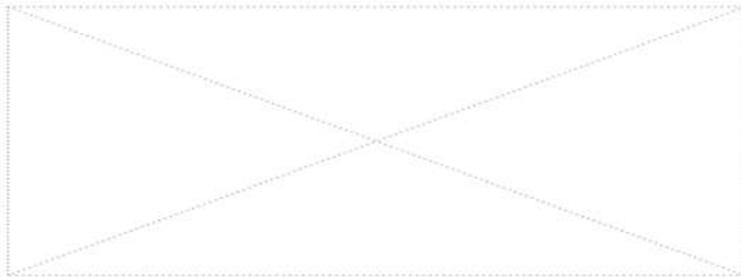
- 향후 급변하는 반도체 산업현황에 능동적으로 대응하기 위하여, 본 로드맵을 매년 지속적으로 수정 및 보완 추진
 - 초격차 반도체 원천기술 확보를 위하여 분야별 기술 특성에 맞는 “First Mover 전략”과 “Fast Mover 전략”을 수립
 - 본 로드맵에서 다루지 않은 DRAM과 NAND 메모리를 포함하여, 차세대 소자 및 메모리 기술 등에 대한 추가 논의를 통한 종합적인 반도체 기술전략으로 확장 필요
- ‘반도체 R&D 로드맵 협의체’를 구성하여 지속적으로 보완, 갱신하고 다양한 매체 및 방식을 통한 공유 및 전파하는 노력을 통하여 과학기술 지원정책과 연계 필요
 - 기술로드맵에 제시된 중·장기 기술개발 전략 및 중점 투자분야 기반으로 범부처 R&D 사업 기획 필요
 - 부처별 R&D 추진현황 및 성과공유, 신규 R&D 투자 수요 검토, 분야별 임무 지향적 정책 필요
 - 초격차 반도체 전략기술 육성을 통한 과학기술 강국 도약을 위한 본 “미래 반도체 기술개발 로드맵” 기반 핵심전략기술에 대한 지원 필요
- 반도체 분야 글로벌 경쟁력을 위해 각 분야의 핵심전략기술에 대한 중·장기적 중요성을 고려하여 우선순위를 선정하여 지원방안 필요
- 국내 반도체 산업의 지속적인 발전을 위하여 5대 추진과제 제안
 - [추진과제 1] Fabless 점유율 확대를 위하여 인공지능 반도체 기술개발 가속화

【 반도체 산업발전을 위한 추진과제 1 】



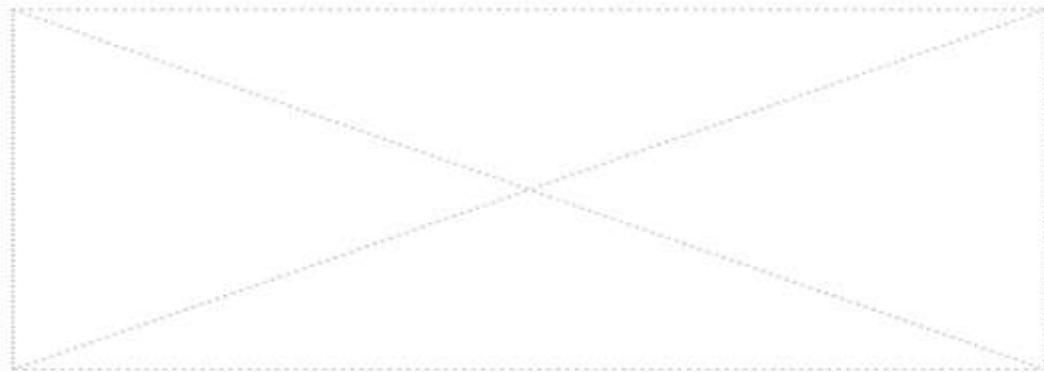
- [추진과제 2] 초격차 메모리 기술 확보를 위한 차세대 메모리 핵심 원천기술 개발

【 반도체 산업발전을 위한 추진과제 2 】



- [추진과제 3] 파운드리 미세화 기술 고도화를 통한 차세대 소자 기술 및 수율 향상

【 반도체 산업발전을 위한 추진과제 3 】



- [추진과제 4] 패키지 기술 고도화를 통한 패키징 분야 Fast-Mover 전략 수립

【 반도체 산업발전을 위한 추진과제 4 】



- [추진과제 5] 반도체 인력양성을 위한 다양한 프로그램 개발 추진

【 반도체 산업발전을 위한 추진과제 5 】



VI. 참고문헌

- [1] WSTS, <https://www.wsts.org/>
- [2] YoleDeveloppement, <https://www.yolegroup.com/>
- [3] NTIS, <https://www.ntis.go.kr/>
- [4] 지포누리, <https://www.index.go.kr/>
- [5] IRDS, <https://irds.ieee.org/>
- [6] HIR, <https://eps.ieee.org/technology/heterogeneous-integration-roadmap.html>
- [7] IC Insights, <https://www.icinsights.com/>
- [8] 전국경제인연합회, <https://www.fki.or.kr/>
- [9] 과학기술정보통신부, <https://www.msit.go.kr/>
- [10] 산업통상자원부, <http://www.motie.go.kr/>
- [11] 국가과학기술자문회의, <http://www.pacst.go.kr/>
- [12] W. Butler, et al. "Spin-dependent tunneling conductance of Fe/MgO/Fe sandwiches" *Phys. Rev. B* (2001)
- [13] S. Ikeda, et al. "Tunnel magnetoresistance of 604% at 300K by suppression of Ta diffusion in CoFeB/MgO/CoFeB pseudo spin valves annealed at high temperature" *Appl. Phys. Lett* (2008)
- [14] 김상훈, et al. "자화 동역학의 원리 및 최신 연구 동향" 한국자기학회지 (2018)
- [15] T. Nozaki, et al. "Recent Progress in the Voltage-Controlled Magnetic Anisotropy Effect and the Challenges Faced in Developing Voltage-Torque MRAM" *Micromachines* (2019)
- [16] GlobalFoundries, "Everspin and Globalfoundries extend their MRAM agreement to 12 nm processes" [Online available : <https://www.mram-info.com/tags/globalfoundries> (2020)
- [17] I. M. Miron, et al. *Nature* (2011) and L. Liu, et al. *Science* (2012)
- [18] S. C. Baek, et al. "Spin currents and spin-orbit torques in ferromagnetic trilayers" *Nature Materials* (2018)
- [19] G.W. Kim, et al. "Variation of spin-orbit torque and spin transport properties by V alloying in β -W-based magnetic heterostructures" *Scripta Materialia* (2022)
- [20] Y. Shiota, et al. "Induction of coherent magnetization switching in a few atomic layers of FeCo using voltage pulses" *Nature Materials* (2012)
- [21] K. Klyukin, et al. "Hydrogen tunes magnetic anisotropy by affecting local hybridization at the interface of a ferromagnet with nonmagnetic metals," *Phys. Rev. Materials* (2020)
- [22] Jade Liu, et al. "Imec Overcomes Fundamental Operation Challenge for Voltage-Controlled Magnetic Random-Access Memories (RAM)" [Online available : <https://www.imec-int.com/en/articles> (2020)
- [23] T. Nozaki, et al. "Highly efficient voltage control of spin and enhanced interfacial perpendicular magnetic anisotropy in iridium-doped Fe/MgO magnetic tunnel junctions" *NPG Asia Mater* (2017)
- [24] J.-G. Choi, et al. "Voltage-driven gigahertz frequency tuning of spin Hall nano-oscillators" *Nat. Commun* (2022)

- [25] T. Jungwirth, et al. “Antiferromagnetic spintronics” *Nat. Nanotech* (2016)
- [26] Yang, H. et al. “Two-dimensional materials prospects for non-volatile spintronic memories” *Nature* (2022)
- [27] K. Cao, et al. “In-memory direct processing based on nanoscale perpendicular magnetic tunnel junctions” *Nanoscale* (2018)
- [28] Borders, W.A, et al. “Integer factorization using stochastic magnetic tunnel junctions” *Nature* (2019)
- [29] Luo, Z, et al. “Current-driven magnetic domain-wall logic” *Nature* (2020)
- [30] J. Grollier, et al. “Neuromorphic spintronics” *Nat. Electron* (2020)
- [31] K. Song, et al. “Skyrmion-based artificial synapses for neuromorphic computing” *Nat. Electron* (2020) and Yang, S. et al. “Electrical Generation and Deletion of Magnetic Skyrmion-Bubbles via Vertical Current Injection” *Advanced Materials* (2021)
- [32] S. Jung, et al. “A crossbar array of magnetoresistive memory devices for in-memory computing” *Nature* (2022)
- [33] E. Grimaldi, et al. “Single-shot dynamics of spin-orbit torque and spin transfer torque switching in three-terminal magnetic tunnel junctions” *Nat. Nanotechnol* (2020)
- [34] T. Okuno, et al. “Spin-transfer torques for domain wall motion in antiferromagnetically coupled ferrimagnets” *Nat. Electron* (2019)
- [35] J. Ryu, et al. “Efficient spin-orbit torque in magnetic trilayers using all three polarizations of a spin current” *Nat. Electron* (2022)
- [36] T. Higo, et al. “Perpendicular full switching of chiral antiferromagnetic order by current” *Nature* (2022)
- [37] Q. L. He, et al. “Topological spintronics and magnetoelectronics” *Nat. Mater* (2022)
- [38] T. Maruyama, et al. “Large voltage-induced magnetic anisotropy change in a few atomic layers of iron” *Nature Nanotech* (2009) and X. Zhang, et al. “Magnetization switching by combining electric field and spin-transfer torque effects in a perpendicular magnetic tunnel junction” *Sci Rep* (2016) and T. Yamamoto, et al. “Improvement of write error rate in voltage-driven magnetization switching” *Journal of Physics D* (2019)
- [39] D. A. Allwood, et al. “Submicrometer Ferromagnetic NOT Gate and Shift Register” *Science* (2002) and E. Raymenants, et al. “Nanoscale domain wall devices with magnetic tunnel junction read and write” *Nat. Electron* (2021)
- [40] S. Joo, et al. “Magnetic-field-controlled reconfigurable semiconductor logic” *Nature* (2013)
- [41] S. Manipatruni, et al. “Scalable energy-efficient magnetoelectric spin-orbit logic” *Nature* (2019)
- [42] N. Locatelli, et al. “Spin-torque building blocks” *Nature Mater* (2014)
- [43] S. Lee, et al. “Spintronic Physical Unclonable Functions Based on Field-Free Spin-Orbit-Torque Switching” *Adv. Matter* (2022)
- [44] “Status of the Memory Industry” and “Emerging NVM” Yole
- [45] Mordor Intelligence “Magneto Resistive RAM(MRAM) Market-growth, Trends, COVID-19 Impact and Forecasts (2021-2026)”(2020)
- [46] THEELEC, “삼성전자, 뉴메모리 ‘M램’ 활용처 확대” (2021)

- [47] Y. C. Lau, et al. "Spin-orbit torque switching without an external field using interlayer exchange coupling" *Nature Nanotech* (2016)
- [48] K. Cai, et al. "Electric field control of deterministic current-induced magnetization switching in a hybrid ferromagnetic/ferroelectric structure" *Nature Mater* (2017)
- [49] S. Fukami, et al. "Magnetization switching by spin-orbit torque in an antiferromagnet-ferromagnet bilayer system" *Nature Mater* (2016) and Y. W. Oh, et al. "Field-free switching of perpendicular magnetization through spin-orbit torque in antiferromagnet/ferromagnet/oxide structures" *Nature Nanotech* (2016)
- [50] K. Elphick, et al. "Heusler alloys for spintronic devices: review on recent development and future perspectives" *Science and Technology of Advanced Materials* (2021)
- [51] M. F. Toney, et al. "Thickness and growth temperature dependence of structure and magnetism in FePt thin films" *Journal of Applied Physics* (2003)
- [52] Y. C. Wu, et al. "Voltage-gate-assisted spin-orbit-torque magnetic random access memory for high-density and low-power embedded applications" *Phys. Rev* (2021)
- [53] W. Zhou, et al. "Seebeck-driven transverse thermoelectric generation" *Nat. Mater* (2021)
- [54] S. Cho, et al. "Volatile and Nonvolatile Memory Devices for Neuromorphic and Processing-in-Memory Applications," *Journal of Semiconductor Technology and Science* (2022)
- [55] K. Udaya Mohanan, et al. "Medium-Temperature-Oxidized GeO Resistive Switching Random-Access Memory and Its Applicability in Processing-in-Memory" *Nanoscale Research Letters* (2022)
- [56] S. W. Ryu, et al. "Effects of ZrO₂ doping on HfO₂ resistive switching memory characteristics" *Physics Letters* (2014)
- [57] A. L. Hodgkin et al. "Action Potentials Recorded from Inside a Nerve Fibre" *Nature* (1939)
- [58] D. Kuzum, et al. "Nanoelectronic Programmable Synapses Based on Phase Change Materials for Brain-Inspired Computing" *Nano Letters* (2011)
- [59] F. Cai, et al. "A fully integrated reprogrammable memristor-CMOS system for efficient multiply-accumulate operations" *Nature Electronics* (2019)
- [60] Z. Wang, et al. "Memristors with diffusive dynamics as synaptic emulators for neuromorphic computing" *Nature Materials* (2016)
- [61] S. Jung, et al. "A crossbar array of magnetoresistive memory devices for in-memory computing" *Nature* (2022)
- [62] D.-H. Lim, et al. "Spontaneous sparse learning for PCM-based memristor neural networks," *Nature Communications* (2021)
- [63] D. Kim, et al. "Pd/IGZO/p+-Si Synaptic Device with Self-Graded Oxygen Concentration for Highly Linear Weight Adjustability and Improved Energy Efficiency" *ACS Applied Electronic Materials* (2020)
- [64] J. Kang, et al. "Cluster-type analogue memristor by engineering redox dynamics for high-performance neuromorphic computing" *Nature Communications* (2020)
- [65] X. Yan, et al. "Memristor with Ag-Cluster-Doped TiO₂ Films as Artificial Synapse for Neuroinspired Computing" *Advanced Functional Materials* (2018)

- [66] Y. Liu, et al. “A Robust and Low-Power Bismuth Doped Tin Oxide Memristor Derived from Coaxial Conductive Filaments” *Small*
- [67] S.-E. Kim, et al. “Sodium-Doped Titania Self-Rectifying Memristors for Crossbar Array Neuromorphic Architectures” *Advanced Materials* (2021)
- [68] W. Huh, et al. “Memristors Based on 2D Materials as an Artificial Synapse for Neuromorphic Electronics” *Advanced Materials* (2020)
- [69] S. Choi et al. “SiGe epitaxial memory for neuromorphic computing with reproducible high performance based on engineered dislocations” *Nature Materials* (2018)
- [70] S. H. Choi, et al. “Reliable multilevel memristive neuromorphic devices based on amorphous matrix via quasi-1D filament confinement and buffer layer” *Science Advances* (2022)
- [71] H. Yeon, et al. “Alloying conducting channels for reliable neuromorphic computing” *Nature Nanotechnology* (2020)
- [72] Y. Li, et al. “Anomalous resistive switching in memristors based on two-dimensional palladium diselenide using heterophase grain boundaries” *Nature Electronics* (2021)
- [73] K. Aryana, et al. “Interface controlled thermal resistances of ultra-thin chalcogenide-based phase change memory devices” *Nature Communications* (2021)
- [74] C. Mackin, et al. “Optimised weight programming for analogue memory-based deep neural networks” *Nature Communications* (2022)
- [75] S. Choi, et al. “Experimental Demonstration of Feature Extraction and Dimensionality Reduction Using Memristor Networks” *Nano Letters* (2017)
- [76] Y. Shi, et al. “Neuroinspired unsupervised learning and pruning with subquantum CBRAM arrays” *Nature Communications* (2018)
- [77] X. Zhang, et al. “Neuromorphic Computing with Memristor Crossbar” *Physica Status Solidi A* (2018)
- [78] A. A. Bessonov, et al. “Layered memristive and memcapacitive switches for printable electronics” *Nature Materials* (2015)
- [79] Y.-N. Zhong, et al. “Synapse-Like Organic Thin Film Memristors” *Advanced Functional Materials* (2018)
- [80] A. Younis, et al. “High-Performance Nanocomposite Based Memristor with Controlled Quantum Dots as Charge Traps” *ACS Applied Materials & Interfaces* (2013)
- [81] Okuno, Jun, et al. “1T1C FeRAM Memory Array Based on Ferroelectric HZO With Capacitor Under Bitline.” *IEEE Journal of Electron Devices Society* (2021)
- [82] Okuno, Jun, et al. “Demonstration of 1T1C FeRAM Arrays for Nonvolatile Memory Applications.” 2021 20th International Workshop on Junction Technology (2021)
- [83] Okuno, Jun, et al. “High-endurance and low-voltage operation of 1T1C FeRAM arrays for nonvolatile memory application.” 2021 IEEE International Memory Workshop (2021)
- [84] Okuno, Jun, et al. “Investigation of Recovery Phenomena in Hf_{0.5}Zr_{0.5}O₂-based 1T1C FeRAM.” *IEEE Journal of the Electron Devices Society* (2022)
- [85] Okuno, Jun, et al. “SoC compatible 1T1C FeRAM memory array based on ferroelectric Hf_{0.5}Zr_{0.5}O₂.”

2020 IEEE Symposium on VLSI Technology (2020)

- [86] Alcalá, R, et al. “BEOL Integrated Ferroelectric HfO₂ based Capacitors for FeRAM: Extrapolation of Reliability Performance to Use Conditions.” 2022 6th IEEE Electron Devices Technology & Manufacturing Conference (2022)
- [87] Grenouillet, L, et al. “Performance assessment of BEOL-integrated HfO₂-based ferroelectric capacitors for FeRAM memory arrays.” 2020 IEEE Silicon Nanoelectronics Workshop (2020)
- [88] Francois, T, et al. “Demonstration of BEOL-compatible ferroelectric Hf_{0.5}Zr_{0.5}O₂ scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications.” 2019 IEEE International Electron Devices Meeting (2019)
- [89] Francois, T, et al. “High-Performance Operation and Solder Reflow Compatibility in BEOL-Integrated 16-kb HfO₂: Si-Based 1T-1C FeRAM Arrays.” IEEE Transactions on Electron Devices (2022)
- [90] Lyu, Xiao, et al. “Record fast polarization switching observed in ferroelectric hafnium oxide crossbar arrays.” 2020 IEEE Silicon Nanoelectronics Workshop (2020)
- [91] Chen, Lin, et al. “Ultra-low power Hf_{0.5}Zr_{0.5}O₂ based ferroelectric tunnel junction synapses for hardware neural network applications.” Nanoscale (2018)
- [92] Luo, Qing, et al. “A highly CMOS compatible hafnia-based ferroelectric diode.” Nature communications (2020)
- [93] Luo, Qing, and Ming Liu, et al. “HfO_x based Ferroelectric Materials and Memories.” 2021 20th International Workshop on Junction Technology (2021)
- [94] Hur, Jae, et al. “Nonvolatile Capacitive Crossbar Array for In-Memory Computing.” Advanced Intelligent Systems (2022)
- [95] Chang, Sou-Chi, et al. “Anti-ferroelectric Hf_xZr_{1-x}O₂ capacitors for high-density 3-D embedded-DRAM.” 2020 IEEE International Electron Devices Meeting (2020)
- [96] Chang, S-C, et al. “FeRAM using Anti-ferroelectric Capacitors for High-speed and High-density Embedded Memory.” 2021 IEEE International Electron Devices Meeting (2021)
- [97] Berdan, Radu, et al. “Low-power linear computation using nonlinear ferroelectric tunnel junction memristors.” Nature Electronics (2020)
- [98] Kim, Min-Kyu et al. “CMOS-compatible compute-in-memory accelerators based on integrated ferroelectric synaptic arrays for convolution neural networks.” Science Advances (2022)
- [99] Goh, Youngin, et al. “Selector-less Ferroelectric Tunnel Junctions by Stress Engineering and an Imprinting Effect for High-Density Cross-Point Synapse Arrays.” ACS Applied Materials & Interfaces (2021)
- [100] Kim, Sihyun, et al. “Physical Unclonable Functions Using Ferroelectric Tunnel Junctions.” IEEE Electron Device Letters (2021)
- [101] Yu, Junsu, et al. “A novel physical unclonable function (PUF) using 16× 16 pure-HfO_x ferroelectric tunnel junction array for security applications.” Nanotechnology (2021)
- [102] Bae, Hagyoul, et al. “Ferroelectric Diodes with Sub-ns and Sub-fJ Switching and Its Programmable Network for Logic-in-Memory Applications.” 2021 Symposium on VLSI Technology (2021)
- [103] Sung, Minchul, et al. “Low Voltage and High Speed 1Xnm 1T1C FE-RAM with Ultra-Thin 5nm HZO.”

2021 IEEE International Electron Devices Meeting (2021)

- [104] Ellie Wang, et al. "Sustained by Upsurge in Bit Shipments, Global 2Q22 DRAM Revenue Grows by 6.5% QoQ, Says TrendForce" (2022)
- [105] Sean Lin, et al. "Rising Contract Pricing Offsets Falling Demand, Total 2Q22 NAND Flash Revenue Increases 1.1% QoQ, Says TrendForce", (2022)
- [106] <https://www.semiconductors.org/chips>, "CHIPS for America Act & FABS Act." (2022)
- [107] <http://commerce.senate.gov>, "View the CHIPS+ Legislation – Senate Commerce Committee." (2022)
- [108] TechInsight, "7nm SMIC MinerVa Bitcoin Miner: Disruptive Technology Briefing." (2021)
- [109] semiengineering.com, "Big Trouble At 3nm" & Int'l Business Strategies, "IC Design Cost Escalate." (2018)
- [110] ITRS 2.0, "International Technology Roadmap for Semiconductors." (2015)
- [111] Krizhevsky, Alex, et al. "Imagenet classification with deep convolutional neural networks." Communications of the ACM (2017)
- [112] OpenAI, "AI and Compute." (2018)
- [113] AI Chips, <https://github.com/basicmi/AI-Chip> (2022)
- [114] HPCwire, "Samsung Announces HBM Tech with Build-in AI Processing." (2021)
- [115] Tomshardware, "SK hynix GDDR6-AiM to Accelerate AI by up to 16x." (2022)
- [116] NVIDIA, "NVIDIA H100 Tensor Core GPU." (2022)
- [117] HPCwire, "Graphcore launches Wafer-on-Wafer 'Bow' IPU." (2022)
- [118] Habana, "Habana Labs Goya Delivers Inferencing on BERT." (2019)
- [119] Nextplatform, "Inside Tesla's Innovative And Homegrown 'Dojo' AI Supercomputer." (2022)
- [120] HPCwire, "Tachyum Launches Prodigy Universal Processor." (2022)
- [121] Newswire, "Tenstorrent Raises Over \$200 million at \$1 Billion Valuation to Create Programmable, High Performance AI Computers." (2021)
- [122] Forbes, "D-Matrix AI Chip Promises Efficient Transformer Processing." (2022)
- [123] EEnewsAnalog, "HP helps birth analog-in-memory processor startup." (2022)
- [124] Gartner, "Market Share Analysis: Semiconductors, Worldwide, 2021" (2021)
- [125] Gartner, "Market Share Analysis: Semiconductors, Worldwide, 2020" (2020)
- [126] 과학기술정보통신부, "인공지능반도체 산업성장 지원 대책", 인공지능최고위전략대화 (2022)
- [127] Networkworld, "IDC: Expect 175 Zettabytes of data worldwide by 2025" (2018)
- [128] 반도체산업협회&한국경제, "'반도체 인력, 매년 3000명 부족', 새 정부 '특단 대책'에 기대감." (2022)
- [129] NTIS(국가과학기술정보서비스), <http://ntis.go.kr>
- [130] OMDIA, <http://omdia.tech.informa.com>
- [131] TrendForce, <http://www.trendforce.com>
- [132] Bennett, Herbert S. "Will future measurement needs of the semiconductor industry be met?" Journal of Research of the National Institute of Standards and Technology (2007)

- [133] Esmaeilzadeh, Hadi, et al. "Dark silicon and the end of multicore scaling." Proceedings of the 38th annual international symposium on Computer architecture. (2011)
- [134] Holma, H., et al. "Extreme massive mimo for macro cell capacity boost in 5g-advanced and 6g." White paper. Nokia Bell Labs (2021)
- [135] Kao, Wei-Cheng, et al. "Ai-aided 3-D beamforming for millimeter wave communications." International Symposium on Intelligent Signal Processing and Communication Systems. IEEE (2018)
- [136] Yin, Yusheng, et al. "Wideband 23.5-29.5-GHz phased arrays for multistandard 5G applications and carrier aggregation." IEEE Transactions on Microwave Theory and Techniques (2020)
- [137] Tousi, Yahya, et al. "14.6 A scalable THz 2D phased array with +17dBm of EIRP at 338GHz in 65nm bulk CMOS." IEEE International Solid-State Circuits Conference Digest of Technical Papers (2014)
- [138] Tokgoz, et al. "Millimeter-wave CMOS transceiver toward 1Tbps wireless communication." IEEE International Symposium on Circuits and Systems (2019)
- [139] Lee, Sangyeop, et al. "9.5 An 80Gb/s 300GHz-Band Single-Chip CMOS Transceiver" IEEE International Solid-State Circuits Conference (2019)
- [140] Nakahara, Kouji, et al. "112-Gb/s PAM-4 uncooled directly modulated BH lasers." European Conference on Optical Communication IEEE (2021)
- [141] Asakura, Hideaki, et al. "384-Gb/s/lane PAM8 Operation Using 76-GHz Bandwidth EA-DFB Laser at 50°C with 1.0-Vpp Swing over 2-km Transmission." Optical Fiber Communication Conference, Optica Publishing Group (2022)
- [142] Ogiso, Yoshihiro, et al. "80-GHz bandwidth and 1.5-VV π InP-based IQ modulator." Journal of Lightwave Technology (2019)
- [143] Yamaoka, Suguru, et al. "Directly modulated membrane lasers with 108 GHz bandwidth on a high-thermal-conductivity silicon carbide substrate." Nature Photonics (2021)
- [144] Park, Dae-Woong, et al. "A 230-260GHz wideband amplifier in 65nm CMOS based on dual-peak Gmax-core." Symposium on VLSI Circuits. IEEE (2017)
- [145] Yoo, Seyeon, et al. "23.4 An 82fs rms-Jitter and 22.5 mW-Power, 102GHz W-Band PLL Using a Power-Gating Injection-Locked Frequency-Multiplier-Based Phase Detector in 65nm CMOS." IEEE International Solid-State Circuits Conference (2021)
- [146] Yun, Seok-Jun, et al. "Realization of EML Submodule for 100-Gbaud Operation Using LC Resonance with Optimization of Load Resistance." Optical Fiber Communication Conference. Optica Publishing Group (2022)
- [147] Yun, Seok-Jun, et al. "Hybrid-Integrated 400G TROSA Module and Its Performance Evaluation Using PAM4 DSP Chip." Optical Fiber Communications Conference and Exhibition. IEEE (2021)
- [148] 유수연, et al. "에이피티씨 기술분석보고서" ((주)NICE디앤비) (2022)
- [149] 안기연, et al. "[이슈분석 179호 주요국 반도체산업 정책 동향 및 시사점]" 한국반도체산업협회 (2020)
- [150] 강해령, et al. "삼성전자가 제시한 차세대 반도체 기술" 서울경제 (2022)
- [151] 서유덕, et al. "[기고 메모리 로드맵 실현하는 HAR 식각과 나노 수준 패터닝]" 램리서치 (2022)
- [152] Kim, Dong-Won, et al. "시스템 반도체 소자 기술" The Magazine of the IEIE (2015)

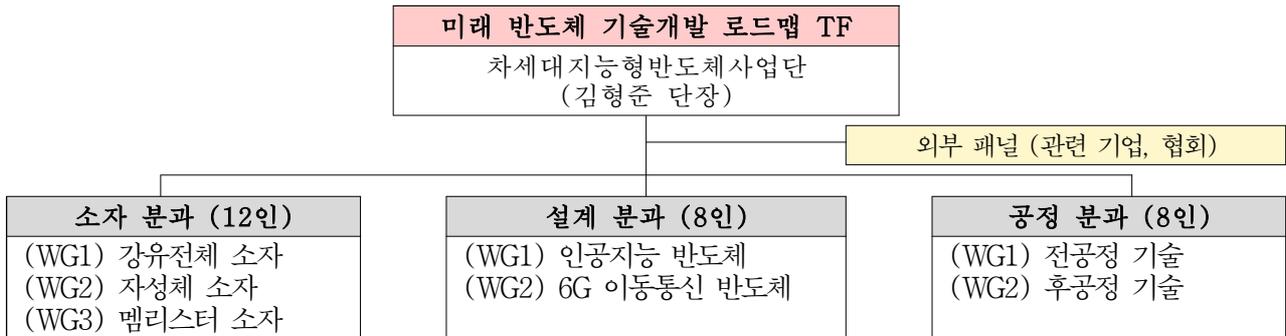
- [153] 권동준, et al. “반도체 장비 현지화 ‘마지막 퍼즐’ 맞춘 램리서치” 전자신문 (2022)
- [154] “램리서치 테크 브리핑: ALE에 대한 모든 것” 램리서치코리아 (2017)
- [155] Du, Hyeon Cheol, and Sang Jeon Hong. et al. “Temperature analysis of electrostatic chuck for cryogenic etch equipment.” Journal of the Semiconductor & Display Technology (2021)
- [156] 김지웅, et al. “[스페셜리포트 글로벌 반도체 장비 빅4 ‘점유율 70%’...투자·인력 몰량 공세” 전자신문 (2022)
- [157] 이찬수, et al. “플라즈마 건식 식각 공정 연구.” Diss. 한양대학교 (2008)
- [158] “Promising Wafer : 전략 자원에 대한 기술적 접근” 미래에셋증권 (2022)
- [159] Jung, Jongwan, et al. "Process Steps for High Quality Si-Based Epitaxial Growth at Low Temperature via RPCVD." Materials (2021)
- [160] “미·중 기술패권 10문 10답:반도체, 컴퓨팅 스택 및 기술패권 시대의 전략적 레버리지 구축 방향” 정보통신정책연구원 (2022)
- [161] 김규관, et al. “일본의 반도체 전략 특징과 시사점.” 오늘의 세계경제 (2021)
- [162] “차세대 지능형 반도체 기술개발사업 2018년도 예비타당성조사 보고서”
- [163] “차세대 반도체 소자용 에피성장(GaN, Si 및 SiGe) 원천기술 및 장비개발 최종보고서” (2017)
- [164] “차세대 반도체 소자용 에피성장 측정·분석 및 전력반도체 원천기술개발 최종보고서” (2017)
- [165] “Si 전력소자와 가격경쟁이 가능한 GaN 전력소자 제작을 위한 시장친화적 저가형 GaN on Si 에피웨이퍼 개발 최종보고서” (2017)
- [166] “차세대 전력 반도체 기술개발 및 생산역량 확충 방안” (2021)
- [167] 문재경, et al. “GaN 전력반도체 글로벌 연구개발 현황 및 미래 발전방향.” [ETRI 전자통신동향분석 (2016)
- [168] 중소벤처기업부, “중소기업 기술국산화 전략품목 상세분석 <반도체>” (2022)
- [169] “2020년 소재부품기술개발사업 패키지형/전략핵심소재자립화기술개발사업 기획보고서” (2020)
- [170] 김영준, et al. “지능형 반도체를 위한 ALD 공정 연구동향.” 재료마당 (2020)
- [171] Yim, Kanghoon, et al. “Novel high- κ dielectrics for next-generation electronic devices screened by automated ab initio calculations.” NPG Asia Materials (2015)
- [172] Jeon, Woojin. “Recent advances in the understanding of high-k dielectric materials deposited by atomic layer deposition for dynamic random-access memory capacitor applications.” Journal of Materials Research (2020)
- [173] Lee, Woo Chul, et al. “Atomic engineering of metastable BeO₆ octahedra in a rocksalt framework.” Applied Surface Science (2020)
- [174] Hagen, D. J. et al. “Atomic layer deposition of metals: Precursors and film growth.” Applied Physics Reviews (2019)
- [175] Applied Materials사 웹사이트: <https://www.appliedmaterials.com>
- [176] Lam Research사 웹사이트: <https://www.lamresearch.com>
- [177] International Roadmap for Devices and Systems (IRDS) 2022 Update (2022)

- [178] Kang, Hyun-Goo, et al. "Effects of abrasive particle size and molecular weight of poly (acrylic acid) in ceria slurry on removal selectivity of SiO₂/Si₃N₄ films in shallow trench isolation chemical mechanical planarization." *Journal of materials research* (2007)
- [179] Seo, Eun-Bin, et al. "Interfacial chemical and mechanical reactions between tungsten-film and nano-scale colloidal zirconia abrasives for chemical-mechanical-planarization." *ECS Journal of Solid State Science and Technology* (2020)
- [180] Vacassy, Robert, and Zhan Chen. "Edge-over-erosion in tungsten CMP." *Proc. 11th Int. Chem. Mech. Planarization ULSI Multilevel Interconnect. Conf.(CMP-MIC)* (2006)
- [181] "Semiconductor Packaging Market", imarc (2022)
- [182] "Polymeric Materials for Advanced Packaging at the Wafer-Level", YOLE (2018)
- [183] Kumar, S, et al. "Status of the Advanced Packaging Industry 2021." (2021)
- [184] "Advanced packaging: OSATs, foundries, and IDMs all want to be part of the game", YOLE (2020)
- [185] 신종원 et al, "시스템반도체산업에서의 대·중소기업 동반성장 메커니즘 연구 - 팹리스 중소기업을 중심으로" 산업연구원 (2020)

<별첨 I > 미래 반도체 기술개발 로드맵 추진 경과

○ (체계) 반도체 분야 산학연 전문가로 구성된 '미래 반도체 기술개발 로드맵 TF' 구성 및 운영

【 미래 반도체 기술개발 로드맵 체계 】



- (총괄회의) 전략추진방향, 분과역할, 진도점검, 최종조정 등 논의(4차례 회의 개최)
- (분과회의) 분과 소관 사항 관련 세부 내용 논의, 작성, 검토(수시 회의)

○ 세부 추진 경과

- 분야별 요소기술 분류 및 종합 진단(~'22.10월)
 - 국내/외 시장·산업·정책·기술 동향 파악, 정부 투자현황 조사, 특허·논문 분석 등
- 핵심 요소기술 설문 및 특허동향 조사(~'22.11월)
 - 해당 분야 전문가 192인의 설문조사를 통한 요소기술별 기술격차 및 전략기술 분석
 - 특허사무소를 통한 요소기술별 특허동향 조사의 객관성 확보
- 단기/중기/장기 기술개발의 핵심 전략기술 도출(~'22.12월)
- '3대 주력기술 초격차 R&D 전략' 발표('23.04.06, 비상경제장관회의)
- '반도체 미래기술 로드맵' 전략발표회 개최('23.05.09, 서울 엘타워)

【 미래 반도체 기술개발 로드맵 추진 경과 】



수정·보완 요구사항 반영내역

- 과제명 : 미래 반도체 기술개발 로드맵 수립을 위한 연구
- 주관연구책임자 : 김형준

전문기관의 수정·보완요구사항	수정·보완요구사항 반영내용 요약	적용 페이지
<ul style="list-style-type: none"> ○ 실리콘 기술 이후의 장기적으로 연구가 필요한 기술(화합물, 초전도)에 대한 연구 계획이 필요할 것으로 보임. EDA SW 기술 육성 및 지원 방안도 보완 필요 	<ul style="list-style-type: none"> ○ 현재 부처와 기존 반도체 로드맵을 보완하기 위하여 2단계 로드맵 고도화를 추진중임. 로드맵 공백기술 및 고도화를 추진함에 있어 관련 내용이 포함될 수 있도록 부처와 협의 예정 	-
<ul style="list-style-type: none"> ○ 수립된 반도체 미래기술 로드맵을 기반으로 미흡·공백 기술 분야에 대한 분석 등을 통해 향후 전략적 반도체 R&D 추진 방안 수립이 필요함 		
<ul style="list-style-type: none"> ○ 소자, 설계, 공정 각 분야들의 자료조사는 충실한 것으로 판단됨. 그러나 제한된 자원으로 어디에 어떻게 배분하는 것이 가장 효율적인지의 전략이 필요하기 때문에 각 분야별 연구비 배분 비중, 또는 기술 시급성 비중을 도출하면 더 훌륭한 보고서가 될 것으로 판단됨 		
<ul style="list-style-type: none"> ○ 출처가 언제 것인지를 알아볼 수 있도록 연도 기입 필요 	<ul style="list-style-type: none"> ○ 보고서 전반적으로 출처 연도 표기를 수정 보완하였음. 	보고서 전체