

요약문

초절전 고성능 미래 반도체 나노소자 기술개발 전략

1-1. 기획과제 수행배경

■ 사물인터넷에 기반한 초연결사회 정보인프라 기반기술 탐색 및 개발 전략 수립

- 사물인터넷 도입에 의해 스마트 홈, 스마트그리드, 스마트 카, ubiquitous health care, 동영상등에서 발생하는 정보처리 수요 폭증예상 (최대 백만배)
- 이에 따른 데이터의 전송, 연산, 응용에 엄청난 에너지가 소모될 것으로 생각됨 (2010년 기준, 전 세계의 데이터센터 운영에 원전 14개 용량의 전력이 사용되고 있음. 향후, 원전수의 대폭 증가는 불가하므로, 대체 전략이 필요함)
- 현재의 컴퓨팅 체계로는 미래 에너지 수요를 감당할 수 없기 때문에, 소자, 아키텍처, 시스템등 전 분야에 걸쳐 초절전 연산체계의 패러다임 전환 필요
- Intel은 이미 초저전력 network server분야에서 시장의 95%를 장악하는 등, 이 분야가 미래 정보기반산업의 핵심 시장이 될 것으로 예측하고 집중 투자중임

■ 나노소자 분야에서의 대용량 데이터 처리관련 기술 연구동향 분석

- 현재의 반도체 기술은 빠르면 10nm 노드 (향후 3년 이내), 늦어도 7nm 노드 (향후 6년 이내)에서 cost-performance cross over * 가 일어날 것으로 예측됨
- 따라서, 성능을 향상시키기위해 필요한 비용을 억제하면서도 초저전력 시스템을 구성하기위해 현재와는 전혀 새로운 나노전자소자 및 아키텍처 기술이 필요해짐
- 미국은 exa scale computing, sustainable computing technology란 개념으로 이 분야의 미래 원천기술에 대한 전반적인 연구가 활발히

진행되고 있음

- 본 기획과제에서는 초연결사회 도래에 대비하여, 나노전자소자 분야에서의 패러다임 전환 기술을 탐색하고, 국내 실정에 맞는 개발 전략을 수립하고자함
- ※ cost-performance cross over: 차세대 기술 사용비용이 그에 따른 이익을 초과하는 현상

■ 미래 반도체 산업의 패러다임 전환에 대비한 대안기술 개발전략 수립

- 우리 나라는 scaling 기반 공정기술에서의 우세를 바탕으로 시장을 확보해왔음
- 미국, 유럽, 일본등에서는 차세대 scaling기반 기술은 물론 scaling을 필요로 하지 않는 새로운 형태의 정보처리기술을 개발하기위해 대형 중장기 연구프로그램들을 다수 운영중임
- 국내 산업계가 주로 이용해온 IBM alliance, SEMATECH, IMEC 등의 기술도입선이 기술개발을 포기하거나, 매우 부진한 상황이어서, 독자기술개발의 필요성이 대두되고 있음
- 초저전력, 고성능을 구현하기위한 패러다임 전환형 기술의 선제적 도입여부에 따라 초연결사회의 기반산업인 반도체 산업의 미래도 크게 영향을 받게 될 것임

1-2. 초저전력, 고성능 나노전자소자 기술분야의 국,내 외 연구동향

■ 미국, 유럽의 제조업 퇴조에 따라, 반도체 기술개발 구심점 상실/ R&D 비용 증가

- Qualcomm의 팹리스 모델이 성공함에 따라 IBM, TI, Freescale등의 다수의 소자제조기업이 팹리스방식을 채택하고, 자체 R&D 투자를 포기 또는 대폭축소하게 됨
- 스케일링 기반의 단일화된 기술전망이 가능했던 시기에, 매우 강력한 구심점 역할을 했던 ITRS, SEMATECH, IMEC등 국제공동연구기관들의 선도적 역할 퇴조로 R&D 투자 효율성도 급격히 나빠지고 있음, (화합물반도체, 450nm, EUV 등 신기술 도입 지연)

- 최근 논문발표 추세를 분석하면, 차세대 기술개발의 중심점이 유럽의 IMEC, LETI등으로 일부 옮겨가고 있으나, 사물 인터넷 시대의 도래, 반도체 기술의 초저전력화에 따른 패러다임 전환 등 전면적인 기술환경 변화에 대응하기에는 매우 미흡한 상태로 현재 반도체 산업의 미래기술을 선도하는 주체가 없는 상태임.

■ 국가별 주요 연구동향 분석

- 미국, EU, 유럽의 대형연구과제는 중기과제 (5-10년내 상용화단계 진입) 비중이 가장 높았으나, 한국은 나노전자기술에 대한 지원규모가 절대적으로 부족했을 뿐 아니라, 장기과제(10-15년내 상용화단계 진입)의 비중이 높은 특이한 점이 발견됨
- 중국은 전세계에 퍼져있는 화교인력을 기반으로 중국내의 연구역량을 급속히 발전시켜나가고 있으며, 이 추세는 반도체 분야에서의 국제공동연구 파트너로 한국이 아니라 대만, 중국이 선호되고 있는 결과로 나타나고 있음

국가	상용연구시기			총 연구 금액 (억)
	5년 이내	5 - 15년 이내	15년 이후	
미국	843 (5%)	13,916 (75%)	3,796 (20%)	18,555
EU	614 (2%)	30,497 (85%)	5,022 (13%)	36,133
일본	656 (4%)	12,818 (88%)	1,058 (8%)	14,532
한국	205 (20%)	380 (38%)	427 (42%)	1,012

- 반면 우리나라에서 위의 표에 정리된 바와 같이 중기과제대비 (38%) 대비 장기 나노분야 기술과제(42%)에 대한 지원 비중이 높았는데, 이것은 전자소자 분야에서 대기업의 역할이 강조되면서, 학술적인 가치가 다소 적지만, 상용화가 가능성이 있는 나노전자 기술에 대한 지원이 매우 제한적이었기 때문인 것으로 분석됨
- 이 추세가 지속된다면, 우리나라의 기간산업인 반도체, 디스플레이 등 전자산업이 경쟁력을 상실하게 되고, 중국에 추월당하게 되는 것은 시간문제이며, 민간기업들의 투자는 단기연구에 치중되어, 연구인력

양성, 인프라구축, 국제공동연구참여등을 지원하기에는 적절하지 않음

- 이 상황은 학술적 가치만을 중시한 편중된 국책연구 지원, 민간기업의 근시안적인 기술개발 전략과 기술수입에 의존하여, 국내 연구생태계를 파괴한 결과임.
- 향후, 정부와 민간기업이 적극 협력하여 집중적인 노력을 통해 국내연구자들의 수준을 제고하고, 중장기연구를 통한 선행기술연구 토대를 구축하는 한편, 국제 공동연구를 통해 우리나라에 유리한 방향으로 미래기술을 선도해가지 않는다면, 선진국의 지적재산권 보호추세와 중국의 제조기술 발전에 대응할 방법이 없음
- 아래 표에 주요 국가들의 연구동향 분석결과를 요약했으며, 특히 나노전자소자 관련 주요 연구프로그램에 투자되고 있는 연구비 총액을 상용화개발 개시시점별로 구분하여 정리했음

분석 국가	연구동향	중기연구 과제(억)	장기연구 과제(억)
미국	<ul style="list-style-type: none"> • FCRP, DARPA, NRI등 많은 대형 중장기 연구과제를 운영하고 있음. • 전세계 반도체 산업의 과반이상을 차지하고 있으나, 상당부분이 외부수탁제조에 의한 매출임. 제조산업의 퇴조로 학계의 연구 방향이 실용적인 측면보다는 논문위주의 연구로 편향되고 있는 추세임. • 기존 산업영역을 지키기보다는 신기술을 통한 신산업분야를 선도하는 데 중점을 둠 (아날로그 반도체, 전력반도체등) 	5,646 (64%)	2,152 (24%)
유럽	<ul style="list-style-type: none"> • 다국적 협력등을 통해 IMEC, LETI등 선도적 연구기관을 육성하고, 활발한 활동을 하고 있음. • 제조산업의 부진으로 이런 노력이 산업적 성과로 이어지지 않고 있다는 단점이 있음. 	30,592 (85%)	5,022 (13%)
일본	<ul style="list-style-type: none"> • AIST, SELETE, First등 대형 과제를 통해 미래 반도체 기술개발에 장기 투자해왔음 • 국제협력에 대해 폐쇄적이며, 이로 인해 유기적인 	12,818 (88%)	1,058 (8%)

	산학연계체계를 갖추고 있음에도 불구하고, 신기술을 사업화한 성과는 미흡하여 최근 기술경쟁에서 약세를 보이고 있음 (금속전극/고유전막 gate stack, finFET등).		
중국	<ul style="list-style-type: none"> SMIC의 설립시 해외기술인력이 대거 유입되었으나, 최근까지 기술경쟁에서 크게 뒤처지고 있었던 상황임. 그러나, TSMC가 대주주이고, Qualcomm과의 기술연합으로 28nm기술로 스케일링이 아닌 독자기술 노선을 주창하는 등, 패러다임 전환기술 도입에 적극적이어서, 앞으로 주목해봐야할 상황임. 	자료없음	자료없음
한국	<ul style="list-style-type: none"> 강력한 제조산업을 가지고 있음에도 불구하고, 메모리 편향 연구와 산/학간 기술격차 심화로 국내 연구기반이 극히 부실화된 상태임. 최근 진입한 로직반도체 관련 기술인력은 경쟁국대비 극히 미미한 수준이어서, 실질적인 기술경쟁이 어려운 상황임. 로직반도체 분야 진출을 위해, 국내 기업들은 IBM alliance, IMEC, SEMATECH등의 해외 기술도입선에 의존해왔으나, 스케일링 이후의 패러다임 전환기술 도입에 대해서는 마땅한 대책이 없는 상황임 기초분야에 지속적인 투자를 통해 우수한 나노연구인력들이 다수 육성되었으나, 개별/소단위 연구중심, 논문위주의 연구에 집중된 결과, 초연결사회, 반도체 기술 패러다임 전환과 같은 비상한 상황에 대처할 수 있는 유효원천기술에 대한 연구는 부족함. 유럽형의 글로벌 오픈이노베이션 체계 도입, 우수한 나노분야 연구인력의 나노소자 분야 연구참여 유도, 미래 기술경쟁력을 확보하기위한 시스템 구축 등 특단의 대책이 필요함. 	380 (38%)	427 (42%)

※ 국가별 나노소자 분야 주요 R&D 투자내역은 본문참조 (제 3

절)

1-3. 나노전자 기술분야의 정부지원 필요성

- 나노융합 2020, IBS 등 다양한 나노관련 국책연구 사업에도 불구하고, 나노전자기술은 반도체 산업향이라는 이유로 정부지원의 사각지대에 있었음
- 초저전력 나노전자기술은 IoT 시대의 ICT 기반기술로 반도체뿐 아니라 센서, 디스플레이등 다양한 분야에 매우 큰 파급효과가 있기때문에, 미국, EU, 일본등에서는 정부주도로 대형 연구프로그램들이 진행되고 있음

* 나노전자관련 대형과제: 미국 8,851억, 유럽 36,133억, 한국은 1,012억

- 유럽의 IMEC, LETI, 미국의 SRC, NRI등과의 글로벌 공동연구를 통해 IoT

시대에 대비한 패러다임 전환기술을 창출하는 동시에, 한국형 기술로드맵을 표준화하기 위해서는 정부주도의 연구지원을 통해 연구인력 결집 필요

- 초절전 나노전자소자기술 로드맵을 중심으로 나노인프라 기반시설 활용도를 제고함으로써, 정부투자의 효율성 제고
- 학문적 파급효과가 크면서도 잠재적인 산업기여도가 큰 나노전자기술 분야를 정부에서 지원하게 되면, 실용성이 부족한 연구분야에 지나치게 치중된 국내 고급 연구 인력의 불균형 문제를 해결하는 데 크게 기여할 수 있음
- 국내 민간기업은 중국의 추격과 선진국의 지적재산권 압박으로 5-15년의 연구기간을 필요로 하는 중장기 연구를 지원할 수 없는 상황임

1-4. 전략적 R&D 추진 기술 도출 결과

■ 전략적 R&D 기술 도출 기준

년차	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
기술발전단계	제품개발 (2년)		상용화 기술 (3년)			경쟁적 창의 기술 (5-10년)										비경쟁 창의 기술 (10년)									
	← 전략적 R&D 대상 기술 →																								

<전자소자분야 신기술의 상용화단계에 소요되는 개발기간과 전략적 R&D 대상기술>

- 상용화 시점을 고려한 비경쟁 창의기술 중심의 연구주체 설정,
- 상용화 시점이 5년 이내인 기술은 산업체 중심의 개발 추천 (7nm노드까지)
- 15년이내 상용화 개발 진입이 어려운 기술은 개별연구과제 대상으로 추천
- 5-15년이내 상용화개발 진입가능 기술 중, 미세화 없이 소자성능을 향상시키는 데 기여할 수 있는 초저전력 아키텍처 중심의 개발전략 수립
- 반도체 main stream 기술을 대체할 가능성이 있고, 한국 산업계에도 직접적인 연계가 가능한 분야에 도움을 줄 수 있는 전략기술 선정
- 소재개발의 성공여부에 크게 좌우되는 기술은 창의소재디스커버리 사업등

예산이 기 확보된 사업으로 추진하는 것이 바람직함

- 중복성이 있는 사업, 예타 추진중인 사업은 제외(전력소자, bio 소자, 센서등)

■ 주요 나노전자 소자기술 평가/분류 방법

- 국내외 기술전문가 14명, 기초원천연구기획과제 연구원 13명의 기술수요에 근거, 5개분야 도출 (별첨.1 초절전 고성능 나노전자기술 수요조사 결과 참조)

■ 전략기술 도출 결과 요약

기술개발 시점분류	주요 소자 및 아키텍처 기술	기술 분류 및 추진전략
단기 (5년)	III-V FET, tFET (Si, III-V, hetero)	<ul style="list-style-type: none"> • 학계에서의 연구지원효과 제한적 • 저전압소자기술 (III-V FET, tFET등)을 중심으로한 scaling 기반 나노소자기술은 산학간의 기술격차를 고려, 산업계 중심의 연구가 효율적임
	STT MRAM, ReRAM	<ul style="list-style-type: none"> • 메모리 분야는 산업계 중심으로 단-장기 연구 추진중, 학계에서의 연구지원효과 제한적임
중기 (5-10년)	Monolithic 3D (소재, 소자, 공정, 장비), Nano Electromechanical Switch, Atomic switch (BEOL reconfigurable interconnect, FPGA, repairable IC),	<ul style="list-style-type: none"> • 초저전력 아키텍처 분야에 적용가능하면서도 비교적 단기간에 개발이 가능한 기술, 전력절감효과는 제한적 • IP 선점 및 기술상용화를 위해 연구 추진 필요
	Mott FET, FeFET, GaN tFET	<ul style="list-style-type: none"> • 소재기반 기술로 소재 혁신에 따라 한계돌파가 가능한 기술 (기확보된 예산을 활용하여 지원하는 것이 바람직함)
	TMD FET, Negative capacitance FET, vdW FET,	<ul style="list-style-type: none"> • 성공적으로 개발되어도 적용분야가 매우 한정된 기술, 전략적 가치가 낮음
장기 (10-15년)	Reconfigurable 아키텍처 및 관련 소자기술(NEMS, Atomic switch, magneto diode포함), Multi-valued logic 아키텍처 및 관련소자 기술 (Barristor, MVL 소자), Neuromorphic computing 아키텍처 및 관련 소자 기술	<ul style="list-style-type: none"> • 초저전력 아키텍처 분야에 적용가능한 기술로 impact가 큰 기술 • IP 선점을 위해 연구 추진 필요
	Topological insulator magneto	<ul style="list-style-type: none"> • 성공적으로 개발되어도 적용분야가

	electronics	매우 한정된 기술, 전략적 가치가 낮음
기초원천 (>15년)	Quantum computing, Optical compuing	<ul style="list-style-type: none"> 암호처리 분야에서는 단-중기 기간내에도 적용이 가능한 기술임 (별도 과제로 연구기획 추진중)
	Spin 소자로 분류된 기술 전체, Exitronic FET	<ul style="list-style-type: none"> Breakthrough 기술이 나올때까지 개별연구로 추진 (연구재단에서 개별 과제 다수 지원중)

■ 전략적 R&D 추진 기술의 투자 우선순위 평가

- 기획위원들의 항목별 가중치설정과 정부투자 필요성 부합여부에 대한 평가를 통해 투자우선 순위 도출

아키텍처	국제협력 가능성(30%)	기술파급효과 (30%)	학술적가치/ 인력양성(20%)	나노인프라 활용도 (20%)	합계
3차원 집적	10	10	6	10	9.2
뉴로모픽	10	8	10	8	9
다차로직	8	10	10	6	8.6
자기재구성	6	10	8	4	7.2
신소재기반소자	4	4	10	8	6

- 전략적 R&D 추진기술에 대한 요약

전략적 R&D 추진 기술	기술개요 및 연구동향	연구전략 및 주요 도전 과제
Monolithic 3D	<ul style="list-style-type: none"> BEOL 구조에 로직 소자층을 형성, 배선길이를 줄이고, via 밀도를 높여서, 전력소모 대폭 저감 미국에서는 스탠포드대를 중심으로 Ge Epi를 이용한 다층 channel 기술을 DARPA 3D-IC program 으로 연구. Wafer bonding을 통한 3차원 소자 집적 처리는 미 Qualcomm 등이 관심을 가지고 유럽의 CEA-Leti에서 활발히 연구 수행중임. M3D 기술은 단위소자 개념보다는 3차원 집적에 필요한 소자,공정, 아키텍처를 통칭하는 개념임 	<ul style="list-style-type: none"> 단기적으로는 우리나라가 선두적인 LTPS (Low Temperature Poly-Si) 결정화 기술을 이용하여 실용화 높은 연구 레이저 어닐중심의 초저온 소자 공정개발 Smartcut을 이용한 소자 전사기술 (bonding, align등) BEOL NEM switch, Atomic switch등 M3D 집적기술의 상용화후 부가 기능을 부여할 수 있는 소자 기술 개발 Monolithic 3D 모델링 및 동작검증, 불량배선 및 불량소자 repair 기술개발

<p style="text-align: center;">자기 재구성 아키텍처</p>	<ul style="list-style-type: none"> FPGA 기술에서 발전된 개념으로 CMOS 회로를 이용하여, 회로를 재구성함으로써 FPGA gate 활용율을 높이는 역할을 함 CPU의 경우, 동시에 작동하는 소자의 수는 4%에 불과하나, 모든 소자를 pre-wiring해두는 현재방식 때문에 배선부분에서의 전력소모가 심각함 Atomic switch, NEM switch같은 소자를 이용, 배선부분을 상시 re-wiring하고, 공통배선을 활용하도록 하여, 소모전력을 절감하는 아키텍처임 	<ul style="list-style-type: none"> 국내에서 연구가 많이 진행된 저항변화소자나 기계적 스위치에 대한 기반연구결과를 활용 Repaible IC기술로의 응용도 고려 아키텍처 차원의 변화가 필요하므로, 소재에서 시스템까지 일관연구를 할 수 있는 융합연구팀 구성 필요
<p style="text-align: center;">다치로직 소자 및 아키텍처</p>	<ul style="list-style-type: none"> 이진법대신 삼진법이상의 다치로직 사용 같은 정보 처리에 훨씬 적은 수의 전자소자를 사용하게 되어 소모전력이 1/10-1/50정도로 획기적으로 감소됨 컴퓨터는 다치로직소자를 활용할 경우, 고성능, 저전력 구현이 용이함 (60년대 냉전때문에 사장된 기술) Journal of Multiple-Valued Logic and Soft Computing이 2003년부터 발간됨 IEEE International Symposium on Multiple-Valued Logic은 45년째 계속 열리고 있음 Software나 회로, 아키텍처 수준에서의 연구는 꾸준히 진행되고 있으나, 다치로직에 특화된 소자에 대한 연구는 답보상태임 	<ul style="list-style-type: none"> 1960년이후 발전된 신소재 기술을 적용, 신소재 기반의 다치로직 특화소자 개발 RTD, SET등 답보상태의 기술 연구는 지양 배리스터 소자의 경우 원천특허가 국내에 있고, 세계적으로 선두에 있는 국내의 그래핀 기술을 적극 활용할 수 있어, 차세대 소자 분야에서도 연구경쟁력을 확보하고 있음 TCAD기술을 활용, 다치로직 회로, 아키텍처에 대한 동시연구를 통해 지적재산권 망 창출 및 기술이전으로 국내산업경쟁력 우위 확보
<p style="text-align: center;">뉴로모픽 소자 및 아키텍처</p>	<ul style="list-style-type: none"> 멤리스터를 이용한 새로운 아키텍처 멤리스터는 반도체 3개 기본소자, L,C,R에 이어 4번째 소자인 M의 존재를 1965년 Chua가 예측 2007년 Hughes 연구소에서 meristor에 대한 논문을 낸 후, 이를 기반으로 한 신경모사소자 기술에 대한 대규모 R&D 투자가 시작됨 그러나, 대부분의 경우 아직 단순한 학습기능에 기반한 고속 패턴인식 수준에 머물러 있어, 반도체 아키텍처로 활용할 수 있는 수준이 	<ul style="list-style-type: none"> 응용분야가 제한되고, 이미 연구가 많이 진행된 패턴인식분야 응용연구 지양 뇌모사 아키텍처 개념을 차세대 초저전력 반도체 기술 창출에 적용하여, 뇌모사 연산소자, 뇌모사 정보전달 기술등을 연구함. 다양한 멤리스터 소재에 대한 체계적인 연구를 통해, 이상적인 소재를 구현 최적소재 기반의 시스템연구를 TCAD기술을 활용, 동시에 진행, 지적재산권 조기 확보

	아님	
공통 기반 기술	<ul style="list-style-type: none"> 새로운 소자 및 아키텍처 개발을 위해서는 TCAD, 설계툴 개발등의 기반 인프라에도 적극적인 투자가 필요함 	<ul style="list-style-type: none"> 전략 R&D 기술 최종 선정 결과에 따라 체계적인 팀구성 및 개발계획 확보

1-5. 초저전력, 고성능 정보처리 소자기술 개발 전략

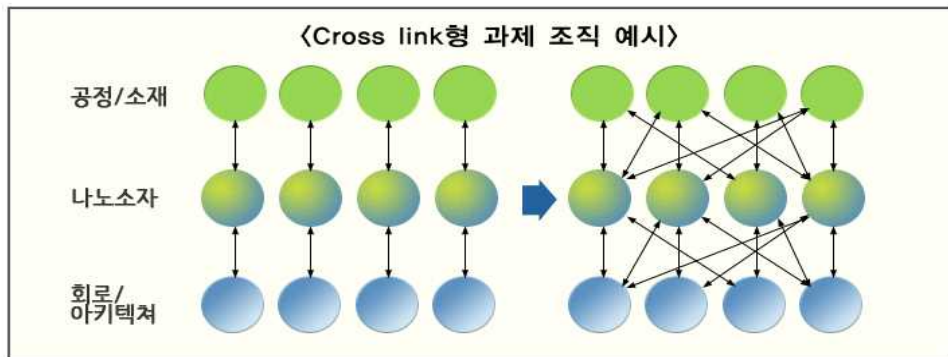
국내의 연구동향, 국내 기술개발 역량등에 대한 평가에 근거하여 아래와 같이
나노전자기술분야의 연구추진체계 관련 전략, 기술/특허개발 전략을 제시함

■ 추진전략 1 : Cross link 연구조직 도입

◎ 배경 :

- 나노전자 기술분야의 국내 연구역량은 극히 취약한 수준
- 경쟁국 대비 투자규모는 20% 수준이어서, 연구투자의 효율성을 극대화 대책 필요
- 미래기술 개발시 구체적인 선행 개발 목표 설정 어려움

◎ Cross link형 연구조직



- 단일 사업단 형태의 총괄 과제내에서 참여연구인력의 세부과제참여를 자유롭게 변경할 수 있는 cross link형 연구조직 활용
- 단일과제 수행체계를 구성하기위한 대형 단일팀 형태의 연구단 구성 필요 (총괄중심 조직 - 글로벌프론티어형)
- 연구기능중심 세부과제 분류 (공정/소재, 나노소자, 회로 및 아키텍처)
- 세부 책임자 재량으로 유기적 팀 구성/재구성 허용
- 최종 목표 중심의 moving target형 과제 형태 필요
- 연차별로 연구팀 재구성, 과제목표 재구성등 유연한 연구조직 운영

◎ 기대효과

- 세부간 집단 학습, 집단 창의를 통한 IP 창출 효율성 제고,
- 연구인력의 활용 효율을 극대화: 참여연구원의 연구분야를 특정세부주제에 국한하지 않고, 여러 분야에 걸쳐 활용할 수 있도록 함
- 집단학습과정을 통해 세부전공이 다른 신진연구자들의 참여유도

■ 추진전략 2: 지적재산권망 구축을 핵심목표로 하는 기술 개발체계 구축

◎ 배경

- 기존 연구과제는 아래에 요약한 것과 같이 우발적인 창의성에 의존하는 형태로서, 유효 지적재산권 창출이 어렵고, 개별연구자 수준에서의 기술이 전효율도 낮음
- 우수 지재권 확보위해, 지재권 창출/기술이전 체계 개선 필요

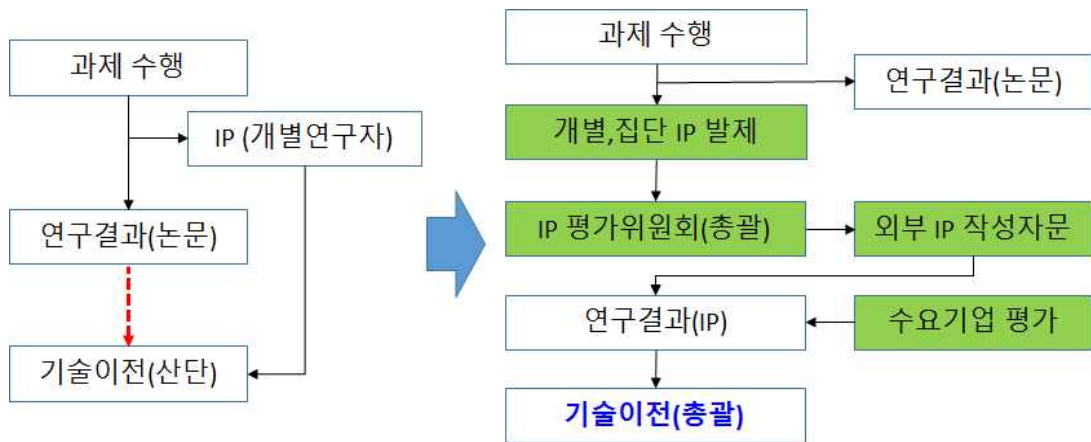
	현행방식	개선방향
지재권 창출	연구자의 개인적 창의성에 의존,	집단 연구/집단 학습을 통해 시너지 효과 창출 과제지원과의 직접연계, 인센티브 강화를 통한 동기부여
특허작성	개별 연구자 중심	전문특허 작성서비스 지원, 특허의 가치를 제고 (사업단)
지재권 가치 평가	산학협력단 (개별 연구자)	사업단내 특허가치평가팀 별도 운영 (산업계 전문가 참여)
출원자	산학협력단	사업단 (특허 출원 및 관리비용 별도 산정)
기술이전	산학협력단, 개별 특허 중심	사업단 중심의 기술이전 (기술이전 협상력 제고) 특허 package형태의 집단 기술 이전으로 기술이전 수익성 제고 사업단의 IP 전문기업화로 미래 가치 창출

◎ 효율적 지적재산권 창출 및 이전을 위한 독립법인 형태의 과제조직

- 단일 특허가 아닌 지적재산권 전문가와의 공동작업에 의한 광범위한 특허망 구축
- 지적재산권관리 및 이전을 위한 기술지주재단을 설립, 효율적인 기술이전 관리

◎ 기대효과

- 창조경제시대에 적합한 새로운 형태의 연구프로그램 모델 개발



■ 추진전략 3 : 오픈이노베이션 시스템 기반의 글로벌 기술개발 전략

◎ 배경: 반도체 분야 글로벌 연구환경의 변화

- 지금까지 차세대 반도체 기술은 Moore의 법칙을 기반으로 다양한 미세화 기술의 방향을 제시하는 ITRS roadmap을 중심으로 SEMATECH, IMEC 등 국제 공동연구기관과 IBM alliance, TSMC, Intel, 삼성, SK Hynix 등의 소자 제조기업들에 의해 주도적으로 개발되어 왔음
- 팹리스 기업의 등장에 따른 소자기업들의 R&D 비용증가, 스케일링 기술의 한계에 의한 성능향상 제약때문에 스케일링 일변도의 기술발전 추세에 심각한 변화 예상
- 삼성, SK Hynix가 기술도입선으로 활용해온 IBM alliance에서 IBM이 제조부문을 포기함에 따라 향후 도입될 기술의 질적수준의 저하도 우려됨
- 제조기업의 감소로 인해 300mm, 450mm기반의 고비용 연구를 주로 수행해 온 SEMATECH, IMEC 등의 공동연구컨소시엄 모델도 심각한 위기에 처해 있음

◎ 글로벌 연구 프로그램의 필요성

- 국내 연구 인력의 절대적인 부족문제를 해결하기 위해, 해외 전문인력을 적극적으로 활용할 필요가 있음
- 차세대 반도체 연구의 구심점이 사라진 현 시점이 국내 반도체 산업의 세계적 위상에 적합한 기술 리더십을 확보할 수 있는 좋은 기회임

◎ 우리의 대응전략 : Post scaling 패러다임 전환 나노 전자 기술 개발을 체계적으로 주도할 수 있는, 핵심연구그룹을 중심으로 한 유연한 연구

조직으로 Power Scaling Technology Initiative (POST-i, 가칭) 과 같은 추진체계 필요

- 단일 연구조직의 필요성: 미국(SEMATECH), 유럽 (IMEC, LETI)과는 달리 국내에는 나노전자분야의 글로벌 연구 프로그램을 주도할 기관이 없는 상태임.
- 단일 연구조직 구성전략에 대한 분석

중심기관	장점	단점	보완전략
핵심 연구자 중심	<ul style="list-style-type: none"> • 유연한 연구조직 • 가벼운 연구 인프라 (Fab light) • 글로벌 리더연구자 육성 	<ul style="list-style-type: none"> • 연구시너지 창출효과 제한적 • 연구기반시설 미흡 	<ul style="list-style-type: none"> • 기투자나노인프라 수요자로 활동 • 국내외 나노인프라 활용 • 나노인프라기관에 연구조직 설치 (한시적 파견제도로 전문가 확보)
출연연 중심	<ul style="list-style-type: none"> • ETRI의 DRAM 공동개발 사례 	<ul style="list-style-type: none"> • 나노소자분야의기술 리더쉽 부족 • 제한된 전문가 풀 	<ul style="list-style-type: none"> • Technical advisory board를 중심으로한 외부전문가 중심운영
나노 인프라 중심	<ul style="list-style-type: none"> • 기투자시설의 활용도 제고 	<ul style="list-style-type: none"> • R&D overhead증가, • 기술리더쉽 부재 	<ul style="list-style-type: none"> • Technical advisory board를 중심으로한 외부전문가 중심운영

• 단일 연구조직을 통한 융합연구 기대효과

1) 우수한 연구진 확보

- 국내외 우수 연구진들을 네트워크하여 세계 최고수준의 연구진을 확보

국내 연구인력 수준 제고 및 연구의 질적 향상도모

- 연구인력을 직접 고용하는 것보다 과제수행 네트워크 방식의 조직 운영으로

연구진의 교체, 진입이 자유롭게 하여, 항상 최고 수준의 연구진을 유지

2) 연구시설 투자 최소화:

- 국내 나노팹시설을 적극 활용, 추가 시설 투자를 최소화함
- 300mm, 450mm등 대구경 기판이 필요한 연구는 해외 시설(CNSE, IMEC) 이용하는 팹 light R&D 모델을 활용하여 R&D ROI (return on invest

ment)제고

- 향후, 국제적으로 표준화된 나노전자 로드맵을 구성하고, 이에 기반하여

나노팜시설 투자를 진행할 경우, 시설 이용 효율을 극대화기대

3) 국제 공동 연구 및 로드맵 표준화 주도

- 단일 연구조직을 기반으로 나노전자 기술 로드맵 표준화를 주도함으로써, 국내연구 투자효율을 극대화
- 국내 최초로 전 세계의 연구진이 참여하는 국제공동 연구프로그램 주도
- 글로벌 연구네트워크를 주도함으로써 국내 연구인력의 질적 수준 향상 및

국제적 위상 대폭 제고 (한국형 로드맵 추진가능)



4) 기타 기대효과

- 정부 R&D 투자결과로 신산업 창출이 가능해지는 창의적 미래 기술개발 모델 제시