

초저전력 미래반도체 기술개발사업 기획연구

(Study on the strategy to develop extreme low power
future semiconductor technology)

연구기관 : 광주과학기술원

2017. 4. 13.

미 래 창 조 과 학 부

안 내 문

본 연구보고서에 기재된 내용들은 연구책임자의
개인적 견해이며 미래창조과학부의 공식견해가
아님을 알려드립니다.

미래창조과학부 장관 최 양 희

제 출 문

미 래 창 조 과 학 부 장 관 귀하

본 보고서를 “초저전력 미래반도체 개발사업 예타기획 연구”에 관한
최종보고서로 제출합니다.

2017. 04 . 13.

목 차

요 약 문	1
1. 사업기획의 개요	32
2. 국내외 환경분석	41
2.1 초저전력 ICT 산업 동향	41
2.2 초저전력 ICT 연구 개발 동향	47
2.3 초저전력 ICT 분야 특허동향	57
2.4 해외 주요국 반도체 분야 R&D 정책 동향	63
3. 국내 R&D 역량분석	71
3.1 초절전 미래반도체 분야 R&D 현황	71
3.2 초절전 ICT 분야 국내 R&D 역량	75
4. 사업의 개념 및 목표	79
4.1 사업의 개념	79
4.2 비전 및 목표	81
4.3 추진전략 및 특징	83
4.4 상위계획과의 관련성	85
4.5 기대효과	89
5. 사업 내용 및 투자 계획	93
5.1 사업 범위 및 세부 내용 도출	93
5.2 초저전력 기술 로드맵 구축	104
5.3 Top down 사업내용 및 연구계획	106
5.4 투자계획	182
5.5 재원조달방안	185

6. 사업 운영방안	186
6.1 사업 추진 체계	186
6.2 사업운영범위	191
6.3 과제선정 및 연차평가시스템	197
6.4 사업 후 관리 및 연구성과 확산 방안	201
7. 타당성분석	209
7.1 정책적 타당성 분석	209
7.2 정책대안에 대한 타당성분석	220
7.3 비용효과 분석	221
8. 연구원 구성 및 전문가 활용현황결과 보고	224

부록 1 7대 소자원천기술 수요조사/공청회 결과요약 및 상세보고서

부록 2 해외사업단 운영구조 사례분석

부록 3 해외주요연구프로그램 call for proposal

부록 4 경제성평가 분석보고서

부록 5 장비구축계획서

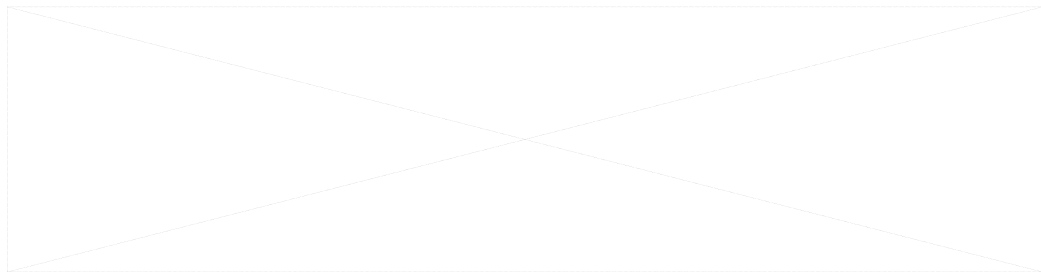
부록 6 특허 분석보고서

요 약 문

1.1 추진배경 및 필요성

■ ICT 기술이 발전함에 따라, 정보처리기기에서 소요되는 에너지의 총량이 기하급수적으로 증가될 것으로 전망됨

- 사물인터넷 도입에 의해 스마트 홈, 스마트그리드, 스마트 카, ubiquitous health care, 동영상등에서 발생하는 정보처리 수요 폭증예상 (최대 백만배까지 증가)
- 이에 따른 데이터의 전송, 연산, 응용에 엄청난 에너지가 소모될 것으로 생각됨 (2013년 전세계 데이터센터 운영에 쓰인 전력 총량은 원자력발전소 27기의 발전용량에 해당함. 매 5년마다 2배이상, 또는 그 이상 증가하는 전력소모를 충당하기위한 발전소 건설은 불가능함)
 - 대표적인 데이터센터의 경우, 국내에서도 2012년 전체 전력의 2%에서 2015년 8%로 사용량이 증가할 것으로 추정됨.



- 미국의 경우, 2025년에는 개인용 IT기기에서의 사용량을 포함하면, 전체 에너지 생산량의 12~15%가 정보 처리에 사용될 것으로 추정됨

< 미국의 정보처리에 사용되는 에너지량 >

	2002	2020
Digital 기기	13%	50%
정보기기	3-4%	12-15%

- C.W.Gellings, IEEE Power Eng. Rev., 1, P.15, 2002.

- 현재의 컴퓨팅 기술체계로는 미래 에너지 수요를 감당할 수 없기 때문에, 소자, 아키텍처, 시스템 등 전 분야에 걸쳐 초절전 연산체계로의 패러다임 전환이 필요하고, 가장 기본이 되는 신소자기술 개발이 선행되어야함
- 미세화 기술의 한계를 극복하고, 초저전력 컴퓨팅기술을 구현할 수 있는 차세대 로직소자 및 연산기술 개발경쟁이 본격화되고 있으나, 획기적인 기술발전의 계기를 마련하지 못한 상태임
- 미래 ICT 기반산업에서의 선도적 위치를 유지하고 경쟁에서 뒤처지지 않기 위해서는 차세대 혁신소자기술의 개념을 조기에 도출/검증하고, 이를 기반으로 광범위한 지적재산권 보호망을 선점한 후, 시장지배력을 확보하는 것을 최우선으로 하는 대책수립이 시급함
 - 차세대 반도체 기술은 사물인터넷, 유비쿼터스화된 정보처리에 적합하도록 초저전

력 연산 체계를 지원할 수 있는 기술이 필요하다는 점에는 개략적인 공감대가 형성되어 있으나, ITRS 등 기존 로드맵이나 IMEC 등 기술 컨소시엄들도 구체적인 소자기술, 아키텍처에 대해서는 개발방향을 제대로 제시하지 못하고 있음

- 최근 팹리스의 등장으로 반도체 분야의 R&D 투자가 감소되고, 반도체 주생산국간의 기술장벽이 높아지게 되면서 미래기술동향 예측이 더욱 어려워짐
- 2020년대 후반경 도입될 신개념 정보소자기술분야는 해외 선진 업체 주도에 의해 형성된 기존의 market에 국내 반도체 산업이 공정 최적화를 통해 진입했던 기존의 방식과 달리 경쟁국가들도 기술적 우위를 확보하지 못한 초기 상태이므로, 집중적인 연구 개발을 통한 기술주도권 확보가 가능함
- 이를 위해 지금까지의 추격형 연구와는 달리, 패러다임 전환기 이후 반도체 및 나노전자기술 분야에서의 주도권을 선점하는 것을 목표로 하는 도전적인 연구개발 지원/추진 전략을 수립하는 것이 매우 시급함

■ 차세대 ICT 기기 (사물 인터넷, 스마트폰, 스마트 워치 등 웨어러블 기기, 임플랜터블 기기, 초절전 고성능서버, 데이터센터 등)와 관련된 미래산업 경쟁력은 초저전력 미래반도체 기술이 결정하게 될 것임

■ 선진국들의 대응현황

- IBM은 2014년 CMOS 기술시대의 종말을 예측하고, 물리적 미세화 없이도 낮은 전압에서 동작하는 초저전력, 고성능 연산 기술 개발을 선언함
- 이를 기점으로 7nm 이후 미세화의 한계를 극복하면서도, 차세대 ICT 기술 (스마트폰, 스마트 워치, 접는 노트북 등)에 적용 가능한 신개념 반도체 소자 원천기술 선점을 위한 본격 경쟁이 시작되었으며, 미국, 유럽, 일본 등에서는 차세대 미세화 기술은 물론 미세화를 필요로 하지 않는 새로운 형태의 정보처리기술을 개발하기 위해 대형 중장기 연구프로그램들을 다수 운영 중임
- 미국은 정부 주도로 차세대 소자 및 시스템 기술개발에 본격적으로 나서고 있음
 - 2016년 “Energy efficient computing for devices and architectures (E2DCA)” 프로그램을 시작, 5개의 center를 중심으로 연구시작. 초절전 반도체 신소자 기술과 아키텍처에 대한 연구 프로그램임 (~100억/년, 5년 투자)
 - 보다 광범위한 차세대 소자 및 시스템 연구를 위해 joint university microelectronics program (JUMP)를 2018년부터 정부, 민간 공동투자로 추진예정임 (~550억/년, 6년 투자)
- 유럽은 “ICT-31: nanoelectronics and microelectronics” 연구 프로그램을 2017년 1월에 시작할 예정임 (5.4M 유로/년)
 - 3차원 집적기술, 뉴로모픽 아키텍처 등 전력절감형 기술에 대한 연구 프로그램임.
- 그 외에도 TSV/M3M 등 소자 융합과 저전력을 위한 연구프로그램을 동시에 진행하고 있으며, 초저전력 시스템 구현을 위해 연산 아키텍처/회로/소자/소재에 대한 초대형 연구프로그램을 시작함
 - Qualcomm-LETI(프)-SMIC(중)-북경대 등 공동개발 진행
 - 뉴로모픽 소자기술의 경우 미, EU, 일본을 합쳐 2조원 정도가 투자되고 있음

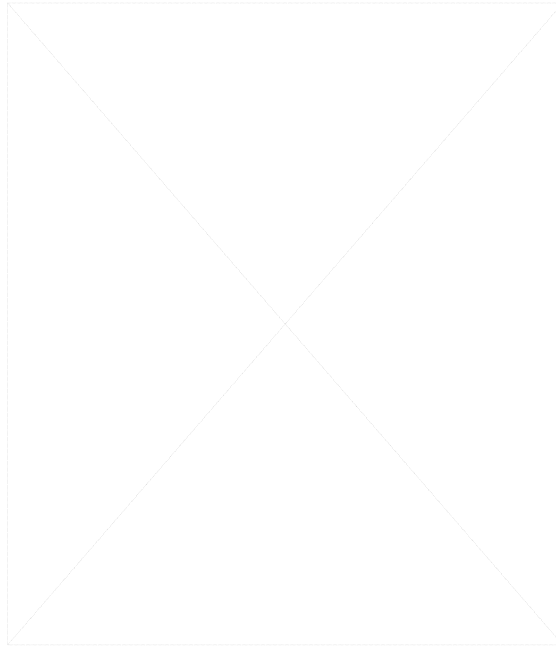
■ 대한민국 반도체기술 R&D 현황

- 우리 나라는 미세화 기반 공정기술에서의 우세를 바탕으로 시장을 확보해왔음
- 국내 주요 반도체 기업인 삼성과 SK 하이닉스는 미세화 공정 및 메모리 분야에서는 강세를 보이나, 그외의 미래기술에 대해서는 체계적 대응전략이 미흡한 상황임
 - 국내 산업계가 주로 이용해온 IBM alliance, SEMATECH*, IMEC 등의 기술도입선이 기술개발을 포기하거나, 매우 부진한 상황이어서, 독자기술개발의 필요성이 대두되고 있음
 - * SEMATECH: 삼성, Intel등 반도체기업들이 공동으로 자금을 출연, 기초연구를 수행하는 기관, 1983년 설립, 2015년 뉴욕주 소재 CNSE에 합병된 후 폐업상태임
- 초저전력 융합 소자, IoT 등 4차 산업혁명을 이끄는 기술에 기반한 초연결 사회에 대비한 기반 연구는 매우 부족함
 - 뉴로모픽 소자기술은 미래융합파이오니어 사업에서 일부 진행 중
 - 산업부 미래소자원천기술개발사업 (총 사업비 1000억, '13-'21)이 시작되었으나, 5년 이내 상용화가 가능한 단기 R&D 과제 중심으로 운영되고 있음
 - 현 정부의 나노전자소자 관련 R&D 투자는 중기과제대비 (38%) 대비 장기 나노 분야 기술과제(42%)에 대한 비중이 높았는데, 이것은 전자소자 분야에서 대기업의 역할이 강조되면서, 학술적인 가치가 다소 적지만, 상용화가능성이 있는 나노전자 기술에 대한 지원이 매우 제한적이었기 때문인 것으로 분석됨
 - 차세대 시스템관련 연구로 지능형반도체 사업이 추진되고 있으나, 현재 사용중인 CMOS소자기술에 기반하여, 시스템 성능을 고도화 하는 방식의 연구여서, 차세대 패러다임 전환기술개발에 필요한 혁신기술 연구는 추진되지 않고 있는 상태임
 - 이 추세가 지속된다면, 우리나라의 기간산업인 반도체, 디스플레이 등 전자산업이 경쟁력을 상실하게 되고, 중국에 추월당하게 되는 것은 시간문제임
- 미국에서 반도체 제조가 퇴조하고, 연구지원에 축소되면서 R&D outsourcing이 확대되고 있으나, 반도체 분야에서의 국제공동연구 파트너로 한국이 아니라 유럽, 대만, 중국이 선호되고 있음
 - 중국은 전세계에 퍼져있는 화교인력을 기반으로 중국 내의 연구역량을 급속히 발전시켜나가고 있으며, 이러한 추세에 기인함

■ 초저전력 미래 반도체 기술 선점을 위해 아키텍처/회로/소자/소재 기술을 연결하는 계층통합형 중장기 연구프로그램이 필요함

- 현재의 반도체 기술은 향후 6년 이내에 cost-performance cross over*가 일어날 것으로 예측됨
 - *cost-performance cross over: 차세대 기술 사용비용이 그에 따른 이익을 초과하는 현상
- 시스템 성능을 향상시키기 위해 필요한 비용을 억제하면서도 초저전력 시스템을 구성하기 위해 현재와는 전혀 새로운 반도체소자 및 활용 아키텍처 기술이 필요해짐
- 아키텍처/회로/소자/소재 반도체 전 분야 연구자들이 모여 초저전력 반도체 기술 개발이라는 목표를 조기 달성하기 위해 집중적인 연구가 필요
 - 차세대 ICT 기반 부품, 소재, 장비등 광범위한 산업분야에서 선도기술 선점가능

1.2 사업의 개요



■ 사업의 비전 및 목표

그림 1. 사업의 비전 및 목표

■ 사업의 목적

- 국가 기간산업인 반도체 산업의 미래 기술경쟁력 확보를 위해, 국내 민간기업들이 미처 대응하지 못하고 있는 초저전력 미래반도체 원천기술을 정부주도로 개발하여, 차세대 반도체 산업의 글로벌 기술경쟁력을 확보하는 것을 목적으로 하는 사업

■ 사업의 성격

- 국가산업의 미래경쟁력을 제고하고 궁극적으로 국민의 삶의 질을 향상시킬 수 있는 창조혁신형 기초원천 연구개발사업
- 원천특허를 확보하여 사업 후 응용개발, 실용화 개발까지 연계가 가능한 사업
- 반도체산업의 기술 패러다임 전환기에 글로벌 기술리더십을 확립하여, 차세대 기술 개발 및 사업화 주도권을 확보함으로써, 전후방 파급효과를 강화하고, 민간기업의 적극적인 참여를 유도하여 정부투자효율을 극대화하는 새로운 사업모델

■ 사업의 핵심적 특징

- 본 사업은 10년간 총 4,000억원 (연평균 400억원, 정부예산 2,800억, 민간투자 1,200억)이 투입되도록 설계되어 단일 목표를 가진 사업으로는 최상위 그룹에 속하는 장기 대형 국가연구개발 사업임
- 소자기술을 중심으로 소재, 공정, 집적기술은 물론 설계, 아키텍처까지 종래 순차적으로 개발되어온 기술을 CAD기술의 발전을 기반으로 병렬로 개발하는 사업구조임

- 짧은 시간내에 선도적 기술을 개발하기 위해서는 종래의 R&D 방식을 탈피하여, 혁신적이고 도전적인 기술개발 체계를 도입해야함
- 본 사업에서는 아래와 같은 방식으로 소자기술에서 시스템설계기술까지의 개발기간을 최대한 단축함으로써, 경쟁국대비 압도적인 기술 경쟁력을 확보하고, 선진국 대비 열세인 설계기술분야의 도약적발전을 달성하고자 함
 - 소자기술의 개발, 검증기간동안 이상적인 소자모델을 적용한 설계 및 아키텍처 연구를 병행하고, 점진적으로 이상적인 모델을 현실적인 모델로 바뀌어나가면서 시스템 설계 기술의 완성도를 제고함
 - 국가 나노인프라시설을 적극적으로 활용, 국내 학계의 소자 및 공정 연구수준을 획기적으로 제고함. 이를 위해 사업단과 나노인프라 기관간의 밀접한 협력체계를 구축함
 - 소자,공정등 플랫폼 기술개발 부문의 개발리스크를 줄이고 투자효율을 높이기위해 해외 유사 연구프로그램과의 적극적 네트워크를 구성하며, 민간자본을 유치할 수 있는 수준까지 기술의 성숙도를 높임
 - CAD 기반기술의 해외의존을 탈피하고, 자체 설계 시스템을 개발, 설계 IP를 확보함으로써, 반도체 산업의 고질적인 문제점인 설계 기술 경쟁력을 제고함
 - 소자에서 시스템설계까지의 개발과정을 단일사업단으로 총괄관리함으로써 개별사업에서 발생할 수 있는 협력부재, 융합기술 부재등의 문제점을 극복함
- 글로벌 오픈이노베이션 체계를 활용하고, 나아가 글로벌컨소시움을 한국주도로 결성하여, 글로벌 기술리더쉽을 확보하는 것을 목적으로 하는 사업임
 - 1단계에서는 국내 R&D 역량이 부족한 분야에 국내외 전문가를 적극적으로 활용함,
 - 1단계 기간동안, 유사기술분야 해외 R&D 프로그램과의 적극적인 네트워크 구축, 국내외 민간기업들의 observer형태의 참여로 2단계 민간투자 유치 기반구축 (반도체 연구는 연구결과가 상품화되는 것이 아니라, 연구프로그램이 상품화되어 투자를 유치하는 방식이므로, 미래 반도체산업에 필요한 연구목표를 잘 설정하고, 실행계획을 세우면, 투자유치가 가능함)
 - 2단계에서는 기술이전, 국내 민간기업의 매칭등의 방법으로 연구컨소시움을 구성하여, 정부투자의 ROI (return on investment)를 극대화함
 - 3단계에서는 해외 기업을 포함한 민간기업이 참여하는 상용화 연구에 중점을 두고, 1-2단계의 성과를 적극 활용하면서, 팹리스 창업등 사업단의 성과를 극대화함

■ 상위계획과의 관련성

상위계획	관련항목	관련성이 높은 항목	본 사업과의 부합성
제3차 과학기술기본 계획	• High2: 국가전략 기술개발 - 5대추진분야(IT융합 신산업창출)	• CPND기반 ICT 혁신역량강화	지능형반도체, 자율주행자동차, 인공지능, 슈퍼컴퓨터등에 소모되는 전력을 획기적으로 저감하여, 기술경쟁력을 제고함

	- High3: 중장기 창의역량강화(과학기술 글로벌화) - High4: 신산업 창출지원(기술이전/사업화촉진)	- 전략분야국제공동연구활성화 - 국제과학기술허브구축 - 국제협력 인프라조성 - 지식재산활용촉진	글로벌 정부 R&D 네트워크 구축 (1단계), 글로벌 R&D 컨소시엄 구축 (2단계)을 통해 미래반도체분야 공동연구 활성화 초저전력 미래반도체 R&D 컨소시엄의 본부를 한국에 설치하여, 기술리더쉽 확보 국내외 나노인프라기관들을 연결하여 공동연구가 가능한 인프라구축 2단계 사업진입시 1단계 정부투자에 의해 발생된 지적재산권을 package 형태로 이전하는 새로운 형태의 기술이전 방식 도입
제4기 나노기술종합 발전계획	- 전략 1: 혁신주도 나노산업화 확산 - 전략 2: 미래선도기술확보	- 나노융합확산인프라 강화 - 차세대 초절전 집적기술 플랫폼개발 4대 나노챌린지기술 - 초저전력 미래반도체	플랫폼공정을 본 사업의 집적공정개발에 연계할 계획임 본 기획은 해당 사업의 실행을 위해 수행된 과제임
제4차 지방과 학기술진흥종합 계획	지역R&D 투자 특성화·내실화'특구별	특화산업분야 지정·육성 - 선행공정개발사업	나노인프라시설에서 개발된 선행플랫폼공정들을 본 사업의 집적공정개발에 연계할 계획임

1.3. 초절전 ICT 기술개발 전략

■ 핵심 과제 도출 전략

- 반도체 소자의 소모전력을 획기적으로 저감하는 데 기여할 수 있는 소자기술로서, 5년 이내에 상용화 가능성을 검증하고, 10-15년 이내에 상용화제품에 적용이 가능한 중장기 연구대상 기술을 중심으로 전문가들 대상 및 기획팀 자체 기술조사를 통해 topw down 신소자 기술을 도출함. 이와 동시에 다양한 소자개발 목표를 구체화하여 bottom -up 신소자 기술 아이디어를 수용할 수 있는 형태로 과제 도출
 - 상기 기준에서 벗어나는 단기연구과제 (예시: III-V, GE MOSFET), 또는 초장기 연구과제 (예시: 스핀로직)가 필요한 기술은 제외함
 - 연산 소자기술의 초저전력화에 기여할 수 있는 기술로 범위 제한 (예시: 전력반도

체등 제외)

- 위의 과정을 통해 도출된 기술을 상용화 하기위해 필요한 단위공정, 집적공정을 개발하기위한 과제, 신기술을 적용한 중규모 집적칩을 제작하기위한 나노인프라 보완투자를 위한 과제를 도출하는 플랫폼 기술개발 프로그램 도출
- 신소자 기술개발과 병행하여 신소자기술을 적용한 회로를 설계하고, 집적회로 설계기반을 구축하는 과제, 최종적으로 신소자기술을 적용한 시제품 칩을 제작하는 수준의 상용화과제를 플랫폼기술개발 프로그램과 상호연계가 가능한 형태로 구성한 시스템 집적기술개발 프로그램 도출

■ 사업 추진 구조

- 앞 절에서 제시한 과제 및 프로그램간의 상호연관 체계는 다음과 같음



그림 2 과제간 연계 구조

- 선행공정 플랫폼사업과 소자개발시범사업은 2015년, 2016년에 시작된 과제들로서, 본 사업의 시범사업의 성격을 가지고 있음
- 글로벌 오픈이노베이션과제는 한-EU정부가 협의된 국제협력 프로그램을 수용하고, 국내전문가가 부족하여 해외전문가들의 참여가 필요한 분야를 공동개발하기위한 과제임.

■ 총괄사업 로드맵

- 본 과제는 초기 기술 검증 (1단계), 시제품 개발(2단계), 시스템 개발 (3단계) 등 3단계로 구분하여 추진됨
 - 본 사업은 기존의 CMOS기술을 활용하면서, 신소자기술을 BEOL 부분에 추가하여, 전체 소모전력을 감소하는 방식을 기반으로 하고 있음.
 - 여러 가지 기술을 조합하여, 1/10, 1/100, 1/1000의 목표를 달성할 수 있기 때문에, 개별소자기술로 달성할 수 있는 최대 목표치를 제시하는 것으로 총괄목표 설정에 대한 수치적 근거제시를 대신했음. 각 기술별 소모전력 절감목표는 아래 총괄 기술로드맵에 제시되어 있음.

- 절감목표가 높을 수로 여러기술이 융합되어야하므로, 기술개발 난이도가 높아지고, 응용분야도 광범위해지므로. 단계적인 시스템개발 및 상용화를 위해, 중간단계에 해당하는 1/10, 1/100 목표를 별도로 설정하고, 이를 추구하는 하부 연구프로그램을 별도로 제시한 것임

- 각 단계별로 핵심기술 선정, 검증작업이 진행되며, 그에 따라 예산이 조정됨. Top down 형 과제, bottom up형 과제 모두 기술개발 성과에 따라 과제 계속 여부를 결정하나, 시범사업을 수행하지 않은 bottom -up과제의 경우 1단계 종료시점에서 기술타당성을 검증할 계획임
- 정부투자비율이 단계별로 감소됨에 따라, 민간기업이 참여하는 컨소시엄의 폭을 확대 해야하며, 이에 따라 예산 투입 비율이 과제별로 변동될 수 있음
- 아래 로드맵은 시제품 수준의 전력절감목표와 제품 수준의 전력절감 목표를 구분했음. 사업단은 시제품 수준의 목표를 달성하기위한 연구를 수행하지만, 2단계와 3단계에서 조기 상용화제품 연구를 하는 경우를 고려하여 목표치를 다소 보수적으로 설정했음

<총괄 사업 기술로드맵>



■ R&D 프로그램 세부구성

- 공정/집적 플랫폼 개발 사업



그림 2. 공정/집적 플랫폼 개발 사업의 구성

- 전문가 수요조사를 통해 도출된 top down 소자원천기술(초저전압 소자, Monolithic 3D, 자기재구성 소자, 다치로직 소자, 로직-인-메모리 소자, 광배선 소자, 뉴로모픽 소자)과 향후 선발될 bottom-up 소자원천기술을 단위 소자 레벨에서 구현하고 및 array 또는 ALU 수준의 중규모 칩 집적을 위한 플랫폼 기술 개발
- 새로운 소자를 집적하기위해 필수적인 신공정기술, 장비기술등을 개발하고, 국내나노 인프라기관에 기술이전한 후 집적공정연구를 통해 중규모 집적 칩의 성능 및 수율확보
- 본 플랫폼 개발을 통해 초저전력 미래반도체 시장에 신기술 적용 주도권을 확보할 수 있으며, 단계별 상용화를 통해 원천기술 및 파생 기술의 지적 재산을 조기에 확보.
- 참고 (top down 기술로 조사된 소자원천기술)

top down 소자원천 기술	연구 분야의 정의
초저전압 소자	- 0.5 V 이하의 구동전압에서도 동작하며, CMOS 소자의 전력 축소화를 극복할 수 있는 미래 소자 및 이러한 소자를 응용한 회로 기술 - 미래소자원천기술개발사업(산업부)에서 포함되어 있지 않는 신소재 기반 tFET등 신소자중심의 기술연구
Monolithic 3D	- 소자가 형성된 웨이퍼상에서 새로운 소자층을 3차원 적층 후 후속 소자를 형성하는 기술 - 기존 3차원 기술 대비, 배선 및 마스크 개수를 줄여, 소자 밀도 증가, 전력 감소, 성능 향상. - 회로 및 소자 형성 기술 flexibility 증대와 현재 fab. friendly한 기술 - M3D 기술은 제안되는 채널 형성 방법에 따라 크게 본딩 방식, 재결정 방식, 또는 에피 방식 등으로 나눌 수 있으나 아직 개념 정립 단계임. - Monolithic 3D기술의 상용화를 위해서는 여러 특수한 저온 단위 공정과 함께 이들 단위 공정들을 최적으로 조합하여 초저전력을 구현할 수 있는 집적공정 및 architecture 개발이 필요함.

	- M3D 기술은 선행공정 플랫폼사업을 통해 기본 기술이 개발되고 있으며, 본 사업에서는 집적기술개발과제에서 포괄하여 시스템 집적에 필요한 수준의 상용화기술을 개발할 계획임
자기재구성 소자	- 반도체공정에 집적 가능한 나노스위치를 개발하고 기존의 2진 연산 플랫폼에 나노스위치를 집적하여 환경에 따라 기능을 유연하게 변형할 수 있게 하여 초저전력으로 확률적컴퓨팅을 구현하는 것을 목표로 하는 기술 - 아날로그 및 디지털회로가 하나의 하드웨어로 여러 가지 기능을 구현될 수 있도록 산재된 나노스위치를 구비한 소자 - 미래소자원천기술개발사업(산업부)에서 시범사업으로 개발되는 실리콘 후공정을 활용한 나노스위치 이외의 tFET 나 고성능 비휘발성 메모리 등 신소자기반의 나노스위치의 기술연구 및 자기재구성 알고리즘 연구 - 반도체 전공정 소자와 메모리소자의 조합을 통한 재구성로직은 유연성을 증가시켜서 회로의 복잡성과 소모전력을 동시에 줄일 수 있는 기술임.
다치로직	- 다치로직은 기존의 이진로직 대비, 단일 회로 면적과 회로 연결의 복잡성, 그리고 소모 전력을 동시에 줄일 수 있는 기술 - 나노소재원천기술개발사업(미래부)에서 시범사업으로 개발되는 저온집적소자기술을 제외한 전공정소자를 포함한 신소자기술 개발 - 다치로직은 기존의 이진로직 대비, 단일 회로 면적과 회로 연결의 복잡성, 그리고 소모 전력을 동시에 줄일 수 있는 기술임.
로직-인-메모리 소자	- 로직과 정보저장 모듈 간 정보전달지연과 급격하게 증가하는 파워소모를 해결할 목적으로, 로직 회로에 비 휘발성 정보저장 소자 집적기술. - 칩 면적을 낮출 수 있으며, 로직층과 메모리 층이 집적되어 있어, 모듈간 정보전달 지연과 동적 파워 절감. - 가까운 미래에 DRAM 및 Embedded 메모리가 비 휘발성 소자로 대체되어, 시스템의 파워소모 감소와 성능개선이 가능할 것임. - 궁극적으로 비 휘발성 소자가 로직에 내장되어 있는 형태의 시스템구조로 전환되어 초 절전, 작은 면적, 고속 구현이 가능함.
광배선소자	- 고집적화된 고속 저전력 데이터 전송을 위해서 전기 신호를 광신호로 바꾸어 전달 후 다시 전기신호로 변환시켜 CPU 및 메모리 등의 칩간 광배선 기술이 요구되고 있음. - 레이저, 모듈레이터, 도파로, 파장필터, 그리고 디텍터 등의 핵심 광소자들을 실리콘 기판 상에 구현하는 기술
뉴로모픽	- 기존 연산방법을 탈피하고, 저장 장치 간의 병목 현상을 해결할 목적으로, 뇌의 시냅스와 뉴런의 기능을 모방한 기술 - 뉴로모픽 컴퓨팅의 인공 신경망은 다수의 뉴런을 이용하여 인지/학습을 수행하여, 고 효율 연산 능력과 초절전 기능. - 뇌와 같이 복잡하고 집적도가 높은 구조의 뉴로모픽 시스템 개발을 위해선 신경동작 메커니즘에 대한 기초연구에 근거한 시냅스/뉴런을 모사한 소자/소재 개발 및 시냅스/뉴런 소자를 적용한 지능형 집적회로 개발

■ 초저전력 시스템 집적기술 개발

- 신소자기술을 이용한 시스템을 설계하기 위해서는 새로운 아키텍처에 대한 연구 및 이를 실제 설계로 연결시킬 수 있는 CAD 툴이 개발되어야함. 이를 위해 신소자기반 아키텍처 개발과제와 설계인프라개발과제가 각각 기획되었음

- 신소자기술을 이용한 초저전력 시스템 개발단계별로 소모전력이 점진적으로 감소됨에 따라 각각 최적 응용분야가 달라질 것으로 판단하여, 소모전력 감소율 1/10, 1/100, 1/1000에 해당하는 응용분야중 가장 중요한 분야를 전문가 수요조사를 통해 도출했음
- 이렇게 도출된 초저전압시스템, 뉴로모픽 시스템, mW 프로세서 및 파생상용화기술을 중점적으로 연구하는 과제를 구성하고, 각 과제별로 핵심기술, 응용기술, 상용화기술을 개발하는 형태로 프로그램을 개발했음
- 아키텍처, 설계 기술을 조기에 개발하기위해 신소자연구과제들과 긴밀한 협조체계를 구축할 계획이며, 이러한 병렬연구를 통해, 신소자기반 초저전력 미래반도체 기술의 설계 IP를 대량으로 확보하고, 이를 기반으로 기술이전, 팹리스기업창업등을 활성화함으로써, 반도체 산업의 경쟁력을 획기적으로 제고하는 것을 주요 목표로 설정했음

1.4. 국내외 기술개발 동향

■ 국가별 차세대 반도체 기술 개발 동향

	산업현황	정부전략	기술수준
한국	- 대기업중심, 메모리 편중, - 시스템반도체/설계전문가 부족 - 중견 팹리스 육성 미흡	- 차세대소자 R&D 투자 시작 (연 180억/년-산업부, 미래부, 기반역량미흡) - 지능형반도체등 시스템 반도체 개발 지원(800억/년 목표, 사업화 역량미흡)	- 메모리분야 선두유지(인텔등 강력한 경쟁기업 출현으로 위협증가) - 시스템반도체 기술수준 매우 미흡
미국	- 팹리스 선도, 광범위한 전문인력 보유, 제조업 기반 약화추세, 학계연구 축소 추세 - 최근 중국 반도체 산업 육성 견제 필요성 인지	- 정부, 민간 투자축소로 학계연구 대폭 축소 - 차세대소자 투자 시작 (E2CDA, JUMP, 650억/년) - 정부주도 혁신전략 수립 의지 표명 (구체적 투자계획 미발표, SEMATECH 규모 R&D 추진가능 - 1500억/년, 이 사업은 미정, JUMP등으로 1차 투자 시작) - 백안관 TF 구성을 통한 정부/기업/학계를 통한 반도체산업 주도권 유지 의지	- 인텔 - 메모리 진출 - 퀄컴 - 팹리스모델 변경, 자체 칩생산 (차량용 반도체 선두 기업인 NXP합병)
중국	- 해외기업 유치, 기술도입 추진, 팹리스 활성화 성공, ROI에 무관한 해외 반도체 기업 M&A 전략 (ex. 스펙트럼 17억불 인수)	- 향후 10년간 180조 (1조위안) 규모 반도체 굴기지원 (반도체 수입 50% 절감 목표): 신성장 산업육성 “제조 2025”정책 중 하나 (중국 경제참고보 2015.9.30.) - 2020년까지 중국 반도체 산업 연평균 성장률 20% 이상 목표 발표 (2014.06) 20조 (1200억위안) 규모의 “반도체 산업 투자기금” 설립 (2014.09)	막대한 투자를 기반으로 기술수준이 모든 분야에서 급격히 향상되고 있음. 일부 반도체 후방 산업은 국내 산업 대비 경쟁력 우위
유럽	일부 반도체 기업 명맥유지, 산업영향력 미흡	ICT31을 비롯, 조단위 투자 R&D 진행, 나노기술과 반도체 연계 취약	기초기술은 우수하나, 산업연계 매우 취약
대만	파운드리(위탁 제조) 중심	정부의 체계적 지원 미흡	퀄컴의 자체 칩생산으로 파운드리 수익률 악화
일본	제조업 기반 약화	- 기초연구 정부지원 대폭 축소 (신기술개발 실패) - 단기, 응용연구 지원 (전력반도체 중심)	일부 신소자 기술 세계 선도 (STT MRAM등)

■ 핵심 경쟁국가별 차세대 반도체 기술 개발 동향

가. 한국

- 세계 반도체 시장의 20%를 점유. 메모리시장을 과점하고 있으나, 80%에 해당하는 시스템 반도체 시장에서는 경쟁력이 없음
 - 이 문제를 해결하기 위해 다양한 노력을 했으나, 후발 주자로서의 한계 (설계 IP 부족, 파운드리 기술격차 추격실패)를 극복하지 못해, 시장점유율이 담보상태임
 - 특히 대기업 중심의 산업구조로 파운드리 및 팹리스 산업육성 정책의 효과가 미흡한 상태에서, 대기업의 폐쇄적 연구구조로 학,연의 연구생태계 위축
 - 학연지원을 위한 나노랩 투자도 실질적인 연구력 향상으로 이어지지 못함
- 차세대 반도체관련 투자 전략
 - 2013년 미래소자원천기술개발사업, 2015년 지능형반도체 사업, 선행공정플랫폼개발사업, 2016년 나노소재원천기술개발사업등을 통해, 미래반도체기술을 개발하기 위한 선행투자진행중
 - 반도체 연구특성상 소재/공정/소자/집적/설계/시스템 의 통합연구체계가 없으면 개별 프로그램단위의 사업으로 효과가 제한적임
- 향후 기존 반도체 기술과 차원이 다른 신소자기반의 설계 IP를 조기에 확보하고, 이를 활용한 팹리스, 파운드리 산업을 육성하지 못한다면, 반도체분야에서 현 수준의 산업 주도권을 유지하는 것은 매우 어려울 것으로 생각됨

나. 미국

- 최근까지 연방정부 또는 주정부 주도 프로그램들의 축소, 폐쇄 추세 유지
 - SEMATECH 폐쇄, CNSE 축소, NRI 종료등
- 인텔 등 민간기업중심으로 연방정부주도의 산업구조 개편전략 추진중
 - Intel, Global Foundries, Qualcomm, Freescale, AMAT 등이 적극 참여 (DARPA도 참여한다고 함)
 - 2018년 Starnet, NRI 프로그램 재개 (약 650억/년 규모) : 별첨자료의 E2CDA, JUMP 프로그램 call for proposal 참조
- 차세대 기술 initiative에 대한 강력한 정부투자 의지 제시
- 미국은 고급 연구인력을 다수 확보하고 있어, 새로운 소자, 새로운 아키텍처 기반의 차세대 CPU, AP등의 고급기술 선점에 주력할 것으로 예상됨

다. 중국

- 정부 주도로 반도체 굴기 위해 기업, 대학, 연구소 등 산학연 연맹 결성
 - 반도체 기초 연구부터 소재, 장비, 칩 제조의 생태계 구축
 - 칭화유니, XMC, SMIC, 화웨이, ZTE 등의 반도체 기업 참여
- 중국 정부는 반도체 분야 중점 육성을 위해 2020년까지 총 53조 7075억원 투자 계획 (2010년부터 반도체를 7대 전략적 신흥 산업으로 육성)

- 2014년 정부 주도로 220억달러 규모의 반도체 펀드 조성
- 메모리 반도체 국산화 위해 대규모 투자 진행 (칭화유니 13조 6000억, XMC 27조 2000억)
- 중국은 제조기술 중심으로 기존 반도체 시장, 특히 메모리시장을 확보하면서, 팹리스 산업의 비중을 확대해갈 것으로 생각됨

■ 소자원천 기술 개발 동향

- 초저전압 소자 및 회로 기술: 새로운 반송자 주입 방식 소자
 - 2011년 IEDM 학회에서 G. Dewey가 최초로 sub-60-mV/dec를 상온에서 시연한 화합물 반도체 기반 tunnel FET을 발표
 - 2012년 IEEE EDL에 L. Lattanzio가 electron-hole bilayer를 이용한 2D 구조의 tunnel FET을 발표
 - 2013년 J. Wan이 IEEE EDL에 tunnel FET과 BJT의 동작을 결합하여 구동전류의 향상을 얻은 결과를 발표
- 초저전압 소자 및 회로 기술: Negative capacitance FET
 - 2015년 Nature Materials에 ferroelectric negative capacitance 측정결과가 보고됨
 - 다양한 ferroelectric소재를 이용하여 구성된 소자 연구결과가 보고되고 있으나, 아직 실용적인 수준의 결과가 보고된바 없음
 - 2016년 APL에 J. H. Park이 single-grain PZT ferroelectric NCFET을 구현하여 우수한 fatigue ($> 10^8$ cycle) 특성을 보고함.
- M3D 기술
 - 수년전 Samsung 및 SK-Hynix에서 초기 M3D에 대한 연구를 진행하였으나 (S3 Technology, Single Crystal Si Layer Stacking Technology) 당시 연구 장비 및 수준이 현재의 해외 leading 연구에 미치지 못하였고 그 당시 대비 많은 관련 장비 및 기술이 성숙되었고 미세화 한계 극복의 방법으로 M3D에 연구 필요성이 증대됨
 - 국내 M3D에 대한 연구프로그램은 전무하며, 2015년 산업핵심 소재부품 반도체 산업프로그램에 관련 연구 시작이 예상되나 연구내용은 탐색 수준이 그침. (4억/년, 미래반도체소자프로그램)
 - 다수의 국가에서 많은 연구가 진행되고 있으며 특히 Qualcomm은 기술 상용화에 대한 계획을 가지고 있음
- 자기 재구성 로직 소자기술
 - 자기재구성소자연구에 필요한 단위소자로 기계적스위치, atomic switch, 저항변화스위치등 다양한 기술이 연구되고 있으며, 이를 이용한 단위회로에 대한 연구도 어느 정도 수행된 상황이어서, 지적재산권 확보가 쉽지않은 분야임
 - 다만 자기재구성 소자를 BEOL구조에 삽입하여, FEOL CMOS회로와 융합하는 개념의 연구는 아직 초기 단계이므로, 이 부분에서 원천기술 창출가능성이 높음

- Relay소자는 UC Berkeley, Stanford, NIMS, 서강대, KAIST등에서 연구되고 있음
- Atomic switch는 LETI, Univ., 포항공대, 서울대등에서 연구되고 있음
- FPGA기반 자기재구성 시스템은 XILINX, ACTEL, Cypress등에서 연구되고 있음

○ 다차로직소자기술

- 다차로직을 상온에서 단위소자로 구현할 수 있는 기술은 아직 보고된 바 없으나, 다차로직 아키텍처에 대해서는 연구가 잘 되어 있어서, 단위소자를 개발하기위한 연구가 중심이 되는 분야임. 대부분의 경우 여러개의 소자 또는 복합소자를 이용하여 삼진로진 구현
- 공명터널링트랜지스터 및 공명터널링다이오드 이용: 일본 NTT LSI 연구소, KAIST
- 단전자 트랜지스터 이용: Hokkaido 대, 충북대(2006)
- 양자점 트랜지스터: Connecticut 대(2009), Intel (2014)
- 그래핀/CNT: IMT Bucharest, 광주과학기술원 (2015, 2016)
- CMOS기반: 울산과학기술원

○ 로직-인-메모리 소자기술

- 2013년 Tohoku 대학에서 강유전체 Capacitor와 로직 소자를 집적된 로직-인-메모리 소자를 HSPICE 시뮬레이션을 통해서, 비 휘발성 특성의 강유전체 특성이 반영되어 정적 파워 소모를 혁신적으로 줄였으며, 다양한 논리 회로 (AND, OR, MUX-AND, MUX-OR,,)의 기능을 확인함.
- 2013-15년 독일 Fraunhofer 논문에서 실리콘 도핑된 하프니아를 이용하여 트랜지스터 기반 메모리 윈도우와 전하 유지능력에 대해서 보고함. 전하유지 성능이 우수하여, Endurance만 확보 (10^{15}) 된다면, DRAM 향 소자에 적합한 것으로 예상됨.
- 일본의 ImPACT라는 대형 프로그램(40억엔)을 통해 무 충전 장기 사용가능한 메모리 용 스핀 로직-인-메모리 연구 개발 중임. 일본 도후쿠 대학중심의 IRST 프로그램을 통해서 MTJ를 이용한 비휘발성 CMOS 회로 (spin VLSI) 스핀 로직과 스핀 메모리 각자의 단위공정 기술에 연구 역량 집중됨. 세계적으로 스핀 기반 로직-인-메모리 아키텍처만 제시된 초기 사업단계임.

○ 광배선소자기술

- 광배선 기술은 미국의 Intel이 선도하며 데이터 센터의 광트랜시버 용도로 제품 적용이 시작될 것으로 보이며, 유럽의 ST Microelectronics 또한 데이터 센터 용도로 제품 개발을 진행하고 있음. 연구기관으로는 유럽의 IMEC이 연구를 주도하며 MPW foundry를 지원하고 있으며, 최근 미국에서는 5년간 \$600M의 거대 연구 프로젝트로 AIM photonics 시작되어 IMEC처럼 MPW foundry 지원을 준비하고 있음.
- 국내에서는 삼성전자가 Intel에 버금가는 수준으로 기술개발이 이루어지고 있으며, ETRI, KAIST, 연세대, 인하대 등에서 관련된 기초연구가 수행되고 있음.

■ 뉴로모픽 소자기술

- 현재 뉴로모픽 소자 및 회로 연구는 IC 총 면적은 줄이고 메모리 셀 개수는 늘리는 고집적화에 초점이 맞춰져 있음. 따라서 전 세계적으로 다양한 고집적 신경망 모방 회로 및 하드웨어 구조가 제안되고 있음.
- DARPA는 SyNAPSE 프로젝트를 통해 포유류의 뇌를 모방한 전자두뇌시스템 개발을 진행 중임. IBM은 SyNAPSE의 후속으로 SRAM 어레이를 시냅스 모방 소자로 활용한 트루노스(TrueNorth)라는 칩을 개발했으며 이 외에도 해외 많은 대학과 연구소들은 멤리스터 기반의 뉴로모픽 프로세서 연구에 집중하고 있음.
- 국내의 경우, 대학 및 연구소 중심으로 딥 러닝 및 인지 컴퓨팅 분야에 대한 연구가 진행되고 있음. 하지만 주로 소프트웨어적인 구현에 초점이 맞춰져 있음. 하드웨어적인 뉴로모픽 프로세서 연구는 몇몇 대학을 중심으로 진행되고 있으나 이는 세계적인 추세인 멤리스터 및 SRAM을 이용한 뉴로모픽 시스템을 뒤따라 모방하는 수준에 그쳐 있음.

1.5. 국가 R&D 역량

■ 반도체 분야 국가 R&D 투자 현황



그림 9. 국내 차세대 시스템 반도체 연구 투자 현황

- (미래 반도체 핵심기술 개발) 정부와 기업이 투자자로, 대학·연구소는 연구개발자로 참여하는 새로운 형태의 R&D 프로그램(美 SRC모델)을 본격화함으로써 그간 미흡했던 반도체 분야 원천기술개발 활성화 촉진
 - 지난 4월 산업부-수요기업(삼성, SK하이닉스 등 6개社) 간 투자협력 MOU 체결 이후 금년 50억원(정부 25, 기업 25)이 투자된 바, 향후 투자금액을 지속 확대하고 관련 부처와의 공동사업을 추진함으로써 미래 반도체 기술연구의 핵심 프로그램으로 확대·발전시킬 계획
 - 사업 예산 : '13년(50억원) → '14년(80억원) → '15~'17년(100억원 이상)
 - 주요 연구분야 : 3-5족 채널 소자, Tunnel FET(터널펄), Optical interconnection 등
- 반도체 산업 재도약 전략 발표 (산업통상자원부, 2013년 10월 23일)

- (한국형 모바일 CPU코어 개발) 모바일용 반도체 생산이 급증하면서 칩설계의 기본이 되는 CPU코어 로열티 비용이 급증하고 있어 중소 팹리스기업 등의 비용부담이 나날이 가중되는 현실을 감안
- 13년에는 “저전력 프로세서 설계 기술개발(4년간 60억원)”을 시범적으로 추진하고, 향후 CPU코어 국산화 로드맵 도출('14년) 및 관련 기술개발·상용화 등으로 지속 확대
 - (450mm 장비개발) 조만간 현행 300mm웨이퍼를 대체할 것으로 전망되는 450mm웨이퍼용 대구경 장비 개발 프로그램(G450C*)에 국내 장비업체를 참여시킴으로써 기술의 선제적 확보 및 차세대 장비시장 선점 유도
- Intel, TSMC, IBM 등 5개 기업 중심으로 추진중인 450mm전용 장비 선행개발 국제공동 프로그램
 - 대상분야 : 시각, 증착, 열처리, 세정 등 핵심 前공정장비 분야
 - (수입의존형 SoC 국산화) 수입 규모가 크고 국내 기술개발 가능성이 높은 주요 SoC의 국산화를 제고를 위해 팹리스-수요기업 간 공동개발과제 (가칭'K-chip' 프로젝트) 추진
- 14년 이후 매년 3~5개 품목에 대한 연구개발 지속 추진('14년 115억원)

■ 국내 초절전 ICT분야 인력 현황

- 국내 대학원 학위취득자 현황
 - 최근 3년간 국내 공학/자연계열 대학원 학위취득자의 총합은 석사 60,590명, 박사 16,551명으로 연평균 석사 20000여명, 박사 5500여명의 고급 인력이 꾸준히 배출되고 있음
 - 이중 반도체 관련 전공분야 학위 취득자는 석사 8,367명, 박사 2,308명으로 각각 국내 공학/자연계열 대학원 학위취득자 전체의 19.5%, 23.0%에 해당함
- 현재의 인력공급 상황이 지속될 경우 9대 유망산업 분야에서 2013년부터 2020년까지 매년 1만여명의 핵심인재가 부족할 것으로 예상됨
 - 특히 매년 25%이상의 시장성장이 예상되는 ICT 및 신소재나노 분야에서 매년 약 2500여명, 2020년까지 약 17000여명 가량의 전문 핵심인재 부족이 예상됨
- 기반 기술인 ICT 및 신소재 나노 분야에서의 인재부족이 장기화되면 향후 기술개발에 악영향을 미쳐 미래의 기술경쟁력 격차가 크게 확대될 우려가 있음
- 현 핵심인재 육성체계로는 미래 유망산업 분야에 필요한 기초과학 및 범용공학의 수요를 충당하기에 역부족임

■ 초절전 ICT R&D 역량

- 공정/집적 분야 역량
 - 기존의 Metal gate/High-k/high mobility channel 관련된 비메모리 공정 및 집적에 대한 보고가 지속적으로 이루어지고 있으며, 이와 관련하여 2D material등을 응용하는 공정들에 대한 보고는 낮은 수준에서 지속되고 있음.
 - 메모리 소자 집적 공정에 관련하여서는 3차원 집적에 대한 보고가 지속적으로 이루어지고 있으며, 이를 위한 신물질 기반 신소자 집적 공정 적용에 관한 보고도 증

가하는 추세로 나타나고 있음.

○ 소자분야 역량

- 2011년부터 2015년까지 IEDM에 발표된 국내 기관 발표 논문들을 살펴보면, 메모리 분야 논문이 매년 가장 큰 비중을 차지하고 있으며 특히 ReRAM, PCRAM과 같은 차세대 메모리에 대한 성능 개선 연구가 주를 이루고 있다.
- 그 외에도 화합물 반도체 소자, FinFET 신뢰성, TFT 소자, solarcell, 2D Material 연구, Neural/neuromorphic system에 대한 연구가 일부 발표되고 있음
- 차세대 신소자기술은 미국, 유럽, 일본등에서 연구되는 있는 수준에는 크게 못미치며, 국내 연구그룹의 숫자도 10개 그룹 이내임.

○ 설계/시스템 분야 역량

- 2011년부터 VLSI Symposium에 발표된 국내 기관 발표 논문들을 살펴보면, 저전력화, 소형화, 고속데이터 전송에 필요한 핵심 기술에 대한 연구가 주를 이루고 있다.
- 선진국대비 국내 설계전문인력은 크게 부족한 상황이며, 특히 시스템설계, 아키텍처연구분야의 전문가가 절대적으로 부족한 실정임

■ 타 사업과의 차별성

- 본 사업은 타부처(산업통상자원부)에서 현 시장 지배력 강화, 국산화 목적으로 기업 중심으로 추진하고 있는 대규모 산업화 관점의 반도체 기술 사업들과 달리, 차세대 반도체 산업의 글로벌 기술경쟁력을 확보하기 위해 공공부문 연구주체의 창의적인 혁신역량을 집약하여 최단기간 내 상용화 수준의 기술을 개발하고자 하는 사업임
- 산업부에서 추진중인 미래소자원천기술개발사업은 상용화시점기준 5년이내의 단기연구를 대상으로 하고, 본 사업은 상용화까지 5-15년정도가 소요되는 중장기 기술을 대상으로 함
- 미래부에서 추진중인 나노·소재원천기술 개발사업 중 반도체 분야 과제들은 본 사업에서 제안하고 있는 top down기술 중 일부를 선행개발하는 시범사업의 성격을 가지고 있음.
 - 소자원천기술 개발의 시급성을 고려하고, 소자개발과 시스템집적기술 개발과제 사이에 1-3 년정도의 선행개발기간을 두기위한 전략임
- 위 그림은 기본소자기술의 기술적 복잡도 (신규기술이용정도), 목표상용화시점을 기준으로 본 사업과 기존사업간의 차별성을 도식화한 것임. 이 차트에서 소자기술 상용화시점이 지난 지능형반도체 과제는 이미 상용화된 실리콘 CMOS기반의 소자기술을 이용하는 대신 소프트웨어를 고도화하여 응용시스템을 개발하고 있는 과제라는 것을 볼 수 있음.

구분	동 사업	미래소자원천 기술개발사업	나노소재원천 기술사업	지능형반도체사 업
----	------	------------------	----------------	--------------

		(산업부)	(미래부)	
총사업비 (억원)	4,500	500 (정부) 500 (민간)	250	850 (가변적임)
기투자액	0	300	50	45
사업기간	`18-`27 (5년+5년)	`13-`21	5년	`14-`19
사업목적	미래반도체 소자, 단위공정, 집적공 정, 설계기술 및 시스템개발	단위 반도체 소 자, 신공정, 설계 기술개발	단위 신소자 개 발 및 집적공정, 아키텍처 연구	ICT 융합 제품 에서 SW와 SoC를 기반으 로 인지, 연산, 제어, 통신 등 의 지능형 서비 스 기능을 수행 하는 핵심부품 개발
세부내용	7대 원천소자기 술 중심으로 집적 설계 플랫폼 및 인 프라 구축을 통 한 차세대 시스템 개발	실리콘 및 비 실리콘 계열 물 질의 단위 반도 체 소자원천기술 개발	신소자 기술을 이용한 시스템 전력소모 극단적 절감	SOC 소프트웨 어 및 CMOS기 반 센서등
차별성	중장기과제중심	단기과제중심	중장기과제중심	신 소 자 기 술 을 사용하지 않음

1.6. 사업 추진전략

[전략 I] 소자/시스템 계층통합형 사업으로 소자원천기술의 상용화 기간 단축

- CAD 기반기술을 최대한 활용, 세상에 존재하지 않는 신소자기반 설계기술 개발 및 시스템 성능 검증
- 국내 나노인프라 기반 시설을 융합, 신소자기반 중규모 집적회로 제작 환경을 구축하여, 소자연구분야의 국제경쟁력 확보
- 중규모 집적이 가능한 상용화 연구를 통해 공정, 소재, 장비, 설계등 중소기업 기술이전 연계효과 극대화

[전략 II] 글로벌 오픈이노베이션 체계를 활용한 글로벌 기술리더쉽 확보

- 해외 유사 프로그램과의 적극적 공동연구를 통한 투자 효율 극대화
- 국내전문인력 부족분야에 해외전문가 그룹을 적극 활용

[전략 III] 글로벌 컨소시엄 추진, 투자효율 극대화를 위한 단일 사업단 체계 구축

- 국제적으로 국내 미래반도체 연구를 대표하는 연구집단 형성
- 소재부터 시스템까지 개발과정을 통합한 사업단 체계로 개발효율 극대화
- 1단계사업 글로벌 관련 정부 프로그램 네트워크 구성, 2단계사업 글로벌 컨소시엄 구성전략을 통해 2단계사업 민간 투자 유치

■ 계층통합연구

- 전 세계적으로 미래 신소자 기술개발 동력이 취약하여 차세대 반도체 기술의 전망이 불투명한 상황에서 초저전력 미래반도체 분야에서 고위험도, 도전적 소자연구부터 시스템까지의 여러 계층의 연구를 통합하여 추진하고, 선도적 성과를 조기에 확보함으로써 글로벌 기술 리더쉽을 확보하는 것을 목적으로 하고 있음
- 미국 SRC, SEMATECH, 유럽 IMEC, LETI, 일본 AIST, 대만 ITRI와 같이 외국의 경우 반도체 분야를 대표하는 연구기관 또는 연구프로그램이 있음. 초저전력미래반도체 사업단은 국내 미래반도체연구를 대표하는 연구프로그램으로서의 역할을 수행

■ 1단계 사업기간동안 글로벌 리더쉽 확보후, 2단계 글로벌 컨소시엄 추진

- 차세대 소자기술 투자리스크를 저감하고, 표준화를 유도하기위해서, EU, 미국, 중국, 일본등에서 초저전력 관련 대형 R&D 프로그램간 협력네트워크를 구성하고 협력함
- 2단계 사업 (2023-2027)은 1단계 사업중 준비된 기반을 활용하여, 글로벌 컨소시엄을 구성하고 총 투자의 약 25%정도에 해당하는 민간기업의 투자를 확보하는 것을 목표로 설정

■ 혁신적 계층통합형 신소자개발 전략 적용

- 신소자 개발과 소재, 단위공정, 집적공정, 설계기반, 시스템 아키텍처 설계 기술을 통합 개발함으로써 소자기술의 상용화가능성을 최단기간내에 검증
- CAD (computer aided design)기술의 발전을 최대한 활용, 통합개발의 효율을

극대화함

■ 전후방 수요연계 극대화 전략

- 1단계에는 연구목표 설정의 창의성, 기술개발의 독립성을 확보하기 위해 투자예산의 100%를 정부에서 부담하나, 운영위원회, 기술자문위원회를 통해 산업계의 의견을 충분히 반영하도록 함
- 2단계 사업의 전제조건으로 지적재산권 비용부담등 선투자를 확보함으로써, 소자연구와 공정, 장비, 설계툴등 전후방 중소기업 연계를 활성화하여, 기술표준화 효과를 극대화 함

■ 나노소자집적 인프라 활용 전략

- 대학, 출연연의 개별연구그룹에서 신소자기술에 대한 기본 개념 검증 완료
- 핵심 소자 기술 및 아키텍처 기술을 기반으로 단위 소자 및 array 수준의 집적공정을 국내 나노 인프라 시설을 활용하여 수행할 수 있는 수준으로 나노집적공정 플랫폼 인프라를 구축하고, 관련 집적 기술 개발을 진행함.
- 나노집적공정 플랫폼 기술 개발은 국내 인프라 시설들의 상호연계를 기본 전략으로 함.



그림 10. 7대 소자의 집적을 위한 나노집적 인프라 연계 전략

1.7. 사업 추진체계 및 운영방안

■ 사업 추진체계



■ 거버넌스 체계 구성 배경

- 사업의 목표를 효과적으로 달성하고 빠르게 변화하는 대외 동향에 능동적으로 대처하기 위해서는 개별형 과제로 추진하는 것 보다는 독립적인 연구조직을 통해 수행하는 것이 바람직함
 - 초저전력 미래반도체 사업은 국내 관련 연구역량을 총결집하여 차세대 기술을 효율적으로 개발하고, 한국 주도의 글로벌 연구컨소시엄 구성함으로써 미래 기술의 주도권을 선점하기 위한 하향식(Top-down)의 사업임
 - 본 사업은 기술개발(2022년) 및 제품개발(2025년) 시기, 제품 사양(소모전력 1/1000 이하, 메모리 저장능력 및 정보처리 속도 100배 이상) 및 종류 등의 목표가 명확한 “목표지향적” 사업임
 - 반도체는 기술의 속도가 매우 빠르게 변화하는 분야이므로 급격히 변화하는 국제 정책·기술·산업 동향의 흐름을 신속히 파악하여 적기에 Moving target 설정을 위한 R&D 기획이 필요함
- 장기·초대형 연구개발 사업을 효율적으로 운영·관리하기 위해서는 사업단장의 역량 이외에도 기획·관리 기능을 갖춘 하부조직이 필요함
 - 본 사업은 10년간 총 4,500억원(연평균 450억원)이 투입되도록 설계되어 단일 목표를 가진 사업으로는 최상위 그룹에 속하는 장기 대형 국가연구개발 사업임
 - 사업단장이 연간 450억원 규모의 수행과제를 직접 기획·관리하는 것은 사업단장에게 업무 부하가 집중되어 비효율을 야기할 수 있음

- 본 사업은 기술개발, 시제품 개발 및 제품 확보를 목표로 하고 있어 연구와 비즈니스를 겸할 수 있는 사업단 조직이 적합함
- 사업단 조직은 R&D에 초점이 맞추어져 있어 기초·원천기술의 개발이나 환경분야와 같은 공공적 성격이 강한 연구개발 사업에 적합함

■ 사업 추진절차

- 본 사업은 독립 법인 형태의 단일 사업단 체계로 구성하고, 1단계 연구(5년) - 2단계 연구(5년)로 구성
 - 1단계 사업목표(2018-2022): 핵심원천기술 도출 및 민간 기업 참여유치
 - 2단계 사업목표(2023-2027): 핵심 사업화 목표 달성 - 초절전/고성능 나노소자기술 적용 메모리, 로직 통합 반도체 소자 확보
- 추진내용
 - 5대 나노정보전자기술 분야의 단위소자기술 초반 확보
 - 기술표준화 및 글로벌 오픈 이노베이션을 통한 IP확보
- 하향식(Top-down) 방식을 통해 국가 R&D전략 및 사회적 수요에 부합하는 초저전력 미래반도체 기술 개발
 - 하향식의 단점을 보완하기 위해 단일 사업단을 구성하고, 단장/부단장이 단위과제를 일괄 관리

	하향식 (Top-down)	상향식 (Bottom-down)
추진 체계	•국가전략에 입각한 우선순위 배정으로 전략적 자원 배분 가능	•창의적 아이디어 및 합의에 의한 자발적 조직화 특징
장점	•신속하고 효율적인 시스템 구성 •정량적 업무평가 가능	•창의성 및 자유도 높음 •변화의 흐름에 빠르게 적응 가능
단점	•잘못된 목표 설정 시 지불해야 하는 대가가 큼 •전세계적으로 빠르게 변하는 연구시류에 효과적으로 적응하기 어려움	•목표에 대한 이해 및 공유가 부족한 경우, 비효율적 운영 가능성 높음 •책임소재의 불명확성으로 인해 업무추진 및 의사결정 과정에서 비효율적일 가능성 높음

■ 과제선정평가

- "초저전력 미래반도체 원천기술" 로드맵에 근거하여, Top down 방식의 과제이므로 기술목표달성에 적합한 과제 수행전략 및 과제 수행능력을 중심으로 평가
 - 시장지배력 확보 가능성, 기술혁신 기여도, 세계적 수준의 연구결과 도출가능성 평가
 - 연구팀의 수월성 및 개발하고자 하는 기술의 사회경제적 파급력, 학제간·이종기술 연구자간의 역할분담의 적절성, 향후 초저전력반도체 분야 원천 특허 및 기술의 확보 가능성 등을 평가
 - 서면 및 발표평가 시행: RFP 부합성, 연구 계획의 창의성 및 도전성, 연구 목표의 명확성 및 타당성, 원천 기술의 확보 및 사업화 가능성, 연구진의 우수성 및 선행

연구 경험

○ 국제협력과제 평가의 기본 방향

- 국내 파트너와 협력연구의 가능성 및 필요성
- 해외거점연구팀은 해당 분야 요소기술 연구를 수행하고, 플랫폼 기술은 국내 연구팀이 개발하며 전체 연구성과를 통합하도록 구성
- 예비계획서에서 국내 및 해외 연구팀의 우수성과 공동연구 네트워크 구축 정도를 중 심으로 평가
- 본 사업계획서에서 국내-해외 연구팀 간 유기적 연계, 역할분담 및 단계별 목표 달성 등 연구계획 중심으로 평가

■ 연차 및 단계 평가

○ 연차 및 단계 평가의 기본 방향

- 연구 초기(1-2년)의 연차 평가는 성과 위주의 정량적 성과와 도전성을 집중적으로 평가하되, 중기 이후(3-5년)에는 연구개발된 성과의 원천성 및 특허 확보를 집중적으로 평가
- 1단계 평가 결과를 반영한 2단계 연구비의 조정 운영 시행
- 단계 평가는 1-4년 동안의 연차평가의 결과를 70% 반영하고, 1단계 완료 시점에 5년 연차 평가와 함께 시행

■ 과제선정 평가단 구성

○ 신규선정과 수시 선정은 동일한 평가 시스템 적용 (1단계 평가)

- 사업단장 선정, 부단장선정 및 3개월간의 사업준비기간을 거친 후 본 사업 시작시 신규과제선정 진행.
- 준비기간동안 운영위원회, 기술자문위원회를 구성하고, 각 위원회 중심으로 신규과제 및 수신과제 선정
- 반기별, 연차별 평가를 통해 탈락과제, 보완과제에 대한 수시선정 진행

○ 신규과제의 선정은 기술자문위원회 중심의 평가단에서 1차 평가후, 기술자문위원회에서 2차 서면 평가후 사업단 운영위원회에서 최종결정

○ 잠재적 투자기업의 대표를 평가단에 포함시키고, 1인이상의 특허 전문가를 포함하여 특허가치에 대한 평가시행

1.8. 투자 계획

■ (사업기간) 10년 (1단계: 2018~2022년, 2단계: 2023~2027년)

[시범사업 2년 (2016~2017년)]

■ (사업비 규모) 1단계 총 2,000억원, 2단계 2,500억원 (시범사업 320억 별도)

세부사업	사업내용	총사업비	국고	지방비	민자
기술개발	소자원천기술개발	700	550	—	150
	공정원천인프라개발	300	150	—	150
	나노인프라개발	350	200	—	150
	집적기술개발	600	350	—	250
	글로벌오픈이노베이션	375	175	—	200
	설계인프라개발	375	250	—	125
	신소자기반 아키텍처	400	300	—	100
	초저전압 시스템	300	300	—	—
	뉴로모픽 시스템	350	350	—	—
	mW급 프로세서	400	400	—	—
기반 구축	—	—	—	—	—
기타	총괄 관리	350	225	—	125
소계		4500	3250	—	1250

■ 사업비 산출근거 (1단계 예시)

단위소자 개발과제	10억 * 5년 * 7건	= 350억
단위공정 개발과제	2억 * 5년 * 10건	= 100억
집적공정 개발과제	10억 * 5년 * 4건	= 200억
나노인프라보완투자	3억 * 5년 * 10대	= 150억
국제협력	2.5억 * 5년 * 10건	= 125억
설계인프라구축	15억 * 5년 * 3건	= 225억
신소자기반아키텍처	10억 * 5년 * 5건	= 250억
초저전압시스템	10억 * 5년 * 3건	= 150억
뉴로모픽시스템	10억 * 5년 * 3건	= 150억
mW급 프로세서	10억 * 5년 * 3건	= 150억
총괄관리	30억 * 5년	= 150억
소 계		= 2,000억

	'18	'19	'20	'21	'22	'23	'24	'25	'26	'27	합계
총괄 관리사업	10	10	10	10	10	20	20	20	20	20	150

플랫폼 기술개발	총괄	10	10	10	10	10	10	10	10	10	10	100
	소자원천 기술개발	70	70	70	70	70	70	70	70	70	70	700
	공정원천 인프라개발	20	20	20	20	20	40	40	40	40	40	300
	나노인프라 개발	30	30	30	30	30	40	40	40	40	40	350
	집적기술개발	40	40	40	40	40	80	80	80	80	80	600
	글로벌오픈 이노베이션	25	25	25	25	25	50	50	50	50	50	375
시스템 집적 기술개발	총괄	10	10	10	10	10	10	10	10	10	10	100
	설계인프라 구축	45	45	45	45	45	30	30	30	30	30	375
	신소자기반 아키텍처	50	50	50	50	50	30	30	30	30	30	400
	초저전압 시스템	30	30	30	30	30	30	30	30	30	30	300
	뉴로모픽 시스템	30	30	30	30	30	40	40	40	40	40	350
	mW 급 프로세서	30	30	30	30	30	50	50	50	50	50	400
합계		400	400	400	400	400	500	500	500	500	500	4,500
정부투자		400	400	400	400	400	250	250	250	250	250	3,250
민간투자		.	.	.	.	.	250	250	250	250	250	1,250

■ 인력 투입계획

	‘18	‘19	‘20	‘21	‘22	‘23	‘24	‘25	‘26	‘27	합계
박사급(명)	200	200	200	200	200	200	200	200	200	200	2,000
석사급(명)	400	400	400	400	400	400	400	400	400	400	4,000
학사급(명)	400	400	400	400	400	400	400	400	400	400	4,000
합계(명)	1,000	1,000	1,000	1,000	1,000	1,000	1,000	1,000	1,000	1,000	10,000

■ 소요인력 산출근거

- 인건비 : 400억 × 30% = 120 억원/년 내외
- 책임자급 200명 상정
- 박사후 연구원 : 책임자급 연구실별로 1명 × 참여율 50%
 - * 박사후 연구원 1명 × 400만원(월급여) × 12개월 = 58억원/년
- 박사과정 (책임급 수 × 2명/년), 석사과정 (책임자 수 × 2명/년) × 참여율 30%
 - * 박사과정 1명 × 250만원 × 12개월 = 36억원/년

* 석사과정 1명 × 180만원 × 12개월 = 26억원/년

1.9. 타당성 분석

■ 정책적 타당성 분석

○ 사업추진의 시의성

- 전력문제(생산 및 사용) 해결 관련 기술이 최근의 모든 분야의 산업에 필수적으로 요구되어지고 있으며 특히 반도체 산업 분야에서도 전력 사용 문제 해결을 위한 새로운 패러다임이 요구되고 이를 통해 신 시장을 창출할 수 있는 도전적이고 창의적인 연구가 필요함.
- 지금까지 민간에 의존해온 반도체 분야의 연구는 단기적 결과에 치우친 연구에 국한되었고 중장기 연구에 대한 연구가 미흡한 상태로 정부의 지원이 필요함.
- 미, EU는 미국주도의 기술개발체계가 취약해진 시점에서, 반도체 분야의 기술 주도권을 확보하기위해 정부차원에서 지원을 하고 있으며, 후발 주자인 중국은 현재의 반도체 산업에 진입을 하기 위해 정부차원에서 많은 지원을 하고 있는 상황임.
- 이러한 상황을 극복하기 위해 새로운 산업을 창출할수 있는 초저전력 미래반도체 분야에 대한 정부 지원으로 기존의 반도체 강자와 신흥 국가를 따돌리고 주도권을 선점할 수 있도록 정부 차원을 지원이 절실히 필요함.

○ 정부지원의 필요성

- High risk, high return 형 차세대 기술은 세계적으로 정부주도의 연구프로그램에 의해 선행개발되고 있음. 미국, EU등 경쟁국가들은 2016년부터 본격적인 정부주도형 투자를 시작함

<반도체 산업보유국가들의 주요 반도체 연구프로그램 투자규모>

국가	상용연구시기			총 연구 금액 (억)
	5년 이내	5 - 15년 이내	15 년 이후	
미국	843 (5%)	13,916 (75%)	3,796 (20%)	18,555
EU	614 (2%)	30,497 (85%)	5,022 (13%)	36,133
일본	656 (4%)	12,818 (88%)	1,058 (8%)	14,532
한국	205 (20%)	380 (38%)	427 (42%)	1,012

- 본 사업은 특정제품 기술개발이 아니라 공정, 소재, 장비, 설계기술등 반도체 제조 산업의 전후방산업 파급효과가 매우 큰 사업이기 때문에, 민간기업이 전체 사업을 초기부터 기획하고, 관리할 수 없는 구조여서 정부투자가 필수적임
- 기술표준화방향에 따라 신기술채택여부가 결정되기 때문에 민간기업이 본격적인 장기 선행투자를 진행하기 어려움
- 2020년대 중후반 시장이 열릴 것으로 예측되는 신개념 나노-반도체 융합기술은 경쟁국에서도 아직 기술적 우위를 확보하지 못한 상태여서 정부주도의 기반기술 투자를 통해, 반도체 산업전반의 기술경쟁력을 확보할 필요가 있음

○ 국가 중장기 R&D 계획과의 부합성

－ 과학기술기본계획과의 부합성

- 국가 전략 기술 수준 및 예산 증감률의 예를 보면 (아래 표), 경제 지속 성장 견인의 ICT융합 신산업 창출, 미래 성장 동력 확충은 선진국 대비 기술적 성숙도가 상대적으로 열악하여 기술 수준 향상을 위한 예산 배정 금액이 타 분야 보다 큰 것으로 판단하건대 ICT 융합 신산업 창출과 미래성장 동력 확충의 목표를 삼고 본 사업의 중요가 현재 국가 과학기술기본계획의 방향과 부합한다고 판단됨.

－ 기초연구진흥 종합계획과의 부합성

- 본 사업의 목표는 현재의 나노전자소재 분야 시장의 확대 뿐만 아니라 새로운 신산업 창출을 위해 창의·도전적인 재료, 공정, 설계, 장비 등 많은 분야의 기초 연구를 포함하여 새로운 반도체 및 나노 전자 분야의 신 생태계를 구축하고 이를 활용·확산 하는데 목표가 있기에 과제의 성격과 목표는 현재 정부의 기초연구진흥 종합계획의 정책과제와 부합함.

－ 국가융합발전기본계획과의 부합성

- 본 사업은 소재, 공정, 설계, 장비 등 많은 분야의 병렬적 융합적 개발의 성격을 가지고 있기에 다양한 분야의 융합적 신산업 창출이 가능함. 특히, 경제 성장 7대 분야의 중 차세대 반도체, 스마트 자동차, 차세대 소재에 직접적인 관련이 있으며 타 분야의 시스템을 구축하는데 있어 본 사업의 연구 결과가 기본 platform으로 제공될 수 있음.

－ 신성장동력 종합추진계획과의 부합성

- 본 사업은 새로운 시장 창출 및 선점을 위한 소재, 공정, 설계, 장비 등의 융합 과제로 신성장동력 종합추진계획의 주력 연구 분야와 잘 부합함.

○ 기존사업과의 차별성 및 연계성

구분	동 사업	미래소자원천 기술개발사업 (산업부)	나노소재원천 기술사업 (미래부)	지능형반도체사업
총사업비 (억원)	4,500	500 (정부) 500 (민간)	250	850 (가변적임)
기투자액	0	300	50	45
사업기간	`18-`27 (5년+5년)	`13-`21	5년	`14-`19
사업목적	미래반도체 소자, 단위공정, 집적공정, 설계기술 및 시스템개 발	단위 반도체 소자, 신 공정, 설계기술개발	단위 신소재 개발 및 집적공정, 아키텍처 연구	ICT 융합 제품에서 SW와 SoC를 기반 으로 인지, 연산, 제 어, 통신 등의 지능 형 서비스 기능을 수행하는 핵심부품 개발
세부내용	7대 원천소재기술 중 심으로 집적설계플랫폼 및 인프라 구축을 통한 차세대 시스템 개발	실리콘 및 비실리콘 계열 물질의 단위 반 도체 소자원천기술 개발	신소재 기술을 이용 한 시스템 전력소모 극단적 절감	SOC 소프트웨어 및 CMOS기반 센서등
차별성	중장기과제중심	단기과제중심	중장기과제중심	신소재기술을 사용 하지 않음

- 본 사업은 타부처(지식경제부)에서 현 시장 지배력 강화, 국산화 목적으로 기업 중심으로 추진하고 있는 대규모 산업화 관점의 반도체 기술 사업들과 달리, 차세대 반도체 산업의 글로벌 기술경쟁력을 확보하기 위해 공공부문 연구주체의 창의적인 혁신역량을 집약하여 최단기간내 상용화 수준의 기술을 개발하는 사업임
- 산업부에서 추진중인 미래소자원천기술개발사업은 상용화시점기준 5년이내의 단기 연구를 대상으로 하고, 본 사업은 상용화까지 5-15년정도가 소요되는 중장기 기술을 대상으로 함
- 미래부에서 추진중인 나노소재원천기술 개발사업중 반도체부분은 본사업에서 제안하고 있는 7개원천소자기술을 선행개발하는 시범사업의 성격을 가지고 있음.
 - 소자원천기술 개발의 시급성을 고려하고, 소자개발과 시스템집적기술 개발과제사이에 1-3 년정도의 선행개발기간을 두기위한 전략임
- 본 사업에서는 소자기술에서 시스템설계기술까지의 개발기간을 최대한 단축함으로써, 경쟁국대비 압도적인 기술 경쟁력을 확보하고, 선진국 대비 열세인 소자 및 설계기술 분야의 도약적 발전을 달성하고자 함

■ 정책대안에 대한 타당성 분석

○ [대안 1] 정부 투자를 하지 않는 대안

- 차세대 반도체 기술개발을 민간기업에 전담시키는 방법으로 기존 R&D 사업수준의 정부투자만 진행하는 방법
- 산업부 미래소자원천기술개발사업의 경우, 단중기 연구를 목표로 했으나, 민간기업의 단기연구선호로 인해 중장기연구 체계 구축이 어려운 상황임
- 선진국의 차세대 반도체 기술 장벽으로 인해, 기존 반도체 소자기업은 물론 장비, 설계 기업등 후방산업까지도 차세대 반도체 산업에서의 경쟁력상실
- 결과적으로 중국의 추격을 허용함으로써, 60조 규모의 반도체 소자 산업은 물론 전,후방산업의 동반 몰락이 예상됨.

○ [대안 2] 기존 R&D 사업 예산을 확대하는 대안

- 유사한 규모의 R&D예산을 교과부와 지정부의 기존 R&D 사업 또는 타 R&D 사업에 투입하는 대안을 생각할 수 있음
- 산발적인 소자연구, 집중화되지 않은 나노인프라 공정, 통합설계기술연구 체계가 갖추어져있지 않는 상황에서는 대규모 투자의 효율성을 담보할 수 없음
- 특히, IMEC, LETI, CNSE 등 대규모 연구소와 안정화된 팹를 기반으로 집중적인 연구를 하고 있는 선진국과의 경쟁시 기술적 대표성을 확보할 수 없어서, 기술리더쉽을 확보할 수 없음
- 선진국주도의 차세대 기술표준화를 따라갈 경우, 대안 1에서 제시한 것과 같이 기술장벽문제를 해결하기 어렵게 됨.

■ 비용효과 분석

- 타당성 분석은 실물옵션(Real Option) 프레임워크에 의하여 수행됨. 실물옵션 프레임워크에서는 시장에서의 경쟁구조, 거시적 시장 환경 등 불확실성이 큰 기업의 경영 상황에서 기업의 투자에 관한 의사결정이 유연하게 이루어질 수밖에 없는

상황을 반영할 수 있음.

- 사업의 순 옵션가치는 약 187억 원임. 따라서 본 사업은 타당성이 있음. 향후 5년간 투입되는 사업비와 시범사업비와의 비율을 계산하면 약 8%의 수익률(옵션 프리미엄)을 예상.
- 사업의 순 옵션가치가 187억 원이므로 사업의 총 가치는 향후 5년간 투입되는 투자비의 현재가치인 2232억 원과 187억 원의 합, 즉 2419억 원이 됨. 이를 옵션 프리미엄으로 환산하면 187/2232, 약 8%의 수익률이 됨.
- 따라서 본 사업은 반드시 수행되어야 하는 가치 있는 사업임.
- 본 사업 옵션가치의 확률분포는 다음과 같음. 확률분포를 구하기 위하여 사업이 옵션가치를 총 10⁵회 시뮬레이션을 하였음. 확률분포는 아래 그림과 표를 참고.

	Simulated Project Option Values (105 runs)
min	-2,010.946
max	25,664.25
median	-466.6303
mean	187.8443
std.dev	2040.581
skewness	2.602308
kurtosis	11.63693

- 참고로 중위수(median)는 음수로 약 -466.6억 원인데 이는 기술금융의 전형적인 패턴이기 때문에 우려할 필요가 없음. 벤처캐피털 등 기술금융이 가장 발달한 미국에서도 벤처의 성공확률은 25%이하임. 이는 중위수수익률(median return)이 음수임을 뜻함. 그러나 소수의 성공하는 사업에서 대단히 큰 수익을 창출하므로 전체 사업 포트폴리오의 수익률은 양수가 되는 것임.
- 본 사업에 대한 타당성 조사도 비슷한 패턴을 보임. 사업의 가치는 대단히 오른쪽으로 꼬리가 늘어지는 분포(right-skewed distribution) 형태임(Skewness = 2.6). 즉 이 사업은 여타의 기술벤처의 경우와 같이 잠재력이 크지만 실패하는 경우도 존재할 수 있음을 시사. 그러나 성공할 경우 대단히 큰 가치를 창출하게 될 것임.
- 타당성 분석을 위한 모형은 전력 절감에 관한 목표인 2021년까지 1/10, 2023년까지 1/100, 2027까지 1/1000가 달성된다는 가정 이외에 다른 모든 가정은 대단히 보수적으로 하였음.
- 목표 달성에 관한 위의 가정에 관하여 실패할 가능성도 명시적으로 타당성 모형에서 고려함. 본 사업이 기대했던 만큼의 가치를 창출하지 못할 경우 사업이 청산됨을 가정. 청산 후 가치도 없다고 대단히 보수적으로 가정함.
- 사업이 청산되더라도 논문 게재 등으로 발생하는 과학 성과와 탁월성 성과 등이 발생함. 이와 같은 학술적 성과를 청산비용에 감안할 경우 본 연구의 가치는 바로 그 성과의 현재 가치만큼 상승할 것임. (현재 본 연구진은 타당성 분석을 최대한으로 보수적으로 수행하기 위하여 이러한 학술적 성과는 일단 무시한 것임)
- 사업의 변동성이 커질수록 사업의 가치가 향상됨. 이는 현재 사업이 실물옵션 특성을 가지고 있으므로 당연. 따라서 공격적인 R&D를 장려할 필요가 있음.

1. 사업기획의 개요

1.1. 사업기획 추진 배경

- ICT 기술이 발전함에 따라, 정보처리기기에서 소요되는 에너지의 총량이 기하급수적으로 증가될 것으로 전망

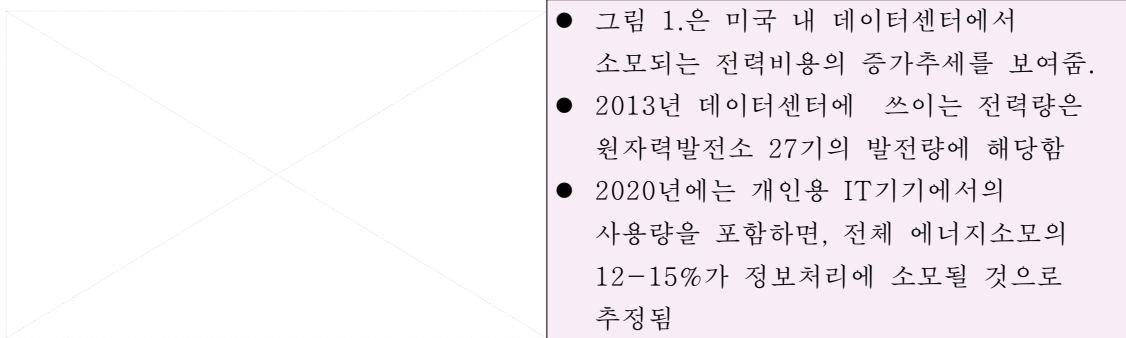


그림 1.1. 데이터 센터의 전력소모 증가 추세

- 사물인터넷 도입에 의해 스마트 홈, 스마트그리드, 스마트 카, ubiquitous health care, 동영상 등에서 발생하는 정보처리 수요 폭증예상 (최대 백만 배)
- 이에 따른 데이터의 전송, 연산, 응용에 엄청난 에너지가 소모될 것으로 생각됨
- 현재의 컴퓨팅 체계로는 미래 에너지 수요를 감당할 수 없기 때문에, 소자, 아키텍처, 시스템 등 전 분야에 걸쳐 초절전 연산체계로의 패러다임 전환 필요



그림 1.2. 정보처리 소자 기술 변천과정

- 1960년대 이후 반도체 기술의 발전을 주도했던 미세화 일변도의 기술 발전이 한계에 도달했다는 인식이 확산되고 있으며, 미래 정보처리기기의 과도한 에너지 소모에

의한 기술 정체를 막고 지속적인 발전을 위해 초저전력 미래반도체 기술 개발이 시급함

- 전세계적으로 미세화 기술의 한계를 극복하고, 초저전력 컴퓨팅기술을 구현할 수 있는 차세대 로직소자 및 연산기술 개발 경쟁이 본격화됨
 - 획기적인 기술발전의 계기를 마련하지 못한 상태임
- 차세대 ICT 기기 (사물 인터넷, 스마트폰, 스마트 워치 등 웨어러블 기기, 임플랜터블 기기, 초절전 고성능서버, 데이터센터 등)와 관련된 미래산업 경쟁력은 초저전력 미래반도체 기술이 결정하게 될 것임
- 인텔은 에너지 절감이 가능한 초절전 컴퓨터의 중요성을 인식하고, 이미 저전력 서버 시장의 95%를 선점한 상태임
- 저전력 반도체는 이미 전체 반도체 시장에서 가장 큰 시장을 형성

	2014		2015		2016		2017	
	금액	비중	금액	비중	금액	비중	금액	비중
반도체	335,843	100.0	336,392	100.0	341,011	100.0	351,596	100.0
메모리	79,243	23.6	78,450	23.3	75,889	22.3	78,539	22.3
로직	91,633	27.3	90,212	26.8	91,753	26.9	93,785	26.7
아날로그	44,365	13.2	45,483	13.5	47,027	13.8	48,953	13.9

표 1.1. 세계 반도체 시장 규모 (자료: WSTS Forecast 2015 Fall, 단위: 백만달러)

- 초저전력 미래반도체 적용제품의 시장규모는 메모리와 로직반도체 시장의 30%정도로 추정가능 (2017년 기준 51,697M\$ (약 62조), 2025년 추정치 76,380M\$ (약 91조, 환율 1\$=1200원, CAGR 5%가정))
- 이 시장은 현재 한국의 반도체 산업의 규모를 2배이상 성장시킬수 있는 규모임

■ 선진국들의 발빠른 대응

- IBM은 2025년 이후, 스케일링 기반 반도체 기술의 종말과 7nm노드 기술 이후 post CMOS 기술시대의 도래를 예측하고, 기존 반도체 기술의 패러다임을 획기적으로 전환하여 스케일링 없이도 낮은 전압에서 동작하는 초저전력, 고성능 연산 기술 개발을 선언함



- 이를 기점으로 7nm 이후 스케일링의 한계를 극복하면서도, 차세대 ICT 기술 (스마트폰, 스마트 워치, 접는 노트북 등)에 적용 가능한 신개념 반도체 소자 원천기술 선점을 위한 본격 경쟁이 시작되었으며, 미국, 유럽, 일본 등에서는 차세대 scaling기반 기술은 물론 scaling을 필요로 하지 않는 새로운 형태의 정보처리기술을 개발하기 위해 대형 중장기 연구프로그램들을 다수 운영 중임

- 미국은 exa scale computing, sustainable computing technology란 개념으로 이 분야의 미래 원천기술에 대한 전반적인 연구가 활발히 진행되고 있음
 - 정부 주도로 “Energy efficient computing for devices and architectures” 연구 프로그램을 2016년 하반기에 시작할 예정임 (초절전 반도체 신소재 기술과 아키텍처에 대한 연구 프로그램임)
- 유럽은 “ICT-31: nanoelectronics and microelectronics” 연구 프로그램을 2017년 1월에 시작할 예정임 (3차원 집적기술, 뉴로모픽 아키텍처 등 전력절감형 기술에 대한 연구 프로그램임)
- 그 외에도 TSV/M3M 등 소자 융합과 저전력을 위한 연구프로그램을 동시에 진행하고 있으며, 초저전력 시스템 구현을 위해 연산 아키텍처/회로/소자/소재에 대한 초대형 연구프로그램을 시작함.
 - Qualcomm-LETI(프)-SMIC(중)-북경대 등 공동개발 진행
 - 뉴로모픽의 경우 미, EU, 일본을 합쳐 2조원 정도가 투자되고 있음

■ 대한민국 반도체기술의 현황

- 우리나라는 scaling 기반 공정기술에서의 우세를 바탕으로 시장을 확보해왔음
- 국내 주요 반도체 기업인 삼성과 SK 하이닉스는 미세화 공정 및 메모리 분야 이외의 미래기술에 대한 대응 전략이 미흡한 상황임
 - 국내 산업계가 주로 이용해온 IBM alliance, SEMATECH*, IMEC 등의 기술도입선이 기술개발을 포기하거나, 매우 부진한 상황이어서, 독자기술개발의 필요성이 대두되고 있음
 - * SEMATECH: 삼성, Intel등 반도체기업들이 공동으로 자금을 출연, 기초연구를 수행하는 기관, 1983년 설립, 2015년 뉴욕주소재 CNSE에 합병
- 국내의 저전력 융합 소자, IoT 등 초연결 사회에 대비한 기반 연구는 매우 부족함
 - 뉴로모픽 소자기술은 미래융합파이오니어 사업에서 일부 진행 중

국가	상용연구시기			총 연구 금액 (억)
	5년 이내	5 - 15년 이내	15 년 이후	
미국	843 (5%)	13,916 (75%)	3,796 (20%)	18,555
EU	614 (2%)	30,497 (85%)	5,022 (13%)	36,133
일본	656 (4%)	12,818 (88%)	1,058 (8%)	14,532
한국	205 (20%)	380 (38%)	427 (42%)	1,012

표 1.2. 세계 반도체 시장 규모 (자료: WSTS Forecast 2015 Fall, 단위: 백만달러)

- 위의 표에 정리된 바와 같이 현 정부의 미래소자 관련 R&D 투자는 중기과제대비 (38%) 대비 신기술분야 장기기술과제(42%)에 대한 비중이 높았는데, 이것은 전자 소자 분야에서 대기업의 역할이 강조되면서, 학술적인 가치가 다소 적지만, 상용화 가능성이 있는 소자기술에 대한 지원이 매우 제한적이었기 때문인 것으로 분석됨
- 이 추세가 지속된다면, 우리나라의 기반 산업인 반도체, 디스플레이 등 전자산업이 경쟁력을 상실하게 되고, 중국에 추월당하게 되는 것은 시간문제임

- 이 상황은 학술적 가치만을 중시한 편중된 국책연구 지원, 민간기업의 근시안적인 기술개발 전략과 기술수입에 의존하여, 국내 연구생태계를 파괴한 결과임
- 미국에서 반도체 제조가 퇴조하고, 연구지원에 축소되면서 R&D outsourcing이 확대되고 있으나, 반도체 분야에서의 국제공동연구 파트너로 한국이 아니라 대만, 중국이 선호되고 있음
- 중국은 전세계에 퍼져있는 화교인력을 기반으로 중국 내의 연구역량을 급속히 발전시켜나가고 있으며, 이러한 추세에 기인함.

1.2. 사업기획 추진 필요성

- 최근 팹리스의 등장으로 반도체 분야의 연구투자가 감소되고, 반도체 주생산국 간의 기술장벽이 높아지게 되면서 미래기술동향 예측이 더욱 어려워짐
- R&D 비용 절감방안이었던 컨소시엄 형태의 공동연구방식 퇴조 (반도체 주생산국 간의 기술장벽강화, 2015년 SEMATECH 폐쇄 등)
- 미래 ICT 기반산업에서의 선도적 위치를 유지하고 경쟁에서 뒤처지지 않기 위해서는 차세대 혁신소자기술의 개념을 조기에 도출/검증하고, 이를 기반으로 광범위한 지적재산권 보호망을 선점한 후, 시장지배력을 확보하는 것을 최우선으로 하는 대책수립이 시급함
- 차세대 반도체 기술은 사물인터넷, 유비쿼터스화된 정보처리에 적합하도록 초저전력 연산 체계를 지원할 수 있는 기술이 필요하다는 점에는 개략적인 공감대가 형성되어 있으나, 구체적인 소자기술, 아키텍처에 대해서는 ITRS 등 기존 로드맵이나 기술 컨소시엄들이 방향을 제대로 제시하지 못하고 있음
- 최근 논문발표 추세를 분석하면, 차세대 기술개발의 구심점이 유럽의 IMEC, LETI 등으로 일부 옮겨가고 있으나, 사물 인터넷 시대의 도래, 반도체 기술의 초저전력화에 따른 패러다임 전환 등 전면적인 기술환경 변화에 대응하기에는 매우 미흡한 상태로 현재 반도체 산업의 미래기술을 선도하는 주체가 없는 상태임.
- 2020년대 후반경 도입될 신개념 정보소자 기술분야는 해외 선진 업체 주도에 의해 형성된 기존의 market에 국내 반도체 산업이 공정 최적화를 통해 진입했던 기존의 방식과 달리 아직 경쟁국가들이 기술적 우위를 확보하지 못한 초기 상태이므로, 집중적인 연구 개발을 통한 기술주도권 확보가 가능함
- 이를 위해 지금까지의 추격형 연구와는 달리, 패러다임 전환기 이후 반도체 및 나노전자기술 분야에서의 주도권을 선점하는 것을 목표로 하는 도전적인 연구개발 지원/추진 전략을 수립하는 것이 매우 시급함
- 정부지원의 필요성
 - 초저전력 미래반도체기술은 IoT 시대의 ICT 기반기술로 반도체뿐 아니라 센서, 디스플레이등 다양한 분야에 파급효과가 매우 큼
 - 선진 경쟁국들은 2016년부터 본격적인 정부주도형 투자를 시작
 - 미국: 2015년 대통령 행정지시 (National Strategic Computing Initiative)이후, Nanotechnology-Inspired Grand Challenge for Future Computing에 대한 수요조사 실시(Oct.24, 2015), 2016년 NSF에서 Energy efficient computing 과제 추진

예정 (50억/년)

- 유럽: 2016년 ICT31 program을 통해, 초저전력 소자 및 시스템 과제공모 진행 중, 2017년 과제개시(65억/년)
- 국내 기존 반도체 기업들은 미세화 기술 경쟁의 가속화와 R&D 투자비용의 급증으로 인해 초저전력 소자에 대한 중장기연구 투자여력이 부족한 상황
- 초저전력, 고성능 나노소자 기술 개발을 위한 정부적 차원의 지원이 필요한 실정이며, 패러다임 전환형 기술의 선제적 도입여부에 따라 초연결사회의 기반산업인 반도체 산업의 미래도 크게 영향을 받게 될 것임
- 초저전력 미래반도체 기술 선점을 위해 아키텍처/회로/소자/소재 기술을 연결하는 계층통합형 중장기 연구프로그램이 필요함
- 현재의 반도체 기술은 향후 6년 이내에 cost-performance cross over * 가 일어날 것으로 예측됨
 - * cost-performance cross over: 차세대 기술 사용비용이 그에 따른 이익을 초과하는 현상
- 시스템 성능을 향상시키기 위해 필요한 비용을 억제하면서도 초저전력 시스템을 구성하기 위해 현재와는 전혀 새로운 반도체소자 및 활용 아키텍처 기술이 필요해짐
- 아키텍처/회로/소자/소재 반도체 전 분야 연구자들이 모여 초저전력 미래반도체 기술 개발이라는 목표를 조기 달성하기 위해 집중적인 연구가 필요
- 차세대 ICT 기반 부품, 소재, 장비등 광범위한 산업분야에서 선도기술 선점가능

■ 대응 전략

- 국가 기반 산업인 반도체 산업의 기술적 우위를 지속하기 위해서는 단위과제 위주의 산발적인 R&D 투자로는 핵심 원천기술 확보 및 공정, 장비, 소자, 소재 간의 융합에 한계가 있음
- 반도체 산업의 기술 경쟁력 유지 및 강화를 위해 빠른 속도로 원천기술 (특허) 확보를 위한 기초·원천연구 프로그램 도입이 시급함
- 단일 연구조직의 필요성: 미국(SEMATECH), 유럽 (IMEC, LETI)과는 달리 국내에는 미래 반도체분야의 글로벌 연구 프로그램을 주도할 기관이 없는 상태임.
- 현 스케일링 기술의 한계를 뛰어넘는 새로운 패러다임의, 아키텍처/회로/소자/소재 기술이 집약된 초저전력 반도체 기술을 개발하는 사업을 추진함으로써 초연결사회 도래에 대비
- 초저전력 미래반도체 연구단은 국내 관련 연구역량을 총결집하여 차세대 기술을 효율적으로 개발하고, 대한민국 주도의 글로벌 연구컨소시엄 구성을 주도함으로써, 미래기술개발 주도권을 선점하기 위한 top down 방식으로 사업추진
- 1단계 사업종료 시점인 2022년까지 현재의 경쟁기술대비 에너지 소비가 1/1000 이하인 초저전력 미래반도체 원천기술의 실현가능성을 검증하고, 2단계 사업기간(2023-2025년)에는 민간기업 투자를 추가하여 기술선도형 제품을 구현

1.3. 사업기획 추진 목적

■ “초저전력 미래 반도체 연구단”을 기획함에 있어, 사업의 주요개념 및 특징, 사업추진 전략 및 체계, 중점 연구개발 추진분야 후보군(Pool) 도출, 그리고 기대성과와 파급효과를 체계적으로 분석하여 사업의 성격과 예상성과물(Deliverable)을 명확히 제시함

■ 기획 연구의 구체적인 목표

- 초저전력 미래반도체 응용기술 현황 분석 및 사업 기본방향 제시
 - 국내외 초저전력 미래반도체 관련 기술개발 및 투자 현황 조사·분석
 - 사업의 필요성과 핵심내용, 주요특징(타사업과의 차별성)을 정리
 - 기술 추세 분석 및 산업동향 분석을 통한 사업방향 제시
 - 글로벌 환경변화, 국내외 시장 및 전망, 국내 연구개발 인프라, 정부 정책현황 등의 분석을 통한 연구투자의 필요성 및 제반 연구개발 환경 파악
 - 핵심 이슈 발굴 및 전략적 선택을 통해 세분화된 사업 추진전략 제안
- 사업 세부 추진계획 수립
 - 사업의 개념(비전 및 목표 포함) 및 추진전략 수립
 - 중점지원분야 등 기술개발의 세부 추진전략 수립
 - 국내 연구 역량 및 자원을 토대로 10~15년 이내에 상용화가 가능하며, 세계 최고 수준의 경쟁력을 갖춘 “초저전력 미래반도체 원천기술” 개발 전략 도출
 - 사업 추진체계, 운영관리 및 평가, 리스크 관리 방안 등 사업체계 수립
 - 소요예산 추정 근거제시, 총 사업비 및 기술별·연도별 소요예산 산출
- 사업 추진의 타당성 및 파급효과 도출
 - 사업의 특성과 우리나라 산업에 미치는 기여도 분석을 통한 기획대상의 중점분야의 연구투자 중요도 파악
 - 사업 추진의 타당성, 시의성, 필요성 분석, 국고 지원의 필요성
 - 상위계획과의 부합성, 기존 사업과의 차별성 및 연계성, 기술개발계획의 적절성 및 성공가능성, 사업추진 상의 위험요인 및 대응방안 등
 - 사업의 파급효과 분석(경제적 파급효과 분석(비용-편익 분석),경제사회적 파급효과 분석, 과학기술적 파급효과 분석 등)
- 국내 연구 역량 및 자원을 토대로 10~15년 이내에 상용화가 가능하며, 세계 최고 수준의 경쟁력을 갖춘 “초저전력 미래반도체 원천기술” 개발 전략 도출
- 시스템 레벨에서의 성능검증을 위해 기술시현 대상 시스템 및 관련 시장 동향 분석 및 사업 추진 타당성 근거 확보
- 원천특허 확보를 위한 특허전략 지원체계 구축방안 도출
- 사업 추진에 필요한 정책적 타당성을 분석하고, 본 사업 추진 이외의 대안에 대한 면밀한 검토 후에 DEA (Data Envelope Analysis) 분석기법에 의거 비용-효과 분석을 시행함으로써 본 사업의 추진 타당성을 확보

1.4. 사업기획 추진체계

■ 총괄지원기관 (한국연구재단) 역할

- 사업추진방향 수립 및 관련 정책 협의 조정
- 사업기획내용(WG 1, 2)에 대한 검토 및 자문
- 사업 추진위원회 구성 및 추진사업에 대한 협의 및 의견조율

■ WG (Work Group)의 구성 및 역할

- 사업추진전략 및 추진체계, 사업운영방안 등 상세기획
- 예비타당성 평가과정에서 대응이 필요한 사안에 대한 자문 수행
- 논문/특허분석 자문 수행
- 소자기술, 집적플랫폼/시스템융합 기술, 인프라개발, 기술사업화, 국제협력의 5개 분과와 자문위원회를 구성
 - 각 분과에서 세부추진 아이টে에 대한 수요조사 및 상세기획
 - 자문위원회에서 추진전략 및 세부추진 아이টে 수립에 대한 자문 수행



그림 1.3. 사업 추진 체계

1.5. 사업기획 추진경위

- 2014년 기초원천연구 기획과제 - 초절전고성능정보소자기술 개발 방안 연구를 통해 나노기술연구의 성과를 반도체 기술에 접목함으로써 기존 반도체 연구의 한계를 돌파하기 위한 기초연구전략 및 로드맵을 수립
- 2015년 나노소재원천기술 기획사업(초절전고성능 나노소자기술개발 추진방안) 결과로 제시된 “5대 초절전 나노소자기술 및 연관 소재/공정기술 고도화”를 이루기 위해 정부 지원투자효과가 높은 중·장기 연구 분야의 R&D 투자 계획 수립
- 제4기 나노종합발전계획상 미래이슈해결형 핵심전략과제 중 하나인 “극단적 에너지 절감형 나노정보소자 기술”을 체계적으로 개발하기 위해, 2016년 추진 또는 계획 중인 사업을 검토함
 - o 초저전력 미래반도체 기술로 명칭변경
- 제4기 나노종합발전계획수립 시 초저전력 미래반도체 기술을 4대 나노챌린지 프로젝트중의 하나로 선정하고, 사업추진을 위한 예산을 확보하기 위해 예비타당성 평가를 추진하기로 결정함
- 사전기획 추진내용

날짜	추진내용
9월 12일	연구팀 구성 및 kick off meeting (한양대, 9월 16일)
9월 19일	1차 Webex meeting (과제 추진 현황 논의)
9월 29일	미국 현지 조사: U.C. Bekeley-T.J.King-Li 교수면담, Stanford대-P.Wong 교수 면담)
9월 30일	미국 현지 조사: Monolithic 3D 사 방문 -Zvi Orbach 사장 면담, Applied Materials - Director G.Lee 박사면담
10월 2일	2차 Webex meeting (과제 추진 현황 논의)
10월 16일	1차 워크샵 (판교, 반도체 연구조합), 6명의 소자 특허전문가 초청강연

10월 24일	3차 Webex meeting (과제 추진 현황 논의)
11월 17-18일	ENGE 참석 및 해외 전문가 면담
12월 12일	Qualcomm 전문가 면담(강승혁, 송승철)
12월 14일	LETI 주최 Workshop 참석
12월 14일	SEMATECH 주최 Workshop 참석
12월 16일	Applied Materials 주최 workshop 참석
12월 28일	초저전력 미래반도체 나노전자기술예타기획 1차 회의
1월 15일	4차 Webex (나노인프라과제 활용 시범사업 추진논의)
1월 19일	과제 추진전략 점검 회의
2월 4일	초절전 고성능 나노전자소자 기술개발 전략 검토 워크숍
2월 10일	초절전 고성능 나노전자소자 기술개발 전략 공청회
2월 18일	4차 나노융합발전계획 공청회 보완결과 자문회의
2월 19일	한-EU 화상회의 (Cluster간 협력논의)
3월 3일	미국 NRI 과제(E2CDA) 협력 의사 간접전달 (IBM VP)
3월 23일	초저전력 미래반도체 나노전자기술예타기획 2차 회의
4월 8일	초저전력 미래반도체 나노전자기술예타기획 3차 회의
4월 22일	초저전력 미래반도체 나노전자기술예타기획 4차 회의
4월 28일	예타기획팀 운영회의 (제주 라마다 호텔)
5월 11일	초저전력 미래반도체 나노전자기술예타기획 5차 회의
5월 25일	초저전력 미래반도체 나노전자기술예타기획 6차 회의
5월 18일	초저전력 미래반도체 나노전자기술예타기획 7차 회의
7월 1-2일	예타보고서 작성 및 리뷰
7월 6일	16년도 하반기 예비타당성조사 대상사업 기술성 평가 실시 설명회 참석 (대전 인터시티 호텔)
7월 15일	초저전력 미래반도체기술 개발사업단 예타기획 공청회 (일산 킨텍스, 나노코리아 기간중 개최)
8월 3일	예비 타당성 과제 유치를 위한 과제 설명회 참석 (과천, 미래창조과학부)
8월 9-10일	예타기획과제 기술성평가 및 후속 조치계획 논의
8월 20-21일	초저전력 미래 반도체 기술개발 사업 평가 부처 의견서 작성 회의 (한양대학교)
10월 6-7일	한-EU 나노워크숍 참석 및 사업 홍보
10월 18-19일	초저전력 소자기술 해외전문가 전문가 초청워크숍 공동개최 (한양대학교)
11월 18-20일	예타기획보고서 수정을 위한 워크숍 참석 (더케이호텔)
1월 11-12일	미래부 예타기획 경과보고 및 나노기술연구회 예타기획 관련 미팅
1월 15일	예타기획과제 최종보고서 작성을 위한 준비회의
예정	최종보고서 검토의견서 반영을 위한 회의
예정	최종보고서 검토 및 자문회의
예정	

2. 국내외 환경분석

2.1 초저전 ICT 산업동향

■ 시장 환경 분석

- 차세대 ICT 기기 (사물 인터넷, 스마트폰, 스마트 워치 등 웨어러블 기기, 임플랜터블 기기, 초저전 고성능서버, 데이터 센터 등)와 관련된 미래산업경쟁력은 초저전력 나노소자가기술이 결정하게 될 것임
 - 인텔은 저전력 서버 시장의 95%를 선점한 상태임
 - 저전력 반도체는 이미 전체 반도체 시장 중 가장 큰 시장을 형성

표 2.1. 세계 반도체 시장 규모 (자료: WSTS Forecast 2015 Fall, 단위: 백만달러)

	2014		2015		2016		2017	
	금액	비중	금액	비중	금액	비중	금액	비중
반도체	335,843	100.0	336,392	100.0	341,011	100.0	351,596	100.0
메모리	79,243	23.6	78,450	23.3	75,889	22.3	78,539	22.3
로직	91,633	27.3	90,212	26.8	91,753	26.9	93,785	26.7
아날로그	44,365	13.2	45,483	13.5	47,027	13.8	48,953	13.9

- 초저전력 미래반도체 적용제품의 시장규모는 메모리와 로직반도체 시장의 30 % 정도로 추정가능 (2017년 기준 51,697M\$ (약 62조), 2025년 추정치 76,380M\$ (약 91조, 환율 1\$=1200원, CAGR 5%가정))
- 이 시장은 현재 한국의 반도체 산업의 규모를 2배 이상 성장시킬 수 있는 규모임

2.1.1. 초저전력 반도체

■ 산업개요

- ICT 기술이 flexible, wearable 기반으로 발전해가면서, 사용시간을 연장하기위한 초저전력 반도체 제품 시장이 확대되어 가고있음
- 이에 따라, 반도체기술이 미세화에 의한 제조비용감소, 성능개선 패러다임에서 성능을 어느정도 유지하면서 소모전력을 저감하기위한 방향으로 발전해가고 있음

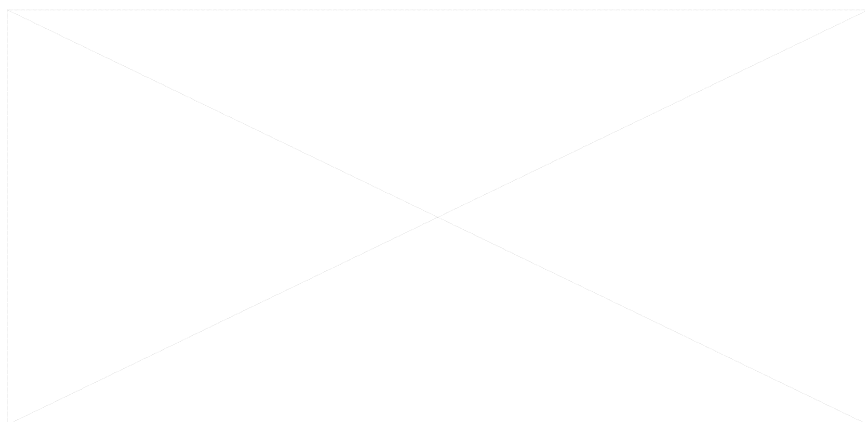


그림 2.1 배터리에 기반 한 전자기기의 사용 예시

■ 시장동향

- 사물인터넷(IoT) 시장을 대비해 반도체 제조사간 최소 전력의 마이크로컨트롤러(MCU) 개발 경쟁이 치열함. 소형기기에서는 높은 성능보다 낮은 소비전력이 더 요구되는데다 MCU를 장착하는 새로운 기기가 폭발적으로 늘어날 것으로 전망되기 때문임.
- 시장조사업체 IC인사이트는 지난해 세계 MCU 시장이 6% 늘어난 161억달러로 사상 최대 규모로 성장할 것으로 전망. 연평균 4.6% 성장해 오는 2018년 191억달러 시장 형성이 전망됨.



그림 2.2 마이크로컨트롤러(MCU) 개발 역사와 예측

■ 국내 관련 산업동향

- 국내 TI코리아는 동작전력 95mA, 대기전력 850nA 소모에 그치는 저전력 32비트 MCU출시. 아날로그디지털컨버터(ADC)를 포함해 전력 효율성과 성능을 더 개선했음.
- MCU 시장 강자인 ST마이크로일렉트로닉스(스위스)도 초저전력 MCU 기술과 제품 개발에 속도를 내고 있으며, MCU 내외부 메모리가 대기 상태 없이 작동할 수 있는 독자 기술로 유효전력 100 μ A/MHz를 구현했음. (정지·대기 모드, 소비 전류가 30nA에 불과한 쉼다운 모드를 제공).
- 초저전력 반도체 업체인 퀵로직(미국)은 한국 지역에 지사를 설립. 아시아 지역에서 모바일 기기의 폭발적인 성장을 고려할 때, 한국은 매우 중요한 전략적 요지라는 판단임.
 - 퀵로직은 모바일 기기용 초저전력 센서 허브 솔루션 플랫폼을 출시. 이 플랫폼은 소비 전력을 시스템 전력의 약 1% 수준으로 절감하여 센서 관리와 퓨전 기능을 통합하고 애플리케이션 프로세서 통신을 최적화하며 상시 상황 인식을 지원함.
 - 현 세대 스마트폰에서는 일반적으로 마이크로컨트롤러/마이크로프로세서에서 실행되는 소프트웨어 또는 고정 기능 ASSP(특정 용도 표준 제품)를 사용하여 센서 퓨전 기능을 구현함. 하지만, 마이크로컨트롤러 또는 마이크로프로세서 기반 솔루션은 배터리 수명에 미치는 영향을 1% 미만으로 유지할 만큼 저전력으로 작동하지 않기 때문에 비용, 크기, 무게에 있어서 상당히 불리함.
 - 퀵로직은 프런트 엔드 센서 관리를 위한 마이크로 코드형 상태 기계와 실시간 센

서 데이터 처리를 위한 초저전력 CISC(복잡 명령 집합 컴퓨터) 기반 ALU(산술 논리 연산 장치), 재프로그래밍이 가능한 내장형 논리를 결합한 새로운 개념의 센서 허브 아키텍처를 개발했음. 센서 데이터를 실시간으로 관리하고 연산하는 데 따른 스마트폰 애플리케이션 프로세서의 작업 부하를 해소함으로써, 모바일 기기의 차세대 센서 활용 사례, 즉 상시 상황 인식 기능을 지원할 수 있는 수준의 소비 전력을 실현함. OEM과 써드 파티 소프트웨어 개발자들은 걸음 수 집계 및 기타 건강/운동 모니터링, 보행자 항법 장치/실내 네비게이션, 소비자 행동 분석, 타겟 광고, 실시간 스포츠 데이터 수집, 증강 현실 등 상시 상황 인식 기능을 필요로 하는 무수한 응용 사례를 실현 가능해짐.

- 향후 스마트폰 시장은 MEMS 분야에서 가장 크고 빠르게 성장하는 시장이 될 것이라는 전망 하에, 2016년이면 모든 스마트폰과 태블릿에 가속도계, 자기계, 자이로스코프와 같은 내부 MEMS 센서가 탑재될 것으로 예측됨. 이러한 센서와 배터리 소모를 최소화하면서 상시 상황 인식이 센서 허브 기술에 결합된다면 새로운 서드 파티 애플리케이션이 개발 가능함.
- 미국 아이와트가 자사 제품 중 가장 빠른 대기 전력 모드 회복 성능의 2개의 파워 어댑터 칩셋을 포함한 펄스폭 변조 (PWM) 컨트롤러 제품 라인업을 확대했다. 이 칩셋들은 각각 최대 12와트 출력 전력에서 10mW 이하의 초저대기 전력과 24W의 출력 전력에서 20mW 이하의 대기 전력을 달성. 차세대 미디어 태블릿과 스마트폰의 유니버설 AC/DC 어댑터 및 충전기뿐 아니라, 플러그인 상태에서 대기 전력 모드로 남아있는 소비가전 기기와 홈네트워킹 기기에게 적용가능함.
- 미국 엔비디아는 CES 2015에서 발표한 '테그라X1'의 후속 모델을 선보일 것으로 전망됨. 테그라 X1은 256코어 맥스웰 그래픽칩(GPU)와 64비트(bit) 옥타코어 CPU가 합쳐진 것으로 1초당 1조회의 연산이 가능한 프로세서임. 엔비디아는 이 칩을 자율주행차용으로 내놓았음.
 - 엔비디아는 독자적인 자율주행차 기술도 개발중임. 구글(미국)의 자율주행차는 라이다(LIDAR·레이저를 발사해 주변 지형이나 장애물과의 거리를 측정하는 장비)를 이용해 주변 상황을 판단하고 운행함. 반면, 엔비디아의 자율주행차 기술은 라이다 장비 없이 차량에 부착된 12대의 인공지능 카메라가 촬영한 영상을 분석해 차를 운전함. 즉, 실시간으로 들어오는 영상을 종합하고 분석해야 하는 만큼 고성능 프로세서가 필수적임.
- 웨어러블 등 디지털 헬스기기에 들어가야 하는 칩 또한 크기가 작으면서 전력 소모는 적어야 함. 더불어, 심장 박동수 등을 정확하게 측정할 수 있도록 정교해야 함. 최근, 초저전력 반도체 전문업체인 퀵로직은 심박수 측정, 숙면 감지등에 이용할 수 있는 제품을 전시함.

2.1.2. 초절전 Microprocessor

■ 산업개요

- 세계 ICT 환경은 90년대 PC, 2000년대 스마트폰 기반의 모바일 환경에서 IoT, wearable 등으로 변화하고 있으며, 산업 전반에 막대한 영향을 미칠 것으로 예상됨.
- IoT 시대의 반도체는 극단적인 저전력 소모를 요구되고 있음. 기존 CMOS 반도체의

경우 지속적인 미세화에 의해 기하급수적으로 전력밀도가 증가되고 있음.

- 이러한 환경 변화에 의해 반도체의 패러다임이 성능 일변도에서 저전력으로 변화하고 있음.

■ 시장동향

- 시장조사기관 가트너(Gartner)는 2015년 전 세계 반도체 시장이 전년대비 4.0% 증가한 3,540억 달러에 이를 것으로 전망함.



< Source : Gartner (2015. 5) >

그림 2.3 반도체 시장 전망

- 2015년 성장 기여도 측면에서 스마트폰용 반도체의 기여율이 81.1%로 높게 나타남. 이는 지난 20년간 PC 시장이 견인했던 반도체 시장이 축소되고 저전력이 요구되는 스마트폰용 반도체 시장의 성장이 주도되고 있음을 의미함.



< Source : Gartner (2015. 5) >

그림 2.4 전자 기기별 반도체 시장 동향

■ 산업동향

- 영국 ARM Holdings사에서는 만들어서 출시되는 CPU 아키텍처 시리즈인 ARM 프로세서는 Intel 사의 x86 시리즈에 비해 더 낮은 성능을 보이고 있지만, 소비 전력이 낮은 장점이 있어 전력소모가 중요한 태블릿 PC나 스마트 폰의 AP로 ARM 아키텍처가 많이 사용되고 있음. ARM Holdings사는 팹리스 업체임으로 퀄컴, 삼성전자, 애플, NVIDIA 등 많은 업체에서 이 아키텍처를 이용하여 제품을 생산하고 있음.
- Intel사는 스마트폰, 태블릿 PC 등의 AP로 아톰이라는 프로세서 모델을 생산하여 저전력 프로세서를 개발하고 있음.

2.1.3. 초절전 센서구동칩

■ 산업개요

- ICT 기술이 발달함에 따라 저전력, 초소형 센서노드를 설치하여 무인으로 정보를 얻을 수 있는 시스템 도입이 점차 확대되는 추세임
- 이를 위해 온도, 습도, 가스 등 다양한 환경 정보를 획득할 수 있는 센서 뿐만 아니라, 초소형 저전력 복합환경센서 ROIC (Read-Out IC)의 중요성이 증가됨.

■ 시장동향

- 세계 센서 시장은 2014년 795억 달러에서 2019년 1,161억 달러로 연평균 7.9%의 성장률을 보이며 성장할 전망이다.

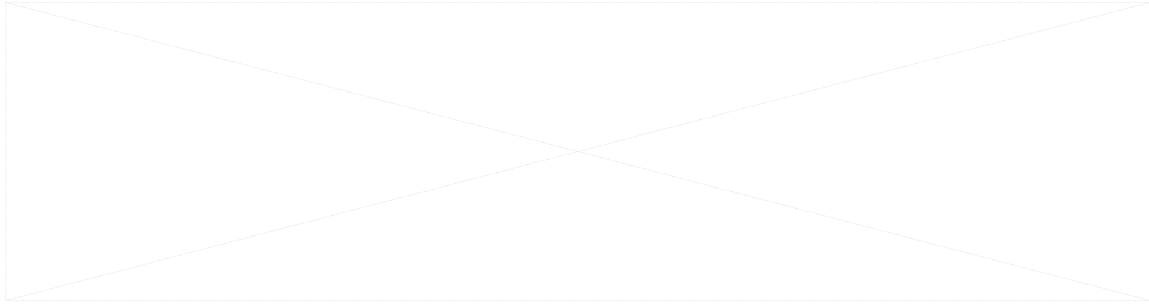
표 2.2 세계 센서 시장 동향



<source : BCC Research>

- 국내 시장은 산업통상자원부의 보도에 따르면, 2012년 약 54억 달러 규모에서 2020년 99억 달러 규모로 연평균 10.4% 성장할 것으로 전망됨.

표 2.3 국내 반도체 시장 전망



<Source : 지식경제부(2012)>

- 국내 수요기업은 국내 제품의 신뢰성, 첨단 센서의 성능 등의 문제로 센서 수요를 해외에서 주로 조달함.

■ 산업동향

- 세계 센서 산업은 IT 융합의 진전으로 센서 사용이 급증하고 센서의 첨단화 추세에 따라 시장이 급성장 하고 있으나, 국내 산업의 경쟁력은 매우 취약한 상태임.
- 국내 기업은 첨단 센서에 대한 기술력 부족과 일반 센서의 가격경쟁력 취약으로 인해 미국, 독일, 일본 등 선진기술 보유국과 가격경쟁력을 앞세운 중국의 중간에 위치한 샌드위치 상태임
- 센서 기술은 미국, 독일 등 일부 선진국을 중심으로 디지털 센서 단계를 지나 스마트 센서에 대한 연구가 활발하게 진행되고 있으며, 첨단 센서의 경쟁력을 타산업분야의 경쟁력의 핵심으로 인식하여 집중 지원하고 있음.

2.2 초절전 ICT 연구 개발 동향

2.2.1 Silicon 기반 소자연구

■ 실리콘 기반 반도체소자 기술개발 현황

- 1960년대에 처음으로 실리콘 (Si) 및 실리콘 산화막 (SiO_2)을 기반으로 하는 MOSFET (Metal Oxide Semiconductor Field-Effect-Transistor, 이하 소자)이 개발된 이래로, 반도체 칩 성능 (Performance) 향상을 위해 소자 크기를 줄이고 반도체 칩 단위 면적당 들어가는 소자의 개수를 증가 시키는 방향으로 연구가 진행됨 (칩 집적도 향상).
- 무어의 법칙 (Moore's Law)에 따라 매 2년마다 소자의 미세 선폴이 약 70% 수준으로 감소하는 지속적인 소자 스케일링 (Scaling)이 이루어졌고, 2003년도에는 처음으로 100nm 이하 수준의 90nm급 트랜지스터가 상용화됨.
- 2012년에는 Intel에 의해 2차원 평면 구조의 트랜지스터에서 벗어난 3차원 구조의 22nm FinFET이 등장하였고, 이후로도 소자의 스케일링은 지속적으로 이루어져 14nm를 넘어 현재는 10nm 미만의 트랜지스터 상용화 연구까지 진행 중임.



그림 2.5. 트랜지스터 혁신 개발 동향 (source: Intel)

■ 실리콘 기반 반도체소자의 문제점: “발열문제”

- 소자의 스케일링은 꾸준히 이루어져 반도체 칩 (Chip) 하나에 들어가는 소자의 개수는 지속적으로 증가한 반면, 소자를 구동시키는데 드는 구동전압 (Power supply voltage, V_{DD})의 스케일링은 Boltzmann limit이라고 불리는 물리적 한계 때문에 소자의 사이즈에 비례하여 적절하게 줄어들지 못함.
- 결과적으로, 구동전압 스케일링 한계로 반도체 칩의 소모전력 ($P \propto V_{DD}^2$)은 지수함수적으로 증가하게 되어 적절하지 못한 대안이 없으면 발열량은 핵원자로 (Nuclear Reactor)에서 발생하는 수준까지 예상됨.
- 2020년도에는 칩 하나에 들어가는 소자의 개수가 약 500억 개까지 증가할 것으로 추정되고 있으며, 앞으로의 발열문제는 더욱 심각해질 것으로 예상됨.
- 세계 반도체 기술개발의 로드맵을 제공하는 ITRS 또한 2015년 발표 자료에서

“Energy Crisis on Chip”이라는 표현을 사용할 정도로 발열 문제를 심각하게 고려하고 있으며, switching energy를 감소시키는 것을 차세대 반도체 소자의 핵심 기술 목표로 잡음.



그림 2.6. CMOS 기술이 직면한 발열문제의 실태 (Source: Bernard S. Meyerson (IBM)) (왼쪽)와 IoT 시대의 반도체소자 개수 추이에상도 (Source: Connect Blue 사 내부기술보고서 2014) (오른쪽)

2.2.2 초저전력 미래반도체 소자 연구

■ 기술 환경 분석

- 해외 경쟁국들은 2013년부터, 미세화 기술의 한계를 극복하기 위한 대안 기술에 대한 논의 확대하여, 종래의 고성능 중심 기술에서 저전력 기술 제품으로 시장주도 기술이 바뀌어가고 있음
 - IBM, LETI등에서 신소재 기반 신소자 기술, Cool cube등 신기술 제시
- 특히 미국과 유럽에서 연구의 필요성에 대해 활발히 논의되고 있으나, 실제 소자를 연구하는 과제는 아직 프로그램 제안 단계임. 과제요청서를 기준으로 판단한다면, 구체적인 전략이나 로드맵을 확보하지는 못한 상태인 것으로 판단됨

표 2.4. 미국과 유럽의 초절전 기술 관련 프로그램

국 가	연구프로그램	연구내용	비고
미 국	E2CDA (Energy efficient computing for devices and architectures) 연 48억/ 3년	- 초절전 신소자 기술과 아키텍처에 대한 과제 수행 예정 (현재 제안서 접수중) - 아직 구체적인 전략이 있는 것이 아니라 기술탐색을 주목적으로 함	2016년 하반기 시작 예정
유 럽	ICT-31: nanoelectronics and	- 3차원 집적기술, 뉴로모픽 아키텍처 등 전력절감형 기술공모	2017년 1월 시작

	microelectronics 연 50억/ 5년	- 상용화 전망에 대한 계획 부재	예정
--	-------------------------------	--------------------	----

- IoT의 경우 단위소자의 연구 이외에 TSV/M3D 등 소자 융합과 저전력을 위한 연구를 동시에 진행하고 있으며, 초저전력 시스템 구현을 위해 연산 아키텍처/회로/소자/소재에 대한 초대형 연구사업 시작됨
 - Qualcomm-LETI(프)-SMIC(중)-북경대 등 공동개발 진행
 - 뉴로모픽의 경우 미, EU, 일본을 합쳐 2조원 정도가 투자되고 있음
- 반면 국내 민간부분의 연구는 아직 DRAM/Flash memory 등 메모리 소자의 미세화와 미세화 관점에서의 대체 소자 (STT MRAM, RRAM)로 집중되어 있음
- 또한 국내의 저전력 융합 소자, IoT 등 초연결 사회에 대비한 기반 연구는 매우 부족함
 - 뉴로모픽 소자기술은 미래융합파이오니어 사업에서 일부 진행 중
- ICT 초연결 사회를 위한 scaling 접근방식이 아닌 flexibility를 갖는 다양한 제품군이 부재하며 또한 이를 구현할 소자, 재료, 공정 및 후방기술 미비한 실정임
- 국내 팹리스 기업은 연구개발 분야 투자가 미약하여 팹리스 기업이 2011년 연구개발에 투자한 비용은 48억 원으로 매출액 대비 0.32%에 불과함
 - 지속적인 연구개발로 신기술과 신제품을 확보해야 기업이 경쟁력을 갖출 수 있는 구조임에도 불구하고 기업 대부분의 규모가 영세하여 연구개발이 적극적으로 이루어지지 못하고 있음
- 또한 중소기업의 제품 수준이 글로벌 기준에 미달되어 대기업과의 협력관계를 형성할 기반이 약함`

■ ITRS Emerging Research Devices (ERD)



그림 2.7. 차세대 유망 반도체 소자 연구분야 모식도 (Source: ITRS 2015)

- ITRS 2015에서는 차세대 소자 연구(Emerging Research Devices) 방향을 위의 같이 분류하고 있으며, 특히 초절전 반도체 로직 소자(Emerging Logic Devices) 연구와

관련해서는 크게 다음의 두 방향을 잡음.

- 1) 기존 CMOS 스케일링 기술을 확장한 **“CMOS Extension”** 기술
 - 고성능 모빌리티 채널 물질 활용을 통한 on current 향상
(e.g., III-V, Ge, Graphene, Carbon Nanotube(CNT))
 - 게이트의 효율적 채널 컨트롤성을 확보하기 위한 비평면형(non-planar) 소자 구조
(e.g., FinFET, Gate-all-around FET(GAAFET) 등)
 - 2) 새로운 동작 메커니즘을 활용한 **“Beyond CMOS”** 기술
 - 전하 기반 (e.g., TFET, NCFET, NEMS, Mott-FET 등)
 - 비전하 기반 (e.g., SpinFET, Nano-magnetlogic(NML), Spin wave logic)
- 위의 두 기술은 전하/비전하 기반(Charge/Non-charge-based) 축과 기존/신 구조/물질(Conventional/Novel Structure/materials) 축으로 나눌 때 아래의 표와 같이 정리됨.



그림 2.8. 차세대 로직 소자 구분 도식표 (Source: ITRS 2015)

- 이 중에서도, 초절전 반도체소자 개발을 목적으로 물리적 한계치인 60 mV/decade 이하의 SS를 갖는 “Steep-switching 소자”가 주목받고 있으며, 이는 소자의 on ↔ off를 빠르게 함으로써 구동전압(V_{DD})을 줄여 최종적으로 소모전력($P \propto V_{DD}^2$)에 의한 열 발생량을 줄이게 됨.
- Steep한 on/off 동작을 보이는 소자들에는 Tunnel FET (TFET), Negative Capacitance FET (NCFET), Nano-Electro-Mechanical Switch (NEMS) 등이 있으며, 전 세계적으로 학계 및 산업계에서 크게 주목받고 있음.
- Steep-switching 메커니즘을 활용한 초절전 반도체 로직 소자 개발
 - Tunnel FET (TFET)

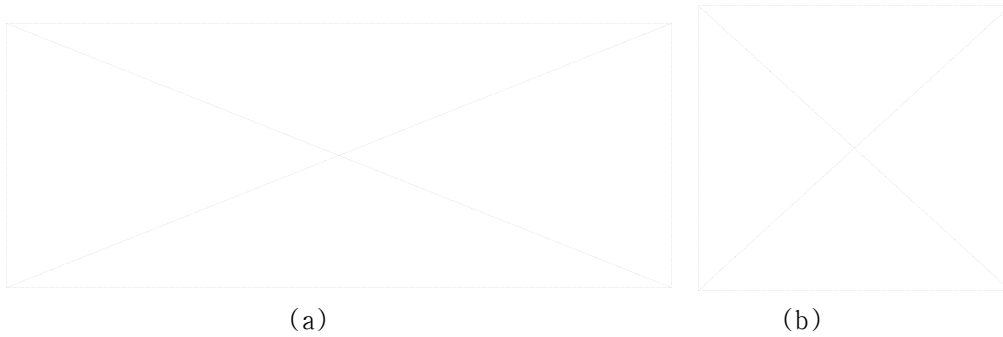


그림 2.9. (a) 터널링 메커니즘 모식도, (b) Tunnel FET 동작원리

- Classical electrodynamics에서는 electron이 자신의 energy보다 높은 energy barrier를 만나게 되면 통과하지 못하지만, quantum영역에서 electron의 움직임을 wave로 설명하게 되면 일정 확률을 가지고 energy barrier를 통과할 수 있음.
- 이러한 band-to-band tunneling 현상을 적용하여 subthreshold slope(SS)를 향상 시키고자 하는 반도체 소자가 Tunnel FET (TFET)임.
- TFET은 1978년 J. J. Quinn에 의해 (Surface Science, 1978), channel에서의 tunneling을 위한 p-i-n 구조가 연구된 이후로 Tunnel FET에 대한 연구가 지속적으로 이루어지고 있음.

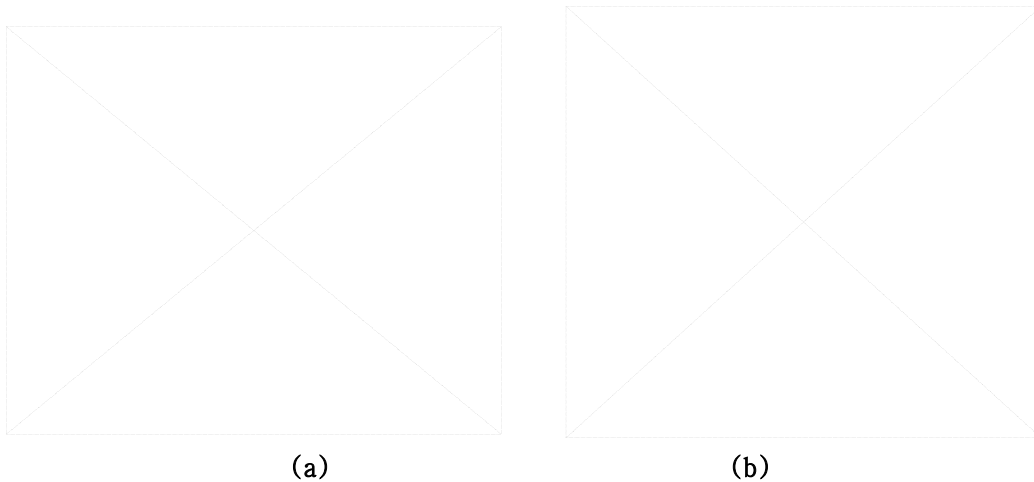


그림 2.10. (a) Silicon-based TFET [3], (b) Ge-source TFET [4]

- 그림 9(a)와 그림 9(b)는 각각 2010년, 2009년 VLSI 학회에 UC Berkeley 연구 그룹이 발표한 TFET 실험결과로, p-i-n의 구조를 이용한 tunnel FET의 steep switching 특성이 실험적으로 증명됨.
- 하지만, TFET의 낮은 on-current 때문에 많은 연구자들이 on-current를 증가시키기 위한 방법으로 tunneling 역영에서의 band-gap modulation에 관해 연구하였고, 이를 위해 Ge나 III-V 반도체 재료들을 사용한 heterostructure TFET들에 대한 연구가 증가하는 추세임.

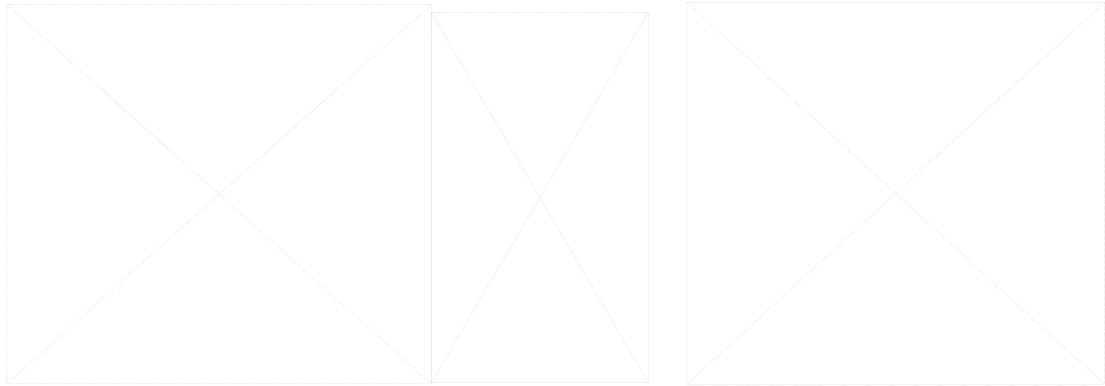


그림 2.11. Vertical III-V족 TFET

- TFET의 p-i-n 구조 때문에 발생하는 소자의 비대칭성도 integration에 있어서 대칭적 구조를 가지는 기존의 CMOS 소자와 비교하였을 때, 큰 기술적 문제점으로 고려되는 사항임.
- 이에 소자의 성능뿐만 아니라 위에서 언급한 면적문제를 해결하기 위해 vertical 형태의 TFET들이 연구되고 있음.
- TFET은 차세대 반도체 소자로서 지속적인 관심과 연구가 이루어지고 있지만, 많은 실험결과에서 low drive current, low on/off current ratio, 비대칭성, 그리고 실험 재현의 어려움 등이 문제점으로 고려되고 있음.



그림 2.12. P-channel(왼쪽), N-channel(오른쪽) TFET의 연구 동향 그래프

○ Negative Capacitance FET (NCFET)

- 일반적으로 capacitance (C)는 dQ/dV 로서 정의됨. 아래그림처럼 전압(V)에 따른 전하(Q)의 변화량이 음의 기울기를 가질 경우 negative capacitance (NC)를 의미

함.

- 일반적인 dielectric material (SiO_2 , HfO_2 등)을 이용한 capacitor는 전압 (V)에 따른 전하 (Q)의 변화량이 항상 양의 값이기 때문에 positive capacitance만을 가질 수 있는 반면, ferroelectric material (PZT, BTO, HZO 등)은 위상이 변화하는 과정에서 dQ/dV 가 음의 값을 가질 수 있기 때문에 negative capacitance 값을 가질 수 있음.
- 따라서, ferroelectric capacitance의 negative capacitance 성분이 MOSFET의 gate stack에 포함되면 gate stack에서 voltage amplification을 구현할 수 있어서 인가전압 (V_G)보다 큰 surface potential을 구현할 수 있음.
 - $m\text{-factor} < 1$ 값을 구현 할 수 있고 이는 $SS < 60 \text{ mV/decade}$ 를 의미함.
- 이는 $\partial V_G / \partial (\log_{10} I_D)$ 항을 수정하여 steep switching을 구현하던 TFET이나 IMOS와는 다른 동작 mechanism을 가짐.



그림 2.13. Positive capacitance(왼쪽) vs. Negative capacitance(오른쪽)

- 2008년 UC Berkely의 S. Salahuddin 교수에 의해 저전력 반도체 소자로서의 negative capacitance FET (NCFET)이 처음으로 제안됨.
- 2010년 로잔 연방 공과대학교 (Swiss Federal Institute of Technology in Lausanne, EPFL) 에서 처음으로 negative capacitance FET을 제작함 → $SS < 60 \text{ mV/dec}$ 의 특성 구현.



그림 2.14. 주요 Negative Capacitance FET 연구동향

- 이후, $\text{Pb}(\text{Zr}_{0.2}\text{Ti}_{0.8})\text{O}_3$, $(\text{Ba}_{0.8}\text{Sr}_{0.2})\text{TiO}_3$, BaTiO_3 , $\text{P}(\text{VDF}_{0.75}-\text{TrFE}_{0.25})$ 등의 ferroelectric 물질에서 negative capacitance 현상이 실험적으로 확인됨.
- 2013년 Intel의 $\text{Al}_{0.83}\text{In}_{0.17}\text{N}/\text{AlN}/\text{GaN}$ 구조를 이용한 NCFET이 International Electron Devices Meeting (IEDM2013)에 발표되었음.
- 특히, 2015년에는 UC Berkeley 그룹에 의해 ferroelectric capacitor의 negative capacitance 성분에 대한 direct measurement 결과가 발표됨으로써 NCFET이 다시 주목받게 되었고, 같은 해 서울시립대에서 측정된 negative capacitance를 이용한 steep switching CMOS 반도체소자를 실험적으로 검증함.



그림 2.15. 주요 Negative Capacitance FET 연구동향 [7]

- 더욱이, 최근 학계(NTNU) 및 산업계(TSMC)에서 HfZrO ferroelectricity의 negative capacitance 성분에 관한 연구가 진행되면서 기존 CMOS device와의 호환 가능성에 많은 관심을 받고 있음.

○ Nano-electro-mechanical Switch (NEMS)

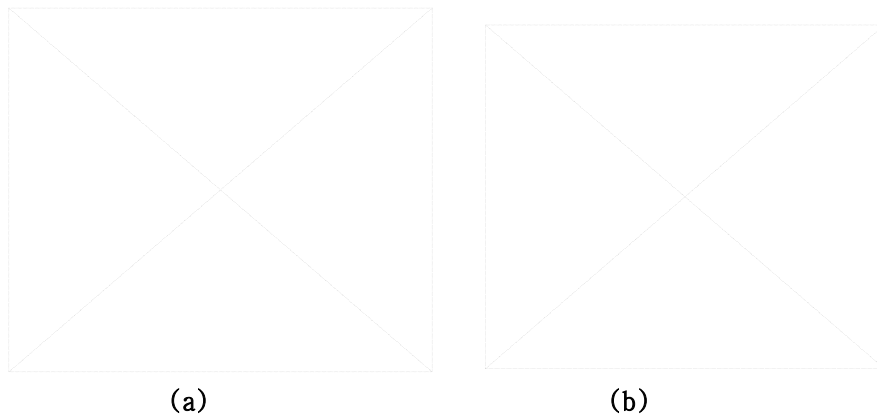


그림 2.16. (a) Four-terminal NEMS, (b) On-/Off-state 동작표사

- NEMS는 nano-electro-mechanical switch의 약자로, 인가전압에 따라 채널 전극이 소스와 드레인을 연결하거나 분리하는 기계적인 동작을 통해 on/off-state를 구분하는 반도체 소자임.
- Off 상태에서는 누설 전류가 전혀 없기 때문에 (Zero off-current) 이상적으로는

대기전력 소모가 전혀 없음 (Zero standby power consumption).

- 또한 on과 off 상태간의 전환이 입력 전압이 인가됨에 따라 급격하게 이루어지기 때문에, 이상적인 NEMS 소자의 경우 SS를 0 mV/decade 까지 낮출 수 있고 이로 인해 매우 낮은 구동전압의 구현이 가능함.

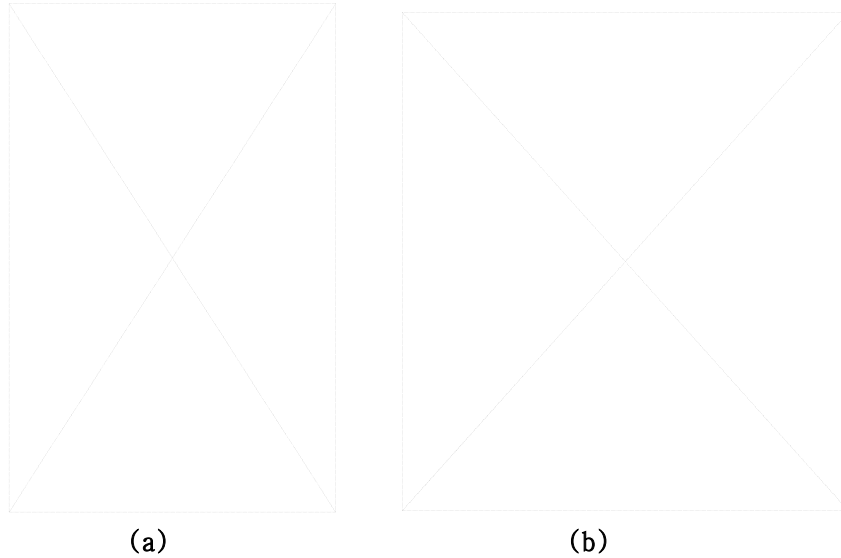


그림 2.17. (a) 파이프 클립 구조의 NEMS, (b) NEMS의 sub-1V 동작특성

- NEMS는 유망한 차세대 저전력 소자로써, UC Berkeley, MIT, Stanford와 같은 연구그룹에서 연구가 진행되었으며, 2-, 3-, 4-terminals을 가지는 다양한 NEMS들이 등장하였으며 SiGe, TiN, W, CNT 등 다양한 재료를 통하여 NEMS의 동작 및 성능을 향상시키는 연구들이 이루어지고 있음.
- 해외뿐만 아니라 국내 연구그룹 (KAIST)에서도 Sub-1V 이하의 구동전압을 구현 [Nature Nano. 2013, J-O. Lee]하는 등 뛰어난 연구 성과를 보이고 있음.
- NEMS에 관한 연구는 다른 저전력 소자들에 비해 연구가 많이 진전되었으며, 현재 간단한 논리회로가 실험적으로 구현되었음.
- 하지만 여전히 많은 실험결과들에서 높은 구동전압 (high pull-in voltage), hysteresis 특성, 뿐만 아니라 나노 스케일에서 off-state tunneling 현상, 동작에 따른 성능열화 등이 기술적 어려움으로 남아 있음

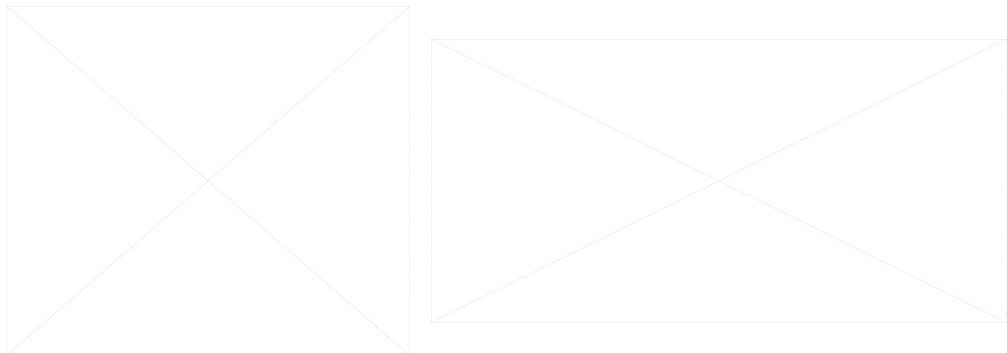


그림 2.18. CMOS + NEMS hybrid 회로

- 그럼에도 불구하고 NEMS의 좋은 SS특성, very low leakage current 등의 특성 때문에 기존의 CMOS와 함께 사용하기 위한 back-end-of-line (BEOL) NEMS, NEMS + CMOS hybrid circuit등의 응용연구들이 이루어지고 있음.



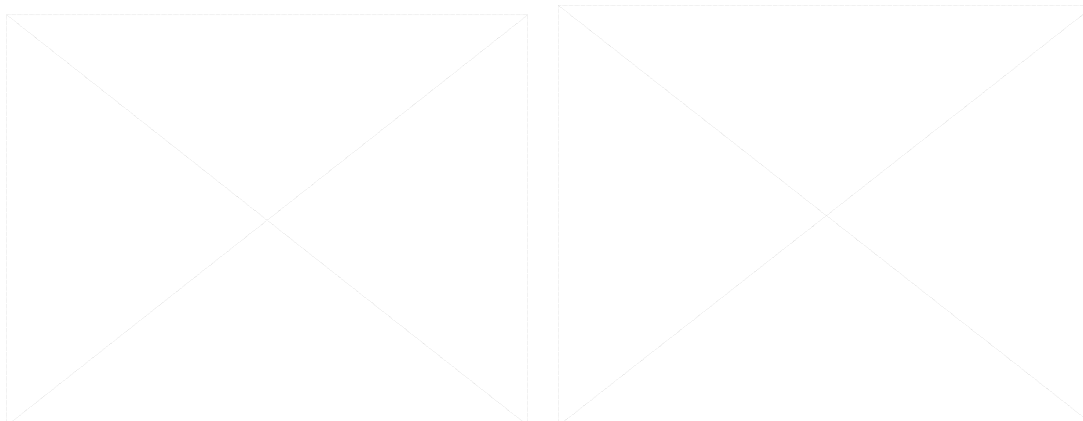
그림 2.19. 주요 Nano-electro-mechanical Switch (NEMS) 연구동향

2.3 초절전 ICT 분야 특허동향

표 2.5. 분석대상 기술분류

대분류	중분류	소분류
미래 반도체 나노소자	초저전압소자	tunnel FET
		their circuit application
	Monolithic 3D	디바이스 본딩
		아키텍처 설계
		저온집적 공정
	자기재구성 소자	자기재구성 소자기술
	다치로직 (Multi-valued logic)	Logic
		Device
		Circuit
	로직-인-메모리	로직-인-메모리
	광배선소자	III-V bonding on Si
		III-V Ge on Si
		III-V growth on Si
	뉴로모픽 소자	뉴로모픽 메모리
		뉴로모픽 소자
		뉴로모픽 회로설계
		뉴런 네트워크 소프트웨어

1. 초저전압소자 관련 기술 전체동향



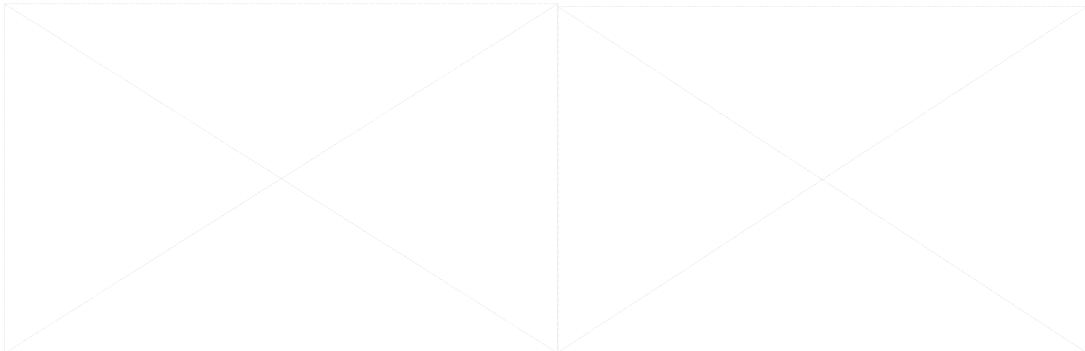
- 초저전압소자 circuit application 기술분야에 대한 키워드를 중심으로 특허분포도를 작성한 결과 'Layer Region Channel', 'Switch Capacitor Output' 및 'Output Input signal' 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있음
- 초저전압소자 tunnel FET 기술분야에 대한 키워드를 중심으로 특허분포도를 작성한 결과 'Server Network Request', 'Float gate Voltage', 'Concerner Grille Comprendre' 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있음

2. Monolithic 3D device 관련 기술 전체동향

- 디바이스 본딩 분야에 대한 특허분포도를 작성한 결과 'Material Intermediate substrate Intermediate', 'Wafer Semiconductor wafer Handle', 'Heat Electronic Thermal' 등이 기존의 디바이스 본딩 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 새로운 기술이 지속적으로 개발되고 있음을 유추할 수 있음



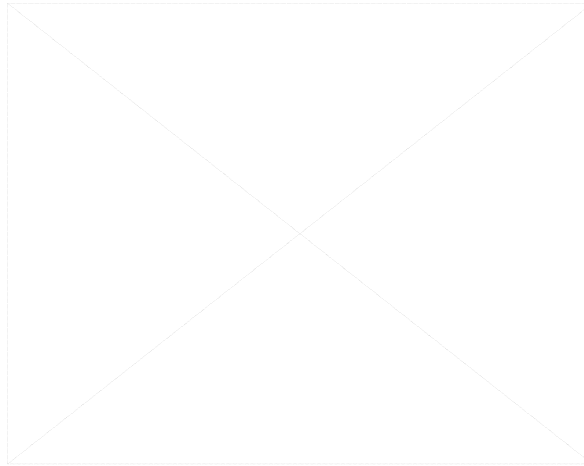
- 저온집적공정 분야에 대한 특허분포도를 작성한 결과 'Silicon film Amorphous Crystallization', 'Gate Electrode Drain', 'Epitaxial Epitaxial layer Manufacture', 'Temperature Couche Procédé' 등이 기존의 저온집적공정 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 기술이 지속적으로 개발되고 있음을 유추할 수 있음



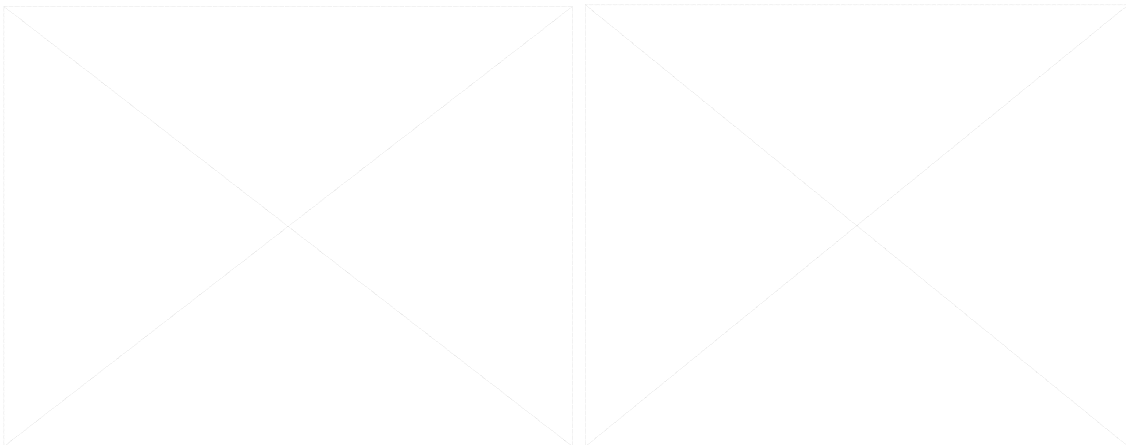
- 아키텍처 설계 분야에 대한 특허분포도를 작성한 결과 'Material Semiconductor Remove', 'Plurality of device level Dimensional', 'Optical Light Light source', 'Conductance Elestrical conductance Level of electrical conductance' 등이 기존의 아키텍처 설계 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 기술이 지속적으로 개발되고 있음을 유추할 수 있음

3. 자기재구성 소자 관련 기술 전체동향

- Reconfigurable 소자 기술 분야에 대한 특허분포도를 작성한 결과 'Implement Energy Ion', 'Plurality of heterogeneous computational element Heterogeneous computational element configuration information' 등이 기존의 가변장치 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 새로운 기술이 지속적으로 개발되고 있음을 유추할 수 있음



4. 다치로직 (Multi-valued logic) 관련 기술 전체동향



- Circult 분야에 대한 특허분포도를 작성한 결과 'Image Image Data Pixel', 'Phase Clock Generate', 'Contain Glass Electrodeposition' 등이 기존의 Circult 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 새로운 기술이 지속적으로 개발되고 있음을 유추할 수 있음
- Device 분야에 대한 특허분포도를 작성한 결과 'Network Packet Receive', 'Cam Match Addressable', 'Signal Receive Output', 'Layer Emit Light' 등이 기존의 Device 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서

이에 대한 기술이 지속적으로 개발되고 있음을 유추할 수 있음

- Logic 분야에 대한 특허분포도를 작성한 결과 'Image Image Data Input', 'Cell Memory Cell Store', 'Signal Output Receive' 등이 기존의 Logic 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 기술이 지속적으로 개발되고 있음을 유추할 수 있음

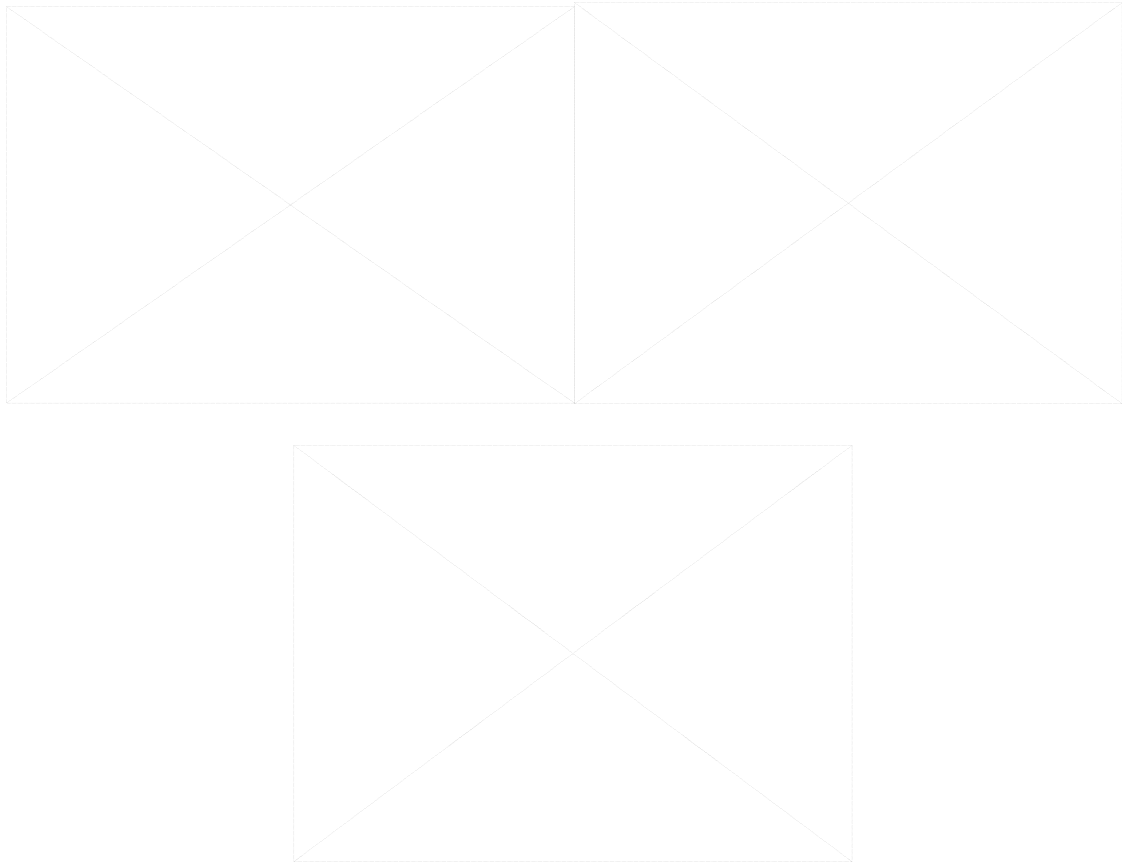
5. 로직-인-메모리 관련 기술 전체동향



- 로직-인-메모리 기술분야에 대한 특허분포도를 작성한 결과 'Controller Memory module', 'Nonvolatile programmable logic circuit' 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있음
- 2007년 이후 출원된 특허를 나타내는 빨간 점은 기존의 봉우리에서 벗어난 지점에 분포되고 있는 것으로 보아 최근에는 새로운 로직메모리의 특허가 출원되고 있다는 것을 확인할 수 있었음

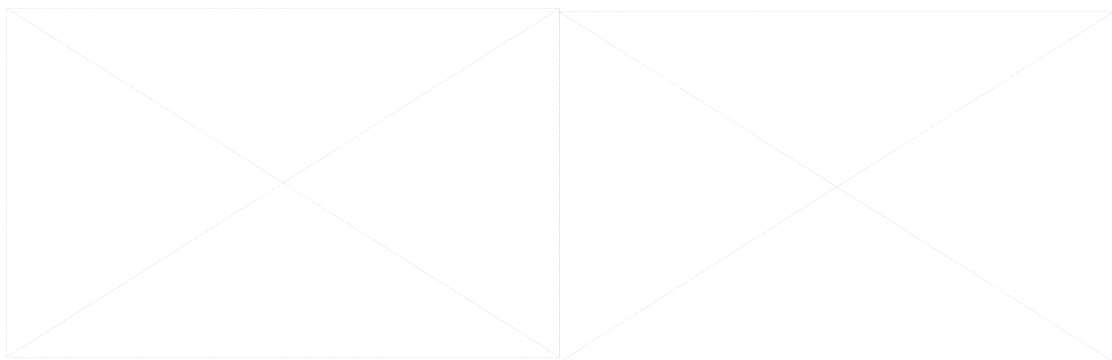
6. 광배선소자 기술 전체동향

- 광배선광원 기술 중 III-V bonding on Si 분야에 대한 특허분포도를 작성한 결과 , 'Polymer Structure Bond', 'Groove V-shaped, Signal Interconnection Transmit' 등은 기존의 III-V bonding on Si 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있음
- 'Gate Switch Output' 기술에 대한 특허 등록은 아직 초기 단계로 여겨짐
- 광배선광원 기술 중 III-V growth on Si 분야에 대한 특허분포도를 작성한 결과 , 'Composit semiconductor structure', 'Pattern Radiation Surface', 'Signal Output Amplify' 기술 등은 높은 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있음
- 'Logic device comprise microstructure-doped nanocavity laser', 'Negative effect', 'Active material Operable Aspect' 에 대한 특허 등록은 아직 초기단계로 여겨짐



7. 뉴로모픽 소자 관련 기술 전체동향

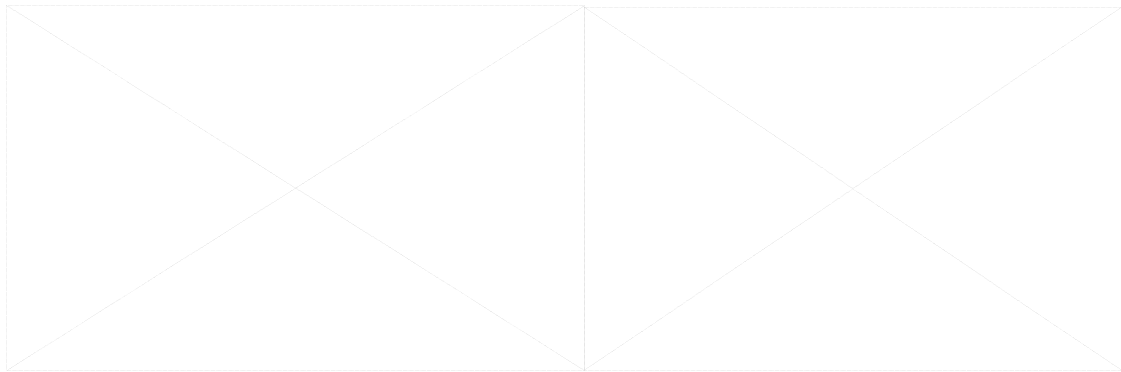
- 뉴런네트워크 소프트웨어 분야에 대한 특허분포도를 작성한 결과 'Reseau Neuronal Neurone', 'Neuronal Reseau Procede', 'Stimulation Electrode Electrical', 'Cell Culture Stem Cell' 등이 기존의 뉴런네트워크 소프트웨어 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 새로운 기술이 지속적으로 개발되고 있음을 유추할 수 있음



- 뉴로모픽 메모리 분야에 대한 특허분포도를 작성한 결과 'Memoire Ligne Cellule', 'Memoire Storage Donnee', 'Material Phase Change Material Layer', 'Resistance

Varriable Datal' 등이 기존의 뉴로모픽 메모리 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 기술이 지속적으로 개발되고 있음을 유추할 수 있음

- 뉴로모픽 소자 분야에 대한 특허분포도를 작성한 결과 'Input Output Neural', 'Circuit Output Signal', 'Neural Neural Network Relate', 'Parameter Sequence Example' 등이 기존의 뉴로모픽 소자 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 검은 점도 집중적으로 분포하고 있어서 이에 대한 기술이 지속적으로 개발되고 있음을 유추할 수 있음



- 뉴로모픽 회로설계 분야에 대한 특허분포도를 작성한 결과 'Pulse Electric Stimulation', 'Present Invention Injury Therapeutic' 등이 기존의 뉴로모픽 회로설계 분야에 대한 특허가 가장 많이 출원되어 솟아오르는 봉우리에 위치하여 과거 연구가 활발히 이루어짐을 알 수 있으며, 특히 'Pulse Electric Stimulation' 분야에 빨간 점도 분포하고 있어서 이에 대한 새로운 기술이 개발되고 있음을 유추할 수 있음
- 'Parameter Neural Network Function' 분야는 봉우리가 높지 않음에도 빨간 점이 나타나는 것으로 보아, 이 분야에 최신 특허가 등록되고 있음을 확인함

■ 특허분석결과 요약

- 초저전력 미래반도체 기술은 기존의 산업영역을 뛰어넘어 타 산업으로의 응용가능성이 무궁무진한 분야로 판단되며, 각종 자료에서 언급된 바와 같이 향후 10년 안에 수 배이상 시장이 확대될 것으로 전망됨
- 기술별 특허의 추이와 주요 핵심 key player의 동향을 시장별로 세분화하여 특허활동 현황을 분석함으로써, 날로 경쟁이 가속화되는 반도체산업에서 주요 위치를 선점하기 위한 전략이 필요함
- 초저전력 미래반도체 소자 원천기술의 만료시점은 아직 많이 남아 있으며, 구조적 구현기술 및 관련 소재기술에 대한 특허활동량은 국가별로 차이는 있으나 전반적으로 확대되고 있는 추세인것으로 확인됨
- 초저전력 미래반도체 기술 분야의 경우 국내 특허 출원량이 해외 출원량에 비해 현저히 낮은 것으로 판단되어 국가 경쟁력을 갖추기 위해서는 집중적인 연구 지원이 필요할 것으로 보여짐

2.4 해외 주요국 반도체 분야 R&D 정책 동향

2.4.1 세계 반도체분야 연구 동향

- 에너지 한계 문제를 극복할 수 있는 초저전력 미래반도체 개발 경쟁이 세계적으로 본격화되고 있으나, 아직 획기적인 기술발전의 계기를 마련하지 못한 상태임
 - IBM은 2025년 이후, 미세화 기반 반도체기술의 종말과 7nm노드 기술 이후 post CMOS 기술 시대의 도래를 예측하고, 기존 반도체 기술의 패러다임을 획기적으로 전환, 미세화 없이 낮은 전압에서 동작하는 초저전력, 고성능 연산 기술 개발을 선언 (2014.07)
 - 이로써 7nm이후 물리적 스케일링의 한계를 극복하면서도, 차세대 ICT 기술 (스마트폰, 스마트 워치, 접는 노트북, 웨어러블 기기, 임플랜터블 기기 등)에 적용 가능한 신개념 반도체 소자 원천기술을 선점하기 위한 본격 경쟁이 시작됨
 - 이에 경쟁국들은 2016년부터 본격적인 정부주도형 투자를 시작하고 있지만, 국내 기존 반도체 기업들은 아직 미세화 기술 경쟁의 가속화와 R&D 투자비용의 급증으로 인해 초저전력 소자에 대한 중장기연구 투자여력이 부족한 상황임.
 - R&D 비용 절감 방안이었던 컨소시엄 형태의 공동연구방식 퇴조 (반도체 주생산국 간의 기술장벽강화, 2015년 SEMATECH* 폐쇄 등)
 - 미국: 2015년 대통령 행정지시 (National Strategic Computing Initiative) 이후, Nanotechnology-Inspired Grand Challenge for Future Computing에 대한 수요조사 실시(Oct.24, 2015), 2016년 NSF에서 Energy efficient computing 과제 추진예정 (50억/년)
 - EU: 2016년 ICT31 program을 통해, 초저전력 소자 및 시스템 과제공모 진행 중, 2017년 과제 개시 (65억/년)
- * SEMATECH: 삼성, Intel 등 반도체기업들이 공동으로 자금을 출연, 기초연구를 수행하는 기관, 1983년 설립, 2015년 뉴욕주소재 CNSE에 합병.

■ 미국, 유럽의 반도체 제조 기업 퇴조에 따라, 반도체 기술개발 구심점 상실/ R&D 비용 증가

- Qualcomm의 팹리스 모델이 성공함에 따라 IBM, TI, Freescale등의 다수의 소자제조기업이 팹리스방식을 채택하고, 자체 R&D 투자를 포기 또는 대폭축소하게 됨
- 스케일링 기반의 단일화된 기술전망이 가능했던 시기에, 매우 강력한 구심점 역할을 했던 ITRS, SEMATECH, IMEC등 국제공동연구기관들의 선도적 역할 퇴조로 R&D 투자 효율성도 급격히 나빠지고 있음, (화합물반도체, 450mm, EUV 등 신기술 도입 지연)
- 최근 논문발표 추세를 분석하면, 차세대 기술개발의 구심점이 유럽의 IMEC, LETI등으로 일부 옮겨가고 있으나, 사물 인터넷 시대의 도래, 반도체 기술의 초저전력화에 따른 패러다임 전환 등 전면적인 기술환경 변화에 대응하기에는 매우 미흡한 상태로 현재 반도체 산업의 미래기술을 선도하는 주체가 없는 상태임.

■ 국가별 주요 연구동향 분석

- 미국, EU, 유럽의 대형연구과제는 중기과제 (5-10년내 상용화단계 진입) 비중이 가장

- 높았으나, 한국은 나노전자기술에 대한 지원규모가 절대적으로 부족했을 뿐 아니라, 장기 과제(10-15년내 상용화단계 진입)의 비중이 높은 특이한 점이 발견됨
- 중국은 전세계에 퍼져있는 화교인력을 기반으로 중국내의 연구역량을 급속히 발전시켜나가고 있으며, 이 추세는 **반도체 분야에서의 국제공동연구 파트너로 한국이 아니라 대만, 중국이 선호되고 있는 결과**로 나타나고 있음

표 2.6. 반도체 산업보유국가들의 주요 반도체 연구프로그램 투자현황

국가	상용연구시기			총 연구 금액 (억)
	5년 이내	5-15년 이내	15 년 이후	
미국	843 (5%)	13,916 (75%)	3,796 (20%)	18,555
EU	614 (2%)	30,497 (85%)	5,022 (13%)	36,133
일본	656 (4%)	12,818 (88%)	1,058 (8%)	14,532
한국	205 (20%)	380 (38%)	427 (42%)	1,012

- 반면 우리나라에서 표 2.6. 에 정리된 바와 같이 중기과제대비 (38%) 대비 장기 나노분야 기술과제(42%)에 대한 지원 비중이 높았는데, 이것은 전자소자 분야에서 대기업의 역할이 강조되면서, **학술적인 가치가 다소 적지만, 상용화가능성이 있는 나노전자 기술에 대한 지원이 매우 제한적이었기 때문인** 것으로 분석됨
- 이 추세가 지속된다면, 우리나라의 기간산업인 반도체, 디스플레이 등 전자산업이 경쟁력을 상실하게 되고, 중국에 추월당하게 되는 것은 시간문제이며, 민간기업들의 투자는 단기 연구에 치중되어, 연구인력 양성, 인프라구축, 국제공동연구참여등을 지원하기에는 적절하지 않음
- 이 상황은 학술적 가치만을 중시한 편중된 국책연구 지원, 민간기업의 근시안적인 기술개발 전략과 기술수입에 의존하여, 국내 연구생태계를 파괴한 결과임.
- 향후, 정부와 민간기업이 적극 협력하여 집중적인 노력을 통해 국내연구자들의 수준을 제고하고, 중장기연구를 통한 선행기술연구 토대를 구축하는 한편, 국제 공동연구를 통해 우리나라에 유리한 방향으로 미래기술을 선도해가지 않는다면, 선진국의 지적재산권 보호추세와 중국의 제조기술 발전에 대응할 방법이 없음
- 아래 표 2.7. 에 주요 국가들의 연구동향 분석결과를 요약했으며, 특히 초저전력 반도체 소자 관련 주요 연구프로그램에 투자되고 있는 연구비 총액을 상용화개발 개시시점별로 구분하여 정리했음

표 2.7. 주요국가별 연구동향 요약

분석 국가	연구동향	중기연구 과제(억)	장기연구 과제(억)
미국	- FCRP, DARPA, NRI 등 많은 대형 중장기 연구과제를 운영하고 있음. - 전세계 반도체 산업의 과반이상을 차지하고 있으나, 상당부분이 외부수탁제조에 의한 매출임. 제조산업의 퇴조로 학계의 연구 방향이 실용적인	5,646 (64%)	2,152 (24%)

	측면보다는 논문위주의 연구로 편향되고 있는 추세임. 기존 산업영역을 지키기보다는 신기술을 통한 신산업분야를 선도하는 데 중점을 둠 (아날로그 반도체, 전력반도체등)		
유럽	- 다국적 협력등을 통해 IMEC, LETI등 선도적 연구기관을 육성하고, 활발한 활동을 하고 있음. - 제조산업의 부진으로 이런 노력이 산업적 성과로 이어지지 않고 있다는 단점이 있음.	30,592 (85%)	5,022 (13%)
일본	- AIST, SELETE, First등 대형 과제를 통해 미래 반도체 기술개발에 장기 투자해왔음 - 국제협력에 대해 폐쇄적이며, 이로 인해 유기적인 산학연계체계를 갖추고 있음에도 불구하고, 신기술을 사업화한 성과는 미흡하여 최근 기술경쟁에서 약세를 보이고 있음 (금속전극/고유전막 gate stack, finFET등).	12,818 (88%)	1,058 (8%)
중국	SMIC의 설립시 해외기술인력이 대거 유입되었으나, 최근까지 기술경쟁에서 크게 뒤처지고 있었던 상황임. 그러나, TSMC가 대주주이고, Qualcomm과의 기술연합으로 28nm기술로 스케일링이 아닌 독자기술 노선을 주창하는 등, 패러다임 전환기술 도입에 적극적이어서, 앞으로 주목해봐야할 상황임.	자료없음	자료없음
한국	- 강력한 제조산업을 가지고 있음에도 불구하고, 메모리 편향 연구와 산/학간 기술격차 심화로 국내 연구기반이 극히 부실화된 상태임. - 최근 진입한 로직반도체 관련 기술인력은 경쟁국대비 극히 미미한 수준이어서, 실질적인 기술경쟁이 어려운 상황임. - 로직반도체 분야 진출을 위해, 국내 기업들은 IBM alliance, IMEC, SEMATECH등의 해외 기술도입선에 의존해왔으나, 스케일링 이후의 패러다임 전환기술 도입에 대해서는 마땅한 대책이 없는 상황임 - 기초분야에 지속적인 투자를 통해 우수한 나노연구인력들이 다수 육성되었으나, 개별/소단위 연구중심, 논문위주의 연구에 집중한 결과, 초연결사회, 반도체 기술 패러다임 전환과 같은 비상한 상황에 대처할 수 있는 유효원천기술에 대한 연구는 부족함. - 유럽형의 글로벌 오픈이노베이션 체계 도입, 우수한 나노분야 연구인력의 나노소자 분야 연구참여 유도, 미래 기술경쟁력을 확보하기위한 시스템 구축 등 특단의 대책이 필요함.	380 (38%)	427 (42%)

2.4.2 주요 국가별 연구동향 (미국, 일본, EU, 중국)

■ 미국

1) 시스템반도체 산업 동향 및 경쟁력 강화 방안 (출처: 2013.04. ETRI)

- 미국은 전통적인 시스템반도체 강국으로 그 지위를 유지하고 지속적으로 성장하기 위해 Intel, AMD, IBM, Freescale 등 60여 기업과 정부가 참여하여 공동으로 반도체 제조기술 연구조합 (컨소시엄)인 세마테크(SEMATECH)를 통해 협력연구를 하고, 세계적으로 유명한 알바니 나노테크센터(Albany Nanotech)는 고성능 반도체 개발을 목적으로 SEMATECH, HP, IBM 등이 참여하여 연간 14억 달러 규모의 연구 개발을 추진함. 또한 대학의 연구 프로젝트 지원을 위한 SRC를 통해 시스템반도체 연구와 인력양성을 추진하는 등 시스템반도체 산업의 지속적인 성장과 중흥을 이루고 있음.

2) 반도체 기술 개발 현황 및 동향 (출처: 2013.08.26. 한국산업기술진흥원)



그림 2.21. 미국 SRC의 차세대 반도체 기술 연구를 위한 연구 센터 및 협력 관계도

- 미국은 반도체 기술 개발을 위해 학교와 산업체 간의 긴밀한 관계를 유지하고, SRC (Semiconductor Research Corporation)를 구성하여 차세대 반도체 기술 연구를 위한 연구 센터를 지원하고 있음.
- 미국은 메모리반도체 기술 개발을 위해 NSF 사업으로 연간 18.2 million 달러를 투자하여 인텔, IBM, TI, AMD, Freescale, Micron 과 대학을 연계하여 차세대메모리 원천기술을 개발 중임. 2015년 Intel/Micron의 cross-point memory 및 2016년 IBM의 새로운 PRAM 메모리 소자 연구 결과는 침체된 미국 메모리 반도체 기술의 회복의 전조로 앞으로 한국 메모리 반도체 산업에 상당한 위협이 될 것으로 예상됨.



그림 2.22. SRC 연구 기금으로 바탕으로 한 INDEX 센터의 차세대 반도체 연구 주제

3) 차세대 반도체 기술 정책 및 규제 동향 (출처: 2014.07.11. 미래부)

- DARPA (Defense Advance Research Project Agency; 미국 첨단군사방위계획국)를 통한 민간의 ICT(Information and Communication Technology) 프로젝트 지원
- VLSI (초대규모집적회로) 메모리 개발과 제조기술 개발을 목표로 R&D 공공연구기관인 SEMATECH (Semiconductor manufacturing Technology Consortium)을 운영
 - ※ 초기 예산은 2억 달러 규모(정부와 참여업체에서 50% 씩 출자)였으며, 현재 연간 예산은 2.5억 달러 규모이며, 연방정부가 1억, 참가한 민간 기업이 1억, 주·시 정부와 NSF 등이 5천만 달러를 출자
- 중장기적으로 산업이 필요한 기초연구를 정부와 민간이 투자하여 대학이 연구하게 하는 SRC (Semiconductor Research Corporation) 시스템 운영
 - ※ 현재 세계 218개 대학에서 5,500명의 학생 및 1,244명의 교수 참여

4) 차세대 반도체 기술 연구 프로그램

- DARPA, Intel, Qualcomm, TI등 미국정부와 민간기업이 공동출자하여 Science research corporation (SRC) 에 연 550억정도를 공동출자하여, SRC의 자회사를 설립한 후, 차세대 반도체 기술 및 시스템 기술을 연구하는 6개 센터 운영예정 (Joint university microelectronics program, 2018년 1월 시작)
- SRC는 독립적으로 energy efficient computing: devices and architectures

(E2CDA) 프로그램 시작 (2017년 연구개시, 연 100억 투자, 5개의 센터 선정완료)

■ 일본

1) 시스템반도체 산업 동향 및 경쟁력 강화 방안 (출처: 2013.04. ETRI)

- 경제 위기 이후 시스템 반도체 분야에 대한 투자가 다소 저조한 실정이나, 여러 반도체 기업과 정부 기관들이 참여해 자금 및 인력을 결집하고 시너지 효과를 극대화했다는 것이 특징임.
- 후지쯔, 히타치, 마쓰시타, NEC, Toshiba 등 11개의 반도체 기업이 참여하는 ASUKA 프로젝트는 2006년에서 2011년까지 약 7.7억 달러를 투입하여 SoC 설계 기술 및 프로세서를 공동연구로 추진하였고, 2000년 초에는 Mirai 프로젝트를 통하여 절연 재료 및 반도체 신소재의 연구개발과 실용화 기술 개발을 실시하여 기초 및 소재 기술의 강국이 됨.

2) 차세대 반도체 기술 정책 및 규제 동향 (출처: 2014.07.11. 미래부)

- 최첨단 LSI 설계기술을 개발하기 위하여 반도체 연구개발 공동인프라 ASUKA (Advanced Semiconductor through Collaborative Achievement)를 운영
 - 반도체집적회로의 고기능화, 저전력화에 필요한 신개념 디바이스, 프로세스 기반기술 확립을 목적으로 MIRAI (Millennium Research for Advanced Information Technology) 프로젝트 추진
 - 반도체설계인력을 양성하기 위한 대규모 집적시스템설계 교육센터인 VDEC (VLSI Design and Education Center) 프로그램을 추진
- ※ 96년 5월, 정부로부터 90억 엔의 예산을 지원받은 이후 매년 약 9억 엔의 예산을 정부로부터 지원

■ 유럽

1) 시스템반도체 산업 동향 및 경쟁력 강화 방안 (출처: 2013.04. ETRI)

- 하이테크 산업의 산학 간 공동연구 목적으로 연간 3억 달러 규모의 MEDEA+ 프로그램을 통해 인피니온, ST마이크론 등의 반도체 기업과 정부가 참여하고 시스템반도체 기술 로드맵 도출과 공동개발계획을 제시하며, 참여기업이 신규 프로젝트를 자유롭게 제안하고, 미디어본부가 기업과 대학 등의 협력연구 파트너를 연계하여 시스템반도체 기술혁신을 가속화한다는 것이 특징임.

2) 차세대 반도체 기술 정책 및 규제 동향 (출처: 2014.07.11. 미래부)

- 반도체 제조 생산성 증대 및 비용과 공정 시간 단축을 목표로 유럽 차원의 공동 연구 프로젝트인 IMPROVE 추진
- ※ 전체 예산은 약 3,770만 유로이며 이 중 50%를 협력업체들이 부담하게 되고, 나머지 50%의 예산은 EU 집행위원회와 참여 국가들이 부담
- ※ 독일연방교육연구부(BMBF)는 자금지원 프로그램인 IKT 2020을 통해 350만 유로를 지원
- 나노전자(Nano-Electronics) 분야 연구를 하는 기관으로 산업과 관련된 선진기술 솔루션을 제공하는 벨기에의 IMEC(Interuniversity Microelectronics Centre)을 운

영

■ 중국

1) 시스템반도체 산업 동향 및 경쟁력 강화 방안 (출처: 2013.04. ETRI)

- 과학기술부를 통해 반도체 기술을 포함한 첨단기술 경쟁력 강화를 위해 일명 ‘863 program’을 수행하고, 시스템반도체 산업-소프트웨어 산업-세트 제조 산업을 연계한 동반성장 산업 생태계 구축, 그리고 과학기술 발전 5개년 12차 계획을 통해 반도체, 그린에너지, 통신장비 등을 핵심 분야로 선정하여 지원하고, 특히 반도체 분야의 경우 2020년까지 55조원 규모의 정부 지원과 파격적인 세제 혜택을 주는 등 막대한 투자를 진행하고 있음.
- 또한, 중국 지원정책의 특징은 공공인프라 구축, 산학연 연구 프로젝트 지원, M&A 지원, 인재양성, 외자 유치, 자금 지원 등 종합적 지원을 수행하고, 특히 시스템반도체 산업은 상하이시, 장쑤성 남부, 저장성 북부를 포함하는 장강삼각주를 중심으로 성장시키고 있으며, 중국 내수제품에 자국에서 개발하여 생산된 시스템반도체를 우선 적용하여 시스템반도체 산업과 세트 제조 산업을 동반 성장시킨다는 전략을 통해서 선진국의 강력한 경쟁국으로 부상하고 있음.

2) 차세대 반도체 기술 정책 및 규제 동향 (출처: 2014.07.11. 미래부)

- 공업정보화부 중심으로 장강삼각주를 반도체 제조/생산기지로 육성 중에 있으며 연평균 성장률 30%를 목표로 IC 산업진흥책인 ‘11.5 계획’을 추진
 - ※ 2009년 전자정보산업 조정 진흥계획의 6대 프로젝트에 IC산업 기술수준 및 생산력 향상, 12인치와 65~45nm IC 생산라인 구축을 통해 통신, 디지털미디어, 멀티미디어 산업을 촉진하는 사업이 포함
- 시스템반도체 전문 인력 양성을 목표로 하는 ZCI 프로그램 추진
 - SoC 전문 인력 양성을 목표로 Zhongguancun 투자회사와 Cadence가 공동으로 설립
 - 학부 및 대학원 수준의 교육과정을 개발하고 SoC 설계 교육을 통해 매년 1,000명 이상의 설계 전문 인력 양성

■ 대만

1) 시스템반도체 산업 동향 및 경쟁력 강화 방안 (출처: 2013.04. ETRI)

- National Applied Research Laboratories (NARL)를 통해 국가 과학기술 발전 선도와 고급 기술 인력 양성 목적으로 연간 1,880억 원 규모의 투자, 시스템반도체 설계를 위한 연구와 서비스 지원 목적으로 National Chip Implementation Center (CIC) 운영, Si-Soft Project를 통해 핵심 IP를 개발하고 IP gateway, IP mall 등을 구축하고 다국적 반도체 기업까지 유치하여 세계적인 SoC 디자인센터를 구축하였고, 자금, 설계 인프라, 유망 기술, 시스템 및 파운드리 연계, 세제 혜택 등 지속적이고 종합적인 지원정책을 시행하여, 그 결과로 **미국에 이은 세계 2위의 시스템반도체 강국으로 성장**

2) 차세대 반도체 기술 정책 및 규제 동향 (출처: 2014.07.11. 미래부)

- 정부출연연구소인 ITRI(Industrial Technology Research Institute)를 통해 기술 개발을 추진하고, 초기에 민간이 감당하기 어려운 자본 유치 및 인력양성 등을 수행
 - 신주 과학단지, 남부과학단지(STSP) 등, R&D, 제품 생산, 인력양성을 위한 교육인프라가 결합된 과학 산업단지 개발을 통해 반도체산업 거점인 Science Park을 개발
 - 반도체 육성 프로그램 추진(NSoC: National Science and technology Program for SoC)
 - 2005년부터 2012년까지 단계별로 4년간 2단계 추진
 - 대만을 세계적인 반도체 디자인, 서비스 센터로 구축하기 위한 프로그램
 - 인력양성, 혁신 제품개발, 혁신 플랫폼 개발, 혁신 IP 개발, 신산업 기술 개발 프로그램 수행
 - 다수의 Design park를 설립
 - Si-Soft프로그램으로 파운드리 산업과 연계될 수 있는 SoC 핵심 설계기술 및 인재양성을 위해 연간 6,000만 달러를 지원
 - 시스템반도체 분야의 인력양성 및 연구센터로 CIC(National Chip Implementation Center)운영
- ※ 정부가 지원하고 113명의 연구원이 근무하고 있으며, 연 예산은 120억 원 정도

■ 종합



그림 2.23. 주요국의 시스템반도체 산업 지원정책 (출처: 2013 ETRI)

3. 국내 R&D 역량분석

3.1 초절전 미래반도체 분야 R&D 현황

3.1.1 반도체 R&D 현황

■ 반도체 분야 국가 R&D 현황



그림 3.1. 산업통상자원부의 반도체 산업 지원 정책
(※ 출처 : 산업통상자원부 (홈페이지, 보도자료 등) ; Deloitte Analysis)

- 반도체 산업 재도약 전략 발표 (산업통상자원부, 2013년 10월 23일): 한국형 모바일 CPU코어 개발 (모바일 CPU코어에 대한 로열티 규모 : ('08) 1,800억원대 → ('12) 3,500억원대 (업계추정))
- 수입의존형 SoC 국산화 추진: 수입 규모가 크고 국내 기술개발 가능성이 높은 주요 SoC의 국산화를 제고를 위해 팹리스-수요기업 간 공동개발과제 (가칭 'K-chip' 프로젝트) 추진:
 - 14년 이후 매년 3~5개 품목에 대한 연구개발 지속 추진('14년 115억원)

표 3.1. SOC 개발계획

품목	세계시장 규모	수입액	선도기업	국내 팹리스 점유율(%)	수입의존 이유	적용분야
RFIC	62억불	16억불	skyworks, RF Micro Device	0	상용화기술 부족	모바일
DTV 멀티미디어칩	24억불	16억불	MediaTek	0	가격경쟁력 부족	DTV
이미지센서	112억불	10억불	소니, 도시바	10%	상용화기술 부족	자동차 모바일
가전용 MCU	23억불	9.0억불	르네사스, 도시바	5%	가격경쟁력 부족	가전

- 450mm 장비개발 지원: Intel, TSMC, IBM 등 5개 기업 중심으로 추진중인 450mm전용 장비 선행개발 국제공동 프로그램에 참가했으나, 기술개발지원으로 시장진입 지연
- 미래 반도체 핵심기술 개발: 정부와 기업이 투자자로, 대학·연구소는 연구개발자로 참여, 상용화시기 5년이내의 기술중심 개발
 - '13년(50억원) → '14년(80억원) → '15~'17년(100억원 이상)

■ 초저전력 미래반도체 분야 정부 R&D 투자현황

- 초절전 ICT분야는 단기 개발연구에 편중된 ICT R&D 투자로 핵심 원천기술 확보에 한계가 있어 매년 해외 연구진과의 기술격차가 크게 벌어지고 있음
- 기초분야에 지속적인 투자를 통해 우수한 나노연구인력들이 다수 육성되었으나, 개별/소단위 연구중심, 논문위주의 연구에 집중한 결과, 초연결사회, 반도체 기술 패러다임 전환과 같은 비상한 상황에 대처할 수 있는 유효원천기술에 대한 연구는 부족함

표 3.2. 2012년 주요 기술 분야별 정부 R&D 투자액 현황

(단위 : 백만원, %)

항목 \ 부처	미래부	산업부	교육부	기타	계
실리콘 기반 7nm급 공정기술	7,040 (87.7)	845 (10.5)	139 (1.8)	—	8,024 (100.0)
양자컴퓨팅	1,902 (82.3)	—	336 (17.7)	—	1,902 (100.0)
뇌신경모방 컴퓨팅	3,443 (86.8)	—	522 (13.2)	—	3,966 (100.0)
실리콘 포토닉스	11,352 (95.1)	—	579 (4.8)	5 (0.1)	11,936 (100.0)
화합물반도체 융합소자	1,358 (69.5)	475 (24.3)	121 (6.2)	—	1,954 (100.0)
탄소나노튜브 전자소자	5,479 (71.9)	1,220 (16.0)	901 (11.8)	22 (0.3)	7,622 (100.0)
그래핀	36,348 (70.7)	5,836 (11.3)	7,331 (14.2)	1,918 (3.8)	51,433 (100.0)
차세대 저전력 트랜지스터	1,399 (100.0)	—	—	—	1,399 (100.0)
계	68,321 (77.1)	8,376 (9.5)	9,929 (11.2)	1,945 (2.2)	88,571 (100.0)

■ 국내외 초저전력 미래반도체 연구 프로그램의 특징 비교

- 국외에선 현재 competitive한 반도체 소자에 대한 연구보다는 중장기 연구의 새로운 소자에 대한 연구로 패러다임 변화를 통한 새로운 시장 형성과 선점에 대한 연구 진행

- 국내 반도체 소자 (특히, 초전력 반도체 소자) 연구 프로그램의 정부 지원은 미비하고 특히 새로운 패러다임 change를 가져올 기술에 대한 연구 지원 부족한 실정임

	국내	국외 (미국, EU, 일본)
연구 기간	5년 이하의 단기 연구	5년 이상의 중장기 연구 기간
연구 형태	개별 및 소그룹 형태의 연구	거점 Center 기반의 집단 연구
연구 주제	Near Term 연구 주제 및 단기 문제 해결 연구 과제, 중장기 연구 주제의 비경쟁 창의 연구 주제 전무	Competitive Near Term 제품 적용 기술의 지양, 중장기 적용 가능 연구 기술
기대 효과	단기성 문제 해결, 국내 학계 반도체 연구진 최소 유지 가능	반도체 패러다임 변화 기술 선점, IP 확보, 반도체 관련 시장 형성
지원 기관	국가 지원 연구 빈약, 산업체 지원 개별 산학 연구	국가 및 민간의 대형 반도체 프로그램 지원
기타	IBS (Graphene, 나노소자), 글로벌 프론티어 (Graphene, Si 기반 7nm 공정 기술) 등 대형 연구 지원 프로그램이 있으나 미래 나노반도체 소자 관련 프로그램 부재	현재 반도체 시장 기술에 대한 연구 보다는 차후 패러다임 변화 가능한 반도체 기술 연구와 새롭게 시장을 형성하고 이를 선점할 연구 프로그램 주류

3.1.2 SWOT 분석

Strength	Weakness
■ 우수한 기존 반도체 사업 기술력 및 인력 보유 - 메모리 반도체 소자 분야 기술력 및 생산력 세계 1위, 세계 시장 점유율 1위 - 우수한 반도체 생산 시설 및 인적 기반을 확보 중 - DTV, 스마트폰, 자동차와 같은 시스템 반도체 소자 관련 산업 발달 - 대기업형 공정 및 장비/엔지니어링 기술 보유 ■ 국내에서는 메모리 반도체 분야에 편중된 국내 메모리 시장의 고른 성장을 위해, 정부 주도로 민간단체와 협력하여 시스템 반도체 소자 및 장비산업육성을 중심으로 한 다양한 정책적 지원을 진행해오고 있음	■ 메모리 반도체 분야에 편중된 연구 과제 多 ■ 경쟁국들의 연구 프로그램과 달리 중장기 연구 프로그램의 지원이 부족. 특히 3차원 집적 분야 (3D Integration)에 대한 연구 전무함. - 미국 : 중장기 연구, 대규모 거점 센터 연구, 다양한 미래 후보 기술에 대한 병렬형 지원 프로그램, 국가 연구 프로그램의 다양성 및 협력화 - 유럽 : 10년간 장기간 연구 & Billion euro 단위의 대형 과제 - 일본 : 반도체 회사들의 퇴조에도 불구하고 다양한 분야에서 장기 연구 진행 ■ 국내 반도체 연구 지원 프로그램은 다양한 정부 지원 프로그램이 있으나 미국, 유럽, 일본과 달리 대형 Center 위주의 연구 사업이 부족 ■ 국내 프로그램은 3년 또는 5년 단기 과제로 개인 과제로 진행되어 주요 기술분야를 유기적으로 구성할 수 없음 ■ 반도체 분야는 몇몇 민간업체에 의한 연구 분야로 인식되어 상대적으로 정부 지원 프로그램이 부족한 상태
Opportunity	Threat
■ 다양한 반도체 소자에 대한 국내 수요 및	■ 국내 반도체 산업의 한계 및 부정적인 인

관심 증가 - 시스템 반도체 소자 국내 수요 증가 및 정부와 기업의 시스템 반도체 소자 육성 의지 - 정보 처리량의 급증과 IT기기 수요 급증으로 인한 모바일 중심의 저전력 소자 수요 확대 - Storage class memory 의 새로운 시장 형성 (초고집적, NVM, 3-D) ■ 반도체 공정/장비 및 소재·부품 - 국내 수요가 전세계 수요의 20 %. - 기술적 난이도 증가로 신흥국과의 격차를 유지하며 발전할 수 있는 산업에 대해 아직 기술적 주도권을 잡고 있음. ■ 국내 기술 및 연구 프로그램의 진행과 동일했던 일본의 선례 - 현재 국내 기술 및 프로그램이 과거 일본의 그것과 유사하게 진행되고 있음. - 결국 국내 반도체 연구 환경이 악화되고, 1990~2000년대 일본과 비슷한 상황이 발생 가능함. - 따라서, 이러한 선례를 따르지 않기 위해, 현재 일본의 반도체 연구의 자구책과 같이 정부 지원의 차세대 반도체에 대한 연구 지원을 과감하게 진행할 필요가 있음	식 - 기존 메모리 소자 기술의 스케일링 한계 봉착 및 차세대 메모리 소자의 원천 기술 확보 미흡 - 반도체 분야의 발전 전망에 대한 인식 오류로 우수 인력의 유입 감소 - 산업 규모가 경쟁국들에 비해 작고 한정된 연구재원과 인력 ■ 학계의 관심 변화 - 미국 내 제조기업의 수가 감소함에 따라, 미국 학계의 연구가 점점 실질적인 분야에서 벗어나고 있음. - 최초의 연구가 중시되고 high citation paper에 집중하는 풍토가 형성되고 있고, 이는 한국의 문제점과 유사함 ■ 학교 RnD와 산업계간의 development의 communication이 어렵고 기술차가 더욱 커짐 ■ 중국을 비롯한 후발국에게 반도체 시장을 추격당할 우려 - 반도체 분야는 제품과 기술의 Cycle이 빠르기 때문에 지속적으로 선행기술 개발이 진행 필요
---	--

3.2. 초절전 ICT 분야 국내 R&D 역량

■ 국내 초절전 ICT분야 인력 현황

- 현재의 인력공급 상황이 지속될 경우 9대 유망산업 분야에서 2013년부터 2020년까지 매년 1만여명의 핵심인재가 부족할 것으로 예상됨
 - 특히 매년 25%이상의 시장성장이 예상되는 ICT 및 신소재나노 분야에서 매년 약 2500여명, 2020년까지 약 17000여명 가량의 전문 핵심인재 부족이 예상됨
- 국내 대학원 학위취득자 현황
 - 최근 3년간 국내 공학/자연계열 대학원 학위취득자의 총합은 석사 60,590명, 박사 16,551명으로 연평균 석사 20000여명, 박사 5500여명의 고급 인력이 꾸준히 배출되고 있음
 - 이중 반도체 관련 전공분야 학위 취득자는 석사 8,367명, 박사 2,308명으로 각각 국내 공학/자연계열 대학원 학위취득자 전체의 19.5%, 23.0%에 해당함
- 국내 반도체 관련 분야 종사자 현황
 - 2013년부터 2015년까지 반도체 관련분야 종사자 수는 133,361명에서 140,976명으로 연간 3000여명 이상 증가하고 있음
 - 꾸준한 관련 분야 투자로 인해 전체 종사자 대비 부족인력 비율은 1.91%에서 1.5%로 점차 감소하고 있으나 박사급이상 고급인력의 인력 부족이 계속하여 증가하는 추세임
 - 또한 전체 종사자 수의 60%이상을 차지하는 소자 분야에 인력공급이 편중되어 있어 상대적으로 규모가 작은 설계, 장비, 재료 등의 분야의 인력난이 심각한 수준임
- 기반 기술인 ICT 및 신소재나노 분야에서의 인재부족이 장기화되면 향후 기술개발에 악영향을 미쳐 미래의 기술경쟁력 격차가 크게 확대될 우려가 있음
- 현 핵심인재 육성체계로는 미래 유망산업 분야에 필요한 기초과학 및 범용공학의 수요를 충당하기에 역부족임



그림 3.2. 9대 유망산업의 장기 인력수급 전망

표 3.3. 연도별 대학원 반도체 관련 전공 학위취득자수

구분	2013		2014		2015	
	석사	박사	석사	박사	석사	박사
공학/자연계열	20,469	5,414	20,043	5,523	20,078	5,614
공학계열	13,856	3,163	13,701	3,171	13,477	3,332
전자공학	1,477	392	1,557	426	1,541	456
화학공학	793	182	854	200	809	188
재료공학	255	98	304	107	218	107
반도체·세라믹공학	121	22	112	19	115	18
금속공학	62	33	88	29	61	31
(반도체 관련 전공 합계)	2,708 (19.5%)	727 (23.0%)	2,915 (21.3%)	781 (24.6%)	2,744 (20.4%)	800 (24.0%)
자연계열	6,613	2,251	6,342	2,352	6,601	2,282
화학	716	226	675	236	775	249
물리·과학	459	251	406	279	441	257
(반도체 관련 전공 합계)	1,175 (17.8%)	477 (21.2%)	1,081 (17.0%)	515 (21.9%)	1,216 (13.6%)	506 (22.2%)

표 3.4. 연도별 반도체 분야 학력별 인력 현황 (괄호 안은 부족인원 수)

연도 구분	2013년	2014년	2015년
고졸	52,900 (474)	55,415 (459)	57,715 (421)
전문학사	23,125 (396)	22,889 (366)	26,281 (515)
학사	40,944 (1,254)	41,263 (1,156)	41,410 (802)
석사	12,983 (369)	14,152 (327)	12,389 (303)
박사	3,408 (55)	3,785 (62)	3,180 (67)
계	133,361 (2,549)	137,503 (2,370)	140,976 (2,108)

표 3.5. 연도별 반도체 분야 세부분야별 인력 현황 (괄호 안은 부족인원 수)

연도 구분	2013년	2014년	2015년
소자	81,333 (396)	86,869 (614)	90,540 (444)
설계	6,551 (565)	7,649 (242)	6,586 (545)
장비	12,073 (607)	12,907 (349)	16,084 (819)
재료	23,448 (679)	20,471 (708)	16,254 (37)
부품품	6,880 (206)	8,125 (428)	8,776 (230)
설비	2,837 (95)	1,482 (30)	1,963 (16)
기타	-	-	772 (18)
계	133,361 (2,549)	137,503 (2,370)	140,976 (2,108)

- 반도체 분야의 대표적인 국제학회인 VLSI 및 IEDM, SoVT 학회실적을 기준으로 하여 국내 R&D 개발 성과 및 역량분석을 하였으며, 각 분야별 분석내용은 아래와 같음

표 3.6. 세부분야별 한국의 논문수 (2011년 ~ 2015년)

세부분야	2011	2012	2013	2014	2015
공정/집적	15	8	7	11	8
소자	25	29	23	19	16
설계/시스템	12	11	16	10	17

■ 공정/집적 분야 역량

- 기존의 Metal gate/High-k/high mobility channel 관련된 비메모리 공정 및 집적에 대한 보고가 지속적으로 이루어지고 있으며, 이와 관련하여 2D material등을 응용하는 공정들이 보고되고 있음.
- 메모리 소자 집적 공정에 관련하여서는 3차원 집적에 대한 보고가 지속적으로 이루어지고 있으며, 이를 위한 신물질 집적 공정 적용에 관한 보고도 증가하는 추세로 나타나고 있음.

■ 소자분야 역량

- 2011년부터 2015년까지 IEDM에 발표된 국내 기관 발표 논문들을 살펴보면, 메모리 분야 논문이 매년 가장 큰 비중을 차지하고 있으며 특히 ReRAM, PCRAM과 같은 차세대 메모리에 대한 성능 개선 연구가 주를 이루고 있다. 그 외에도 화합물 반도체 소자, FinFET 신뢰성, TFT 소자, solarcell, 2D Material 연구, Neural/neuromorphic system에 대한 연구가 일부 발표되고 있다.
- 2011년부터 2015년까지 SoVT에 발표된 국내 기관 발표 논문들을 살펴보면, 현 산업에서 널리 사용되고 있는 DRAM 및 NAND Flash 에 대한 연구 논문이 가장 큰 비중을 차지하고 있다. 또한 차세대 메모리 소자인 Re-RAM과 STT-MRAM에 대한 연구 역시 연평균 1.1 건 이상의 논문 게재 횟수를 보이며 꾸준히 진행되고 있음을 확인할 수 있다. 반면, 로직 소자의 경우에는 FinFET 및 III-V 족 화합물 소자에 대한 내용이 일부 발표되고 있다.

■ 설계/시스템 분야 역량

- 김철우, 고려대, VLSI Symposium 2011, 인덕터 하나를 공유하는 8종류의 출력이 가능한 직류-직류 변환기를 개발함. 저전력화 및 소형화에 큰 기여를 함.
- 최주선, 삼성, VLSI Symposium 2011, 8Gb/s 데이터 전송이 가능한 수신기를 130나노 공정으로 지터에 매우 강한 회로를 개발함.
- 심재윤, 포항공대, VLSI Symposium 2011, 시그마델타 변조기를 활용한 고속 위상고정루프를 개발하여, 고해상도 고정확도 기준신호 발생기를 개발하여 고속데이터 전송의 기반을 구축함.
- 유희준, KAIST, VLSI Symposium 2015, 이미지센서에 기반한 게이즈측정기를 개발하여 로봇이나 무인자동차 등의 핵심센서와 구동알고리즘을 확보함.
- 정덕균, 서울대, VLSI Symposium 2015, 완전한 디지털화된 뱅뱅 위상고정루프를 개발함. 전자파 감쇄를 위한 핵심기술을 개발하여 무선기기들이 상호간섭이나 인체유해성 등의 우려를 덜수 있는 기술을 확보함.

- 배현민, KAIST, VLSI Symposium 2015, 100기가 전송속도를 위한 표준전송장치를 개발함. 초고속 데이터통신의 기반을 마련하여 인공지능에서 다루는 엄청난 정보의량을 감당할 핵심 기술을 확보함

4. 사업의 개념 및 목표

4.1. 사업의 개념

국가 기간산업인 반도체 산업의 미래 기술경쟁력 확보를 위해, 국내 민간기업들이 대응하지 못하고 있는 차세대 초저전력 미래반도체 원천기술을 정부주도로 개발하여, 차세대 반도체 산업의 글로벌 기술지배력을 확보하는 것을 목적으로 하는 사업으로,

- 고위험 초저전력 소자 및 집적기술을 선제적으로 개발하고, 국내 나노인프라시설에서 체계적으로 집적, 검증하여 기술이전이 가능한 수준까지 개발하는 플랫폼개발사업과
- 신소자 기반 회로 및 아키텍처 설계기술을 연구하고, CAD 인프라를 개발함으로써, 상용화수준의 중규모 집적 시스템을 개발하여 기술적 효과를 검증하는 시스템집적사업을 병렬로 진행하여, 최단기간내 상용화 수준의 기술을 개발하는 사업

■ 초저전력 미래반도체 사업의 정의

○ 초저전력 미래반도체

- 기존 반도체소자의 소모 전력을 1/1000수준으로 저감하기위해 필요한 신소자, 신 공정, 신집적기술, 신아키텍처를 포괄하는 기술
- 신소자기술: tFET등 초저전압소자, Reconfigurable 소자, 뉴로모픽 소자, Ternary logic 소자, 로직-메모리 하이브리드소자, 초저전력 광배선소자등 매우 도전적이지만, 5-15년이내에 상용화가 가능한 원천특허기술개발을 목표로 할 수 있는 기술
- 신공정, 신집적기술: Monolithic 3D 집적기술 및 신소재기술등 신소자기술을 시스템화하는 데 필요한 소재, 공정, 집적기술
- 신아키텍처기술: 새로운 소자를 기존 CMOS소자와 최대한 접목하여 새로운 성능, 특히 초저전력 시스템을 구현하는 데 필요한 단위회로 및 시스템 아키텍처 기술

○ 초저전력 미래반도체 사업단

- 본 사업은 물론 시범사업으로 시작된 소자기술 및 선행공정 플랫폼 사업내 관련 과제를 포함하여, 에너지 절감형 미래반도체 기술 관련과제들을 종합관리하며, 원천특허기술의 체계적 개발, 기술이전 또는 기술사업화등을 총괄하는 연구관리조직
- 글로벌 연구 네트워크를 통한 국제공동연구를 통해 투자효율 극대화를 추진하기위한 국내 반도체관련 대표 연구조직의 역할을 수행하는 조직

■ 사업의 성격

- 국가산업의 미래경쟁력을 제고하고 궁극적으로 국민의 삶의 질을 향상시킬 수 있는 창조혁신형 기초원천 연구개발사업
- 원천특허를 확보하여 사업 후 응용개발, 실용화 개발까지 연계가 가능한 사업
- 공공부문의 창의적인 아이디어로 도출되는 도전적 연구사업 (성공을 담보로 하지 않음)

■ 원천특허의 정의

- 관련된 기술 분야에 없어서는 안 되는 필수적인 요건을 권리로서 갖고 있는 특허로, 현재 그 유용성이 인정되며 피해갈 수 없는 길목특허로서 여러 분야에 사용될 가능성이 높아 고액의 로열티가 기대되는 특허
- 원천특허는 출원시 특허맵 분석결과 타 특허를 인용하지 않은 특허로서 다목적성, 독창성, 혁신성, 파급성, 선도성의 특징을 가짐
- 본 사업이 취득하려고 목적하는 원천특허는 핵심특허 뿐 아니라 연구가 진행됨에 따라 생산되는 응용개량특허 및 방어특허까지 포함하는 '원천특허 포트폴리오'를 의미함

■ 사업의 핵심적 특징

- 소자기술을 중심으로 소재, 공정, 집적기술은 물론 설계, 아키텍처까지 종래 순차적으로 개발되어온 기술을 CAD기술의 발전을 기반으로 병렬로 개발하는 사업구조임
 - 반도체 분야에서 신소재기술은 초기 사업단계에서 상용화까지 통상 10-15년 정도의 개발기간이 필요함.
 - 신소자기술은 10-20 년 정도의 초기연구를 거쳐서 단계적으로 적용됨 (CMOS 사례는 25년. 1960년 S.Kahng, M. Atala 등에 의해 발명된 후 25년간의 점진적 연구를 거쳐 80년중반에 bipolar소자를 대체하는 기술로 적용됨)
 - 짧은 시간내에 선도적 기술을 개발하기 위해서는 종래의 R&D 방식을 탈피하여, 혁신적이고 도전적인 기술개발 체계를 도입해야함.
- 본 사업에서는 아래와 같은 방식으로 소자기술에서 시스템설계기술까지의 개발기간을 최대한 단축함으로써, 경쟁국대비 압도적인 기술 경쟁력을 확보하고, 선진국대비 열세인 설계기술분야의 도약적발전을 달성하고자 함
 - 소자기술의 개발, 검증기간동안 이상적인 소자모델을 적용한 설계 및 아키텍처 연구를 병행하고, 점진적으로 이상적인 모델을 현실적인 모델로 바뀌어나가면서 시스템 설계 기술의 완성도를 제고함
 - 국가 나노인프라시설을 적극적으로 활용, 국내 학계의 소자 및 공정 연구수준을 획기적으로 제고함. 이를 위해 사업단과 나노인프라 기관간의 밀접한 협력체계를 구축함
 - 소자,공정등 플랫폼 기술개발 부문의 개발리스크를 줄이고 투자효율을 높이기위해 해외 유사 연구프로그램과의 적극적 네트워크를 구성하고, 나아가 글로벌 컨소시움을 구성하여 민간자본을 유치할 수 있는 수준까지 발전시킴
 - CAD 기반기술의 해외의존을 탈피하고, 자체 설계 시스템을 개발, 설계 IP를 확보함으로써, 반도체 산업의 고질적인 문제점인 설계 기술 경쟁력을 제고함.
 - 소자에서 시스템설계까지의 개발과정을 단일사업단으로 총괄관리함으로써 개별사업에서 발생할 수 있는 협력부재, 융합기술 부재등의 문제점을 극복함

4.2 비전 및 목표

4.2.1. 비전과 목표

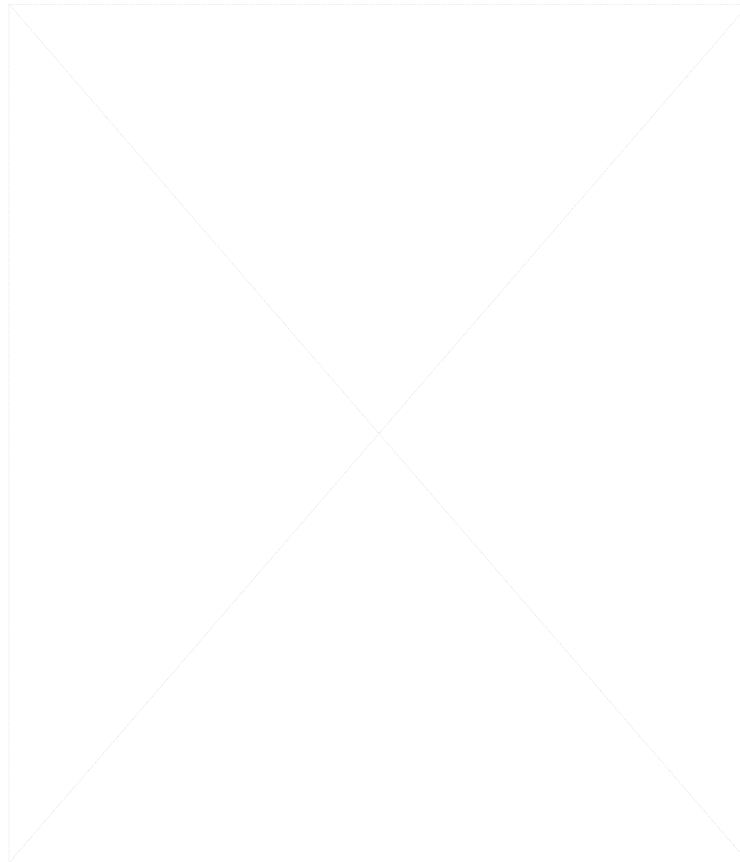


그림 4.1. 사업의 비전과 목표

4.2.2 사업 추진 목표

■ 핵심 사업 목표

- 2022년까지 현재의 경쟁기술대비 에너지 소비가 1/1000 이하인 우수한 초저전력 미래반도체 기술을 확보하고, 반도체 산업과 융합, 상용화 가능한 수준까지 기술 검증 한 후, 2022-2027년에는 민간기업 투자를 중심으로 기술선도형 제품 확보
- 관련 논문 4000편, 특허 2000건, 설계 IP 1000건, 박사급 인력 2998명 확보
- 세부 시스템 집적사례 400건 구현
- 1단계 사업목표(2018-2022): 핵심원천기술 도출 및 민간 기업 참여유치
- 2단계 사업목표(2023-2027): 핵심 사업화 목표 달성 (초절전/고성능 나노소자기술 적용 메모리, 로직 통합 반도체 소자 확보) 및 글로벌 R&D 컨소시엄 구성 (2단계 민간투자 1000억 확보 및 글로벌 기술 표준 주도)

4.2.3 정량적 성과 목표치

		2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	합계
연차별 투자계획 (단위:억)		400	400	400	400	400	400	400	400	400	400	4000
특허	국내특허 (단위:건)	55	83	111	148	222	208	260	269	308	336	2000
	해외특허 (단위:건)	11	16	22	29	44	44	47	55	59	73	400
사업	기술이전 (단위:건)	8	12	16	22	33	31	39	40	46	50	297
	사업화 (단위:건)	0	1	1	2	2	2	2	3	3	4	20
논문	SCI논문 (단위:편)	90	148	222	444	444	277	317	444	556	1058	4000
	SCI(10%) 상위논문 (단위: 편)	13	22	33	67	67	42	48	67	83	158	600
인력	박사급 (단위:명)	83	125	166	222	333	312	390	403	462	502	2998
	석사급 (단위:명)	110	166	221	296	444	416	520	537	616	669	3995

■ 지식재산권 측면

- 원천특허(포트폴리오) : 10건 등록 / 50건 출원
 - ※ 원천특허 1 건당 파생특허는 약 20 건으로 추정
 - ※ 원천특허는 출원 시 특허맵 분석결과 타 특허를 인용하지 않은 특허로서
다목적성, 독창성, 혁신성, 파급성, 선도성의 기준에 따라 별도의 지식재산위원회
평가를 통해 선정함
- 국내특허 출원/등록 : 2,000건/ 1,000건 (연구비 10억원당 5건/2.5건)
- 국외특허 출원/등록 : 400건/ 200건 (연구비 10억원당 1건/0.5건)
 - ※ 근거 : 제 3 장의 국내 R&D 역량분석에서 정리한 2010년 최고성과인 미래유망
융합기술 파이오니어 사업과 비슷한 수준의 출원과 2-5배의 등록 수준

■ 학술적 측면

- SCI 논문 : 4,000편 (연구비 10억원당 10편)
- Nature, Science급 논문 (IF $\geq$ 20) : 40 편 (연구비 10억원당 0.1편)
- Premier급 SCI 논문 (IF $\geq$ 10) : 400 편 (연구비 10억원당 1편)
 - ※ 근거 : 제 3 장의 국내 R&D 역량분석에서 정리한 2010년 최고성과 사업인
미래기반-NT 사업과 대등하지만 NS급 논문은 2배 수준

■ 기술이전 및 사업화 측면

- 기술사업화 > 20건 (연구비 100억원당 0.5건)
- 기술이전 > 500억 (연구비 10억원당 1.25억)
 - ※ 2단계 민간투자 1000억은 1단계에 투입된 정부예산의 1/2 규모로, 1단계
개발기술의 일부를 공개하는 조건으로 투자를 유치할 계획이므로 1000억의
기술이전 효과 확보
 - ※ 2단계 사업 참여 조건으로 1단계에서 발생된 지적재산권의 일부를 유상이전하는
방식으로 기술료 250억 확보
 - ※ 2단계에서 발생된 지적재산권 유상이전으로 250억 기술료 확보

■ 정량적 성과 확보 전략

- 과제 추진전략, 과제선정시 초저전력 미래반도체 목표 실현 가능성을 제시하는 연구과제를 발굴하고 체계적으로 지원하는, 성공적인 연구 모델 도입을 통해, 대형연구사업의 모범이 되는 사례창출

4.3 추진전략 및 특징

4.3.1. 추진전략

[전략 I] 소자/시스템 계층통합형 사업으로 소자원천기술의 상용화 기간 단축

- CAD 기반기술을 최대한 활용, 세상에 존재하지 않는 신소자기반 설계기술 개발 및 시스템 성능 검증
- 국내 나노인프라 기반 시설을 융합, 신소자기반 중규모 집적회로 제작 환경을 구축하여, 소자연구분야의 국제경쟁력 확보
- 중규모 집적이 가능한 상용화 연구를 통해 공정, 소재, 장비, 설계등 중소기업 기술이전 연계효과 극대화

[전략 II] Top-down 과제와 Bottom-up 과제발굴의 병행을 통한 도전적 연구 유지

- 국내외 관련 연구 조사를 통한 유망 기술의 발굴로 Top-down 과제 구성
- 주기적인 수요조사를 통한 Bottom-up 과제발굴로 연구 동향 변화 반영

[전략 III] 글로벌 협력 체계 구축을 통한 연구 성과 극대화

- 해외 유사 프로그램과의 적극적 공동연구를 통한 투자 효율 극대화
- 국내전문인력 부족분야에 해외전문가 그룹을 적극 활용
- 국제적으로 국내 미래반도체 연구를 대표하는 연구집단 형성
- 1단계사업 글로벌 관련 정부 프로그램 네트워크 구성, 2단계사업 글로벌 컨소시엄 구성전략을 통해 2단계사업 민간 투자 유치

4.3.2. 추진전략 상의 특징

- 본 사업은 전 세계적으로 미래 신소자 기술개발 동력이 취약하여 차세대 반도체 기술의 전망이 불투명한 상황에서 초저전력 미래반도체 분야에서 고위험도, 도전적 소자연구부터 시스템까지의 여러 계층의 연구를 통합하여 추진하고, 선도적 성과를 조기에 확보함으로써 글로벌 기술 리더쉽을 확보하는 것을 목적으로 하고 있음
- 신소자연구의 경우 미국등에서는 통합연구팀 구성이 통상적이나 국내에서는 소재, 공정, 소자, 시스템 분야의 연구가 통합/진행된 사례가 없음. 실리콘 CMOS 기반 연구에서는 이러한 통합연구에 대한 수요가 없었으나, 신소자기술은 계층통합연구를 통해 효율을 극대화해야 실현가능성을 체계적으로 검증할 수 있음

- 글로벌 리더십 확보는 신소자기술의 국제표준화를 강제하기위해 꼭 필요한 수단이며, 차세대기술의 국제 표준화를 주도함으로써 소재, 장비, 설계등 전후방산업 파급효과를 극대화할 수 있음
- 미국 SRC, SEMATECH, 유럽 IMEC, LETI, 일본 AIST, 대만 ITRI와 같이 외국의 경우 반도체 분야를 대표하는 연구기관 또는 연구프로그램이 있음. 초저전력미래반도체 사업단은 국내 미래반도체연구를 대표하는 연구프로그램으로서의 역할을 수행

■ Top-down 사업과 Bottom-up 사업의 병행 구조

- 산업적 소자기술 연구의 특징상 Top-down 사업 발굴을 통해 계층 통합형 협력 추진의 필요가 있음
- 전세계적으로 빠르게 변하는 연구시류에 효과적으로 대응하고 새로운 소자의 사업내 포함을 위해 사업단을 통한 주기적인 수요조사를 실시하고 이를 bottom -up 과제로 수용하여 도전적 사업 체계를 유지하도록 함

■ 글로벌 리더십 확보후 글로벌 컨소시움 추진

- 차세대 소자기술 투자리스크를 저감하고, 표준화를 유도하기위해서, EU, 미국, 중국, 일본등에서 초저전력 관련 대형 R&D 프로그램간 협력네트웍을 구성하고 협력함
- 국내 전문인력이 부족한 분야의 경우, 해외 연구팀과의 협력연구 진행
- 글로벌 기술 리더십확보를 전제로 국제협력과제 예산 배정, 글로벌 연구 네트워크 구성을 위한 국제협력 워킹 그룹 등의 관리형 예산을 총괄사업단에 배정
- 2단계 사업 (2023-2027)은 1단계 사업중 준비된 기반을 활용하여, 글로벌 컨소시움을 구성하고 총 투자의 약 25%정도에 해당하는 민간기업의 투자를 확보하는 것을 목표로 설정

■ 혁신적 계층통합형 신소자개발 전략 적용

- 신소자 개발과 소재, 단위공정, 집적공정, 설계기반, 시스템 아키텍처 설계 기술을 통합 개발함으로써 소자기술의 상용화가능성을 최단기간내에 검증
- CAD (computer aided design)기술의 발전을 최대한 활용, 통합개발의 효율을 극대화함

■ 전후방 수요연계 극대화 전략

- 1단계에는 연구목표 설정의 창의성, 기술개발의 독립성을 확보하기 위해 투자예산의 100%를 정부에서 부담하나, 운영위원회, 기술자문위원회를 통해 산업계의 의견을 충분히 반영하도록 함
- 2단계 사업의 전제조건으로 지적재산권 비용부담등 선투자를 확보함으로써, 소자연구와 공정, 장비, 설계툴등 전후방 중소기업 연계를 활성화하여, 기술표준화 효과를 극대화 함

4.4 상위계획과의 관련성

상위계획	관련항목	관련성이 높은 항목	본 사업과의 부합성
제3차 과학기술기본계획	- High2: 국가전략 기술개발 - 5대추진분야(IT융합 신산업창출) - High3: 중장기 창의역량강화(과학기술 글로벌화) - High4: 신산업 창출지원(기술이전/ 사업화촉진)	- CPND기반 ICT 혁신역량강화 - 전략분야국제공동연구활성화 - 국제과학기술허브구축 - 국제협력 인프라조성 - 지식재산활용촉진	지능형반도체, 자율주행자동차, 인공지능, 슈퍼컴퓨터등에 소모되는 전력을 획기적으로 저감하여, 기술경쟁력을 제고함 글로벌 정부 R&D 네트워크 구축 (1단계), 글로벌 R&D 컨소시엄 구축 (2단계)을 통해 미래반도체분야 공동연구 활성화 초저전력 미래반도체 R&D 컨소시엄의 본부를 한국에 설치하여, 기술리더쉽 확보 국내외 나노인프라기관들을 연결하여 공동연구가 가능한 인프라구축 2단계 사업진입시 1단계 정부투자에 의해 발생된 지적재산권을 package 형태로 이전하는 새로운 형태의 기술이전 방식 도입
제4기 나노기술종합발전계획	- 전략 1: 혁신주도 나노산업화 확산 - 전략 2: 미래선도기술확보	- 나노융합확산인프라강화 - 차세대 초절전 집적기술 플랫폼개발 4대 나노챌린지기술 - 초저전력 미래반도체	플랫폼공정을 본 사업의 집적공정개발에 연계할 계획임 본 기획은 해당 사업의 실행을 위해 수행된 과제임
제4차 지방과학기술진흥종합계획	지역R&D 투자 특성화·내실화'특구별	특화산업분야 지정·육성 - 선행공정개발사업	나노인프라시설에서 개발된 선행플랫폼공정들을 본 사업의 집적공정개발에 연계할 계획임

4.4.1 제3차 과학기술기본계획



[그림 4.2] 제3차 과학기술기본계획 비전 및 목표

- 정부는 1960년대부터 과학기술 진흥을 위한 중장기계획을 수립·추진해왔으며, 과학기술기본법 제정(2001년 1월) 이후 과학기술기본법 제7조에 근거한 법정계획으로서 과학기술 관련 국가 최상위 종합계획인 ‘과학기술기본계획’을 5년마다 수립·추진하고 있음
- 미래창조과학부가 소관하는 ‘제3차 과학기술기본계획(2013-2017)’은 과학기술분야 분야의 계획에서 최상위에 위치하고, 박근혜정부 출범 이후 창조경제 실현, 삶의 질 향상, 기술이전·사업화의 강조, 일자리 창출 중시 등 과학기술 제반 여건의 변화 내역을 반영한 것이 특징으로, 총 19개 분야 78개 과제의 추진을 제시함
- 국가전략기술 개발(High 2)에 포함된 5대추진분야중 IT 융합신산업창출과 밀접한 관련이 있음
 - IT 혁신역량강화: 지능형반도체, 자율주행자동차, 인공지능, 슈퍼컴퓨터등에 소모되는 전력을 획기적으로 저감하여, 기술경쟁력을 제고함

- 중장기 창의역량강화(High 3)에 포함된 6대추진분야중 과학기술글로벌화와 밀접한 관련이 있음
 - 전략분야 국제공동연구활성화: 글로벌 정부 R&D 네트워크 구축 (1단계), 글로벌 R&D 컨소시움 구축 (2단계)을 통해 미래반도체분야 공동연구 활성화
 - 국제과학기술허브구축: 초저전력 미래반도체 R&D 컨소시움의 본부를 한국에 설치하여, 기술리더쉽 확보
 - 국제협력 인프라조성: 본 사업을 통해 개별과제, 컨소시움형 과제등 국제협력을 활성화하고, 국내외 나노인프라기관들을 연결하여 공동연구가 가능한 인프라구축
- 신산업창출지원(High 4)에 포함된 4대추진분야중 기술이전, 사업화촉진과 밀접한 관련이 있음
 - 지식재산활용촉진: 2단계 사업진입시 1단계 정부투자에 의해 발생된 지적재산권을 package 형태로 이전하는 새로운 형태의 기술이전 방식 도입

4.4.2 제4기 나노기술종합발전계획



[그림 4.3] 제4차 나노기술종합발전계획의 비전 및 목표

- ‘제4기 나노기술종합발전계획’은 나노기술개발촉진법 제4조에 의거하여 나노기술 연구개발 촉진을 위해 매 5년마다 수립하는 종합발전계획으로, 2015년에서 2016년에 걸쳐 미래창조과학부를 비롯한 10개 부·청의 의견을 수렴하여

국가과학기술위원회의 의결을 거침(2016.4.11.)

- 혁신주도 나노산업화 확산 (전략1)을 위해 수행중인 차세대 초절전 집적기술 플랫폼개발 과제는 본 사업의 시범사업의 성격을 가지고 있으며, 해당 사업에 의해 도출되는 플랫폼공정을 본 사업의 집적공정개발에 연계할 계획임
- 미래선도기술확보 (전략)를 위해 선정된 4대 나노챌린지 사업중 하나인 “초저전력 미래반도체” 사업의 실행을 위해 본 사업이 기획되었음

4.4.3 제4차 지방과학기술진흥종합계획

- 정부는 「과학기술기본법」(제8조)에 근거, 2000년을 시작으로 매 5년마다 ‘지방과학기술진흥종합계획’을 수립·추진하고 있음
- 크게 2개 목표 하의 8개 중점추진과제를 제시하여 지역의 자율과 책임성을 강화하고 지역 특성화 과학기술 역량을 제고한다는 전략목표를 달성하고자 하는 구조임



[그림 4.3] 제4차 지방과학기술진흥종합계획의 비전, 추진목표 및 중점추진과제

- 8개 중점추진과제에 포함되어 있는 기술 중 동 사업과 관련성이 있는 기술은 ‘지역R&D 투자 특성화·내실화’ 과제에서 특구별 특화산업분야 지정·육성이라는 목표 하에 특히 대덕특구의 주요 추진사업에 포함된 기술들이 있음

- ‘나노종합팹센터 선행공정기술개발’ 사업은 동 사업의 시범사업 성격을 가지고 있으며, 개발결과가 본 사업에 직접 활용되도록 계획되어있음

4.5 기대효과

■ 과학기술적 측면

- 정부 R&D 투자결과로 글로벌 기술리더쉽을 획기적으로 제고하고, 이를 기반으로 국가기간산업인 반도체산업의 경쟁력을 확보하는 새로운 R&D 모델 제시
 - 국내 참여 연구인력들이 글로벌 컨소시엄형 연구를 수행하게 됨에 따라 국내 반도체분야의 글로벌 연구경쟁력을 획기적으로 제고
 - 한정된 기술 분야이긴 하나, 국내 최초로 글로벌 컨소시엄을 주도하고 정부지원을 기반으로 2단계 사업수행시 국내외 산학연 연구 참여를 유도하여 투자효율성을 제고하는 사업모델을 창출
- 학술측면의 기대효과
 - 본 사업은 국내 소재분야 기술의 질적 향상을 추구한다는 점에서 SCI 논문전체의 수 보다는 출판된 논문의 질 향상을 추구함.
 - SCI 논문 : 4,000편 (연구비 10억원당 10편)
 - Nature, Science급 논문 ($IF \geq 20$) : 40 편 (연구비 10억원당 0.1편)
 - Premier급 SCI 논문 ($IF \geq 10$) : 400 편 (연구비 10억원당 1편)
 - ※ 근거 : 제 3 장의 국내 R&D 역량분석에서 정리한 2010년 최고성과 사업인 미래기반-NT 사업과 대등하지만 NS급 논문은 2배 수준
- 인력양성 측면에서의 기대효과
 - 국내반도체분야 R&D가 메모리분야에 편중되어, 로직반도체 분야의 전문연구인력 공급이 원활하지 않았음. 이는 국내 파운드리 산업과 팹리스산업의 발전에 일정정도 제약요건이 되었음.
 - 본 사업을 통해 PI급 연구자 200명이 관련 분야의 전문가로 육성되고, 글로벌 오픈이노베이션사업을 통해 40명정도 세계적 수준의 리더로 발전하게 될 것으로 기대되며, 이를 기반으로 글로벌 기술리더쉽을 확보할 수 있게 될 것임
 - 글로벌 컨소시엄의 주도적 운영을 통해 국내 탑클래스 연구자들의 세계적 지명도를 확보하고 국내 연구진의 기술수준을 획기적으로 제고함
 - 이와 함께, 누적참여연구원이 1만명에 달하게 됨으로써, 향후 미래 반도체 산업의 중추적인 역할을 하게 될 것임
 - 뿐만아니라, 소자, 공정, 설계, 시스템 통합연구를 통해, 계측통합형 연구능력을 갖춘 반도체기술 분야의 글로벌 인재 배출, 특히 박사급 전문연구자 2,998여명이 육성될 것으로 기대됨
- 초저전력 미래반도체기술 7대-원천 소자기술별 파급효과
 - 초저전압 소자 및 회로 기술
 - 에너지/환경 위기와 배터리를 사용하는 휴대용 전자기기의 수요 증가로 인하여

초저전압에서 동작하고 초저전력을 소모하는 새로운 로직반도체의 개발이 반도체 분야의 큰 화두가 되고 있음.

- 미국을 비롯한 선진국의 기업/대학들은 새로운 초저전압 로직 반도체 소자/공정의 개발에 박차를 가하고 있지만 국내는 아직까지 이에 대한 필요성을 충분히 인지하지 못하여 1~3년 정도 뒤쳐진 상황으로, 비교적 단기간에 상용화를 목표로 하는 기술임
- 자기재구성로직과 함께 1단계 기술이전이 가장 유망한 기술임

- Monolithic 3D 기술

- Physical Scaling의 한계를 뛰어 넘기 위해 다양한 재료 및 소자 타입에 대한 연구가 진행되나, 기존의 소자를 응용하며 또한 3D 형태 구현시 다양한 circuit level형성이 용의한 M3D 기술은 기존의 타 3D integration 기술 대비 전력 소모 및 소자 성능 향상에 적합하며 다양한 제품군 적용이 예상됨.
- 해외 컨소시움에 볼수 있듯이 정부 지원으로 아직 초기 기술의 선점이 가능하며 이를 통해 차세대 반도체 기술의 platform기술 확보로 다양한 제품군의 응용으로 전개 가능하여 중국의 거센 도전을 뛰어 넘어 국내 반도체 산업의 전세계에서 입지를 확고히 할 수 있는 기반기술의 역할을 하게될 것으로 기대됨

- 자기 재구성 소자기술

- 기존 CMOS기반의 자기재구성로직 기술대비 소자의 면적을 30%이상 저감하고, 소모전력도 1/10 이하로 줄일 수 있는 기술이기 때문에, 1단계 조기 상용화가 기대되는 기술임
- 자기재구성 로직 소자개발은 단순히 신개념의 재구성로직 (FPGA 2.0)의 새로운 반도체 제품군을 창출할 수도 있을 뿐만 아니라 이를 사용하는 모든 시스템의 성능향상과 전력소모를 개선하며 신뢰성과 유연성을 비약적으로 향상시킬 것으로 기대됨.

- 다차로직소자기술

- 세계반도체무역통계기구(WSTS)에 따르면, 반도체시장의 성장은 372조(2014년), 385조(2015년), 396조(2016년)로 전망하고 있어, 향후 반도체시장의 성장은 꾸준히 지속될 것이라 예측하고 있음.
- 전체 반도체 시장 중에서 저전력제품시장은 30% 정도이며, 이중 삼진로직 적용 가능성이 있는 최첨단 제품이 해당시장의 약 20%에 해당한다고 가정할 경우, 2015년 기준 약 23조의 시장규모를 예측해볼 수 있음됨. 국내기업의 반도체시장 규모가 약 55조이므로, 삼진로직 소자기술을 선점할 경우, 국내 반도체산업의 약 50%에 해당하는 시장에서 절대적인 기술경쟁력을 확보하는 효과를 기대할 수 있기 때문에, 매우 파급효과가 큰 기술임.

- 로직-인-메모리 소자기술

- 가까운 미래에 DRAM 및 Embedded 메모리가 비 휘발성 소자로 대체되어, 시스템의 파워소모 감소와 성능개선이 가능할 것임.
- 궁극적으로 비 휘발성 소자가 로직에 내장되어 있는 형태의 시스템구조로 전환되어 초 절전, 작은 면적, 고속 구현이 가능하게됨

－ 광배선소자기술

- 4차 산업혁명으로까지 거론되는 인공지능 기술의 핵심은 대량의 CPU/메모리 소자로 구성된 데이터센터와의 초고속 통신기술에 기반하며, 데이터센터 내외부 그리고 CPU 및 메모리간 고속 통신은 전기신호를 광신호로 바꾸어 전달하는 광배선 기술에 의존함.
- 광배선 기술의 핵심은 실리콘 기반 광전집적 기술에 있으며, 이러한 광배선 기술은 데이터 통신, RF 응용, 센서 응용, 지능형 자동차를 위한 LIDAR 응용 등의 파급효과에 대한 기대로 미국에서는 5년간 \$610M을 투자하는 AIM Photonics project가 2015년부터 시작됨. 이렇게 다양한 응용성과 사업성을 갖는 광배선 기술에 대한 적극적인 국내 투자와 지원이 필요한 시점임.

－ 뉴로모픽 소자기술

- 인공 신경망을 사용하는 기계학습 기반의 딥러닝 기술은 범용개체, 얼굴, 음성인식 등의 인지 컴퓨팅 분야 우수한 성과를 보이며(GooLeNet, 2014, 객체인식률:93.3%, DeepID2, 2014 얼굴인식률:99.15%), 인지 컴퓨팅 시장은 2013년 37억불에서 2018년 53억불로 평균 7.4% 높은 성장을 전망됨(Gartner, 2014, 지능형IoT/인지로봇/지능형모바일단말 분야).
- 뉴로모픽 기술은 앞으로 다양한 응용 분야에 적용될 수 있을 것으로 기대되며, IoT 디바이스, 웨어러블 디바이스, 자율주행 자동차, 인지로봇 및 모바일 단말 분야를 중심으로 세계 뉴로모픽 기술 시장이 급속도로 성장하는 등 사회 전반에 걸쳐 강력한 파급 효과를 나타낼 것으로 예상됨.

■ 경제적·산업적 측면

- 국가적 주력산업인 반도체 산업 및 연관 산업에서 지속적 성장과 중국 등 신규진입 국가와의 경쟁에서의 우위 선점
 - 메모리시장 55조의 5% 추가확보만으로도 2.8조 규모의 신규시장 확보
 - 소재, 장비, 설계 산업 등 직간접 산업 및 후방 산업의 활성화와 고용 창출
 - 자율주행자동차의 효율화, Wearable 기기의 착용수명의 획기적 증가로 전혀 새로운 형태의 소자 수요 창출
 - 원천 선도 기술개발을 주도하여 사업에 참여하는 국내 기업에게 소재, 장비, 설계 IP를 선점할 수 있는 기회 제공
- 특허 측면의 기대효과
 - 본 사업은 세계적인 파급효과를 가진 원천 특허를 확보하는 것을 목표로 함
 - 원천특허(포트폴리오) : 10건 등록 / 50건 출원
 - ※ 원천특허 1 건당 파생특허는 약 20 건으로 추정
 - ※ 원천특허는 출원 시 특허맵 분석결과 타 특허를 인용하지 않은 특허로서 다목적성, 독창성, 혁신성, 파급성, 선도성의 기준에 따라 별도의 지식재산위원회 평가를 통해 선정함
 - 국내특허 출원/등록 : 2,000건/ 1,000건 (연구비 10억원당 5건/2.5건)
 - 국외특허 출원/등록 : 400건/ 200건 (연구비 10억원당 1건/0.5건)

※ 근거 : 제 3 장의 국내 R&D 역량분석에서 정리한 2010년 최고성과인 미래유망 융합기술 파ioni어 사업과 비슷한 수준의 출원과 2-5배의 등록 수준

○ 기술이전 및 사업화 측면의 기대효과

• 기술사업화 > 20건 (연구비 100억원당 0.5건)

• 기술이전 > 500억 (연구비 10억원당 1.25억)

※ 2단계 민간투자 1000억은 1단계에 투입된 정부예산의 1/2 규모로, 1단계 개발기술의 일부를 공개하는 조건으로 투자를 유치할 계획이므로 1000억의 기술이전 효과 확보

※ 2단계 사업 참여 조건으로 1단계에서 발생된 지적재산권의 일부를 유상이전하는 방식으로 기술료 250억 확보

※ 2단계에서 발생된 지적재산권의 유상이전으로 250억 기술료 확보

■ 사회·문화적 측면

- 초연결사회에 사용될 미래 정보처리기술들에 의한 과도한 에너지 소모에 의한 기술정체를 막고, 정보화 사회의 지속적인 발전을 가능케 함
- 정보기술의 불평등에 의해 발생될 수 있는 사회문제 예방
- 국가 재난 및 자원에너지 위기 대응, 친환경적 미래사회 구현에 기여

5. 사업 내용 및 투자 계획

5.1. 사업 범위 및 세부 내용 도출

5.1.1. 사업 범위 및 내용 도출 전략

■ 사업 범위

- 2025년 미래 한국사회의 사회적, 경제적 발전에 기여할 수 있는 획기적인 초저전력 미래반도체 기반소자기술 확보
- 기반소자기술을 중규모 집적회로로 시험하기위한 공정플랫폼, 나노인프라 구축
- 초저전압 시스템 (전력절감 1/10), 뉴로모픽 시스템 (전력절감 1/100), mW급 프로세서 (전력절감 1/1000)를 구현하고, 목표달성에 필요한 설계인프라 기술확보

■ 하향식(Top-down) 방식과 상향식(Bottom-up) 방식의 병행으로 연구개발 과제 선정을 추진

- 하향식(Top-down) 방식을 통해 국가 R&D전략 및 사회적 수요에 부합하는 10대 중점연구 기술개발 분야 도출

※ 하향식의 단점을 보완하기 위한 제반 제도(예 : 연구단장/부단장 제도, 사업단을 통한 상향식 (Bottom-up) 방식 등은 6장 사업운영방안에서 소개)

	하향식 (Top-down)	상향식 (Bottom-down)
추진 체계	• 국가전략에 입각한 우선순위 배정으로 전략적 자원 배분 가능	• 창의적 아이디어 및 합의에 의한 자발적 조직화 특징
장점	• 신속하고 효율적인 시스템 구성 • 정량적 업무평가 가능	• 창의성 및 자유도 높음 • 변화의 흐름에 빠르게 적응 가능
단점	• 잘못된 목표 설정 시 지불해야 하는 대가가 큼 • 전세계적으로 빠르게 변하는 연구시류에 효과적으로 적응하기 어려움	• 목표에 대한 이해 및 공유가 부족한 경우, 비효율적 운영 가능성 높음 • 책임소재의 불명확성으로 인해 업무추진 및 의사결정 과정에서 비효율적일 가능성 높음

5.1.2. 주요 소자 기술 수요조사를 통한 장/단점 분석 및 Top-down 추진 기술 도출

■ 기술분석방법

- 국내외 기술전문가 14명, 기획과제 연구원 13명의 기술수요조사 및 국내외 전문가 면담결과에 근거, 5개 분야 도출
- 수요조사결과는 부록 1 참조

- 아래 표에 ITRS 로드맵, NRI등에서 고려되고 있는 다양한 소자 및 아키텍처 기술을 평가하여, 장/단점을 정리하고, 전략적 판단의 근거와 한국형 로드맵 반영여부를 제시했음.

표 5.4. 나노전자소자 기술의 장/단점 비교

소자 및 집적기술	장점	단점	전략적 판단 근거 /국내-국외 기술격차	한국형 로드맵 반영
Tunnel device				
tFET (Si)	Si CMOS 집적공정 사용 저전압 동작 가능	구동전류가 낮음	5년내 적용여부 결정, 중장기 연구에 부적합	단기연구
tFET (III-V)	저전압 동작 가능 낮은 밴드갭과 유효질량	Si on III-V 필요 III-V 에피 성장, gate stack 및 S/D contact등 기술적 난제가 많음	Si 기반의 기존 CMOS 대비 실익이 적으며 기술개발 비용대비 실익이 높지 않을 수 있음	비추천
interlayer tFET	접합 성능의 개선으로 구동전류 향상 저전류/저전압 구동	집적도/속도저하 복잡한 공정 (interlayer)	산업화 추진중	단기연구
Hetero tFET	저전류/저전압 구동	복잡한 공정 누설전류 공정 variation 증가	산업화 추진중	단기연구
Barristor	간단한 구조로 높은 on-전류, 높은 ION/IOFF BEOL향 저온 소자 공정이 가능 국내원천기술 특허보유 미세화 한계	그래핀 품질 개선 및 소자 특성 산포 문제 해결 필요 회로 구성이 어려울 수 있음 대면적 소재, 소자 집적화 연구 필요	중기연구로 추진	중기연구 과제로 추진
Piezo devices				
Piezoelectric FET	긴 수명 (1000만 번 이상 작동) 주변 상황의 영향에 민감하지 않음	물질 의존성이 큼. 곧 고속·저전력 동작을 위한 물질 적합성 여부 판단, 최적의 process integration 확보 등에 긴 시간이 소요될 Noise 문제가 예상됨	특수용도로만 사용가능 온도안정성 문제	개별연구 로 추진
Reconfigurable switch devices				
Atomic switch (메모리)	low power, high speed, high density	reliability 검증문제	상용화 연구 진행중	산업체 연구

Atomic switch (intefuse)	ReRAM 연구로 소재 기반연구가 기진행됨	BEOL소자동작시 구동전류가 제한될 수 있음 (동작전압제한)	자기 재구성 아키텍처 요소기술로 개발	중기연구 과제로 추진
Nanomechanical switch (로직)	이상적인 스위치에 가장 근접 CMOS 공정 이용가능	신뢰성이 낮음 느린 동작 동작전압 높음 공정산포 큼	BEOL용 누설전류 경로 차단 스위치를 목표로 개발 (동작속도 제한 완화)	중기연구 과제로 추진
Nanomechanical switch (메모리)	이상적인 메모리소자	ITRS roadmap에서도 제외됨	집적도, 동작속도 한계	비추진
Devices using novel materials				
Negative capacitance FET	Si CMOS 집적공정 사용 저전압 동작 가능 subthreshold swing 향상	이론적인 동작속도 한계 (>30ps) FEOL 소자 대체 어려움 (미세화, 동작전압문제) 소자 응용시, hysteresis 제거 필요	개념정립단계 응용분야가 불분명함	개별연구로 추진
Ferroelectric FET	Si CMOS 집적공정 사용 MFS 구조사용시 미세화 가능 비휘발성 subthreshold swing 향상	이론적인 동작속도 한계 (> 30ps) 계면 및 interface state control 및 신뢰성 확보 필요	소재개발이 선행되어야 하나, Si doped HfO2 가 검증될 경우, 단기간내에 활용가능 (경쟁기술 개발 필요)	단기/중기 연구과제로 추진
Mott Transistor	고속, 저전압 동작 가능 large on/off ratio 미세화가능 비휘발성	특화소재 확보 필요 EBD가 큰 고유전 절연막 필요(신뢰성문제) 정밀한 도핑 요구 상당기간 연구되었음에도 불구하고 진척이 없음	소재개발이 선행되어야 함	장기연구 과제로 추진
CNT FET	IBM이 계속 연구진행중임	양산성, 신뢰성	국책 연구 진행중	비추천
TMD FET	2D 소재의 적층을 통한 소자 구현으로 미세화에 유리 고성능 (높은 이동도)	2D 소재의 성능한계로 로직소자 응용가능성 낮음 저온 2차원 소재, 무촉매 성장기술 필요 디스플레이향 연구 단계	개념정립, 소재개발 단계	개별연구로 기초연구
VdW FET	저전력, 고성능 소자 가능	대면적 소재, 집적화 기술필요	개념정립, 소재개발 단계	
Topological insulator	고성능 (높은 이동도)	소자구현 사례없음	개념정립단계	

Magnetic/Spin devices				
Magneto diode	Nanomagnet의 구성 변경에 따라 회로재구성 가능 BEOL향 저온 소자 공정이 가능	동작전압이 높고, 소자 동작구간이 한정되어 있음 국부자기장소스 확보, scalability확인, 로직연산을 위한 fan-out 특성	자기 재구성 아키텍처 요소기술로 장기연구로 추진	장기연구 과제로 추진
Nanomagnet logic (NML)	저전압구동 (~90mV) 기존 소자에 비해 구조 단순, Scale-down 용이 Low power 응용가능	느린 스위칭 속도 (저전력 CMOS 대비 1/4 이하) CMOS 로직과의 interface overhead가 큼	온도안정성	Magneto diode와 통합 연구
All spin logic (ASL)	저전압구동 (~40mV) 기존 소자에서 나타나는 에너지 손실, Joule heating에 의한 손실 최소화,	완벽한 스핀/전하의 분리가 쉽지 않으며 캐스캐이드 방법이 새로운 필요함 개념수준 장점이 불명확하며 실현가능성 낮음	개념정립단계	개별연구로 기초연구
Spin torque domain wall (STT/DW)	저전압구동 (~10mV) 전자 구동 방식에 비해 고집적, 구조의 단순성, 구동 전력 최소화 가능	Spin polarized current의 control 난해, 정밀한 공정기술 필요, 일정하고 일괄적인 DW motion 제어 기술 필요 제조공정 어려움, high power consumption	산업체 연구진 행중	비추천
Spin majority gate (SMG)	저전압구동 (~90mV) 기존 논리 소자들에 비해 제조공정 용이, 비휘발성, Low power, high speed	온도안정성	저온에서만 동작	개별연구로 기초연구
Spin torque oscillator (STO)	저전압구동 (~40mV) 높은 Q-factor/GHz 대역의 저전력, 고효율 발진기	Power 및 선폭특성 향상 필요 자성체 고유 공명주파수 문제, spin polarizer/ field generator 구성 문제, Low signal	온도안정성	개별연구로 기초연구
Spinwave device (SWD)	저전압구동 (~90mV) : 공정 단순화, Spin의 형태로 정보 전달, 구동 전력 최소화	control하기 위한 B-field의 margin 확보 문제, Low signal, low temp. operation	개념정립단계	개별연구로 기초연구
Charge coupled spin logic (CSL)	저전압구동 (~100mV)	Not a low power device and will be difficult to	온도안정성	개별연구로 기초연구

	Low power, high speed/Basic Tr	implement		
Condensation devices				
Exitonic FET (ExFET)	빠른 스위칭 Some version of this can potentially be low power		개념정립단계	개별연구로 기초연구
BisFET	빠른 스위칭	only simulation exist 실제소자구현 실패 Not likely to form a condensate at room temperature	Swan center에서 drop된 기술임	고려대상에서 제외
Architectures				
Monolithic 3D integration	배선길이 감소, 초저전력 아키텍처 기반 소모전력 1/2이하로 절감가능 기술개발단계별로 실용화가능 2D scaling 종료이후 가장 유망한 기술임 저전력 구현에 큰 기여를 할 수 있음	새로운 아키텍처와 TCAD 시스템 개발 필요 시스템 복잡도 (complexity)의 증가 전체 system에 대한 고려요소가 복잡해짐	post scaling기술의 기반기술로 꼭 확보해야하는 기술	단기, 중기, 장기별로 파생응용 기술 도출연구 추진
Reconfigurable Interconnect/ logic	Multi-functionality CMOS 공정 호환 성능향상 소모전력 1/4이하로 절감 가능 Atomic switch, NEMS, 2D 소자 등 여러 가지 소자를 다양한 형태로 적용가능 (단계별 실용화 가능) 칩의 기능다양화에 대한 선도적인 기술임	신뢰성 문제 특화소자, 공정 개발 필요 새로운 아키텍처와 TCAD 시스템 개발 필요 시스템 복잡도 (complexity)의 증가 고차원 분석 (high-level analysis) 필요 reconfiguration을 가능하게 하는 기본 소자 및 회로 연구가 필수적이며, system 구현 관점에서 접근해야 함.	개념정립단계이지만, 향후 M3D와 함께 핵심 기반기술이 될 것으로 추정됨	중, 장기 연구과제로 추진 (NEMS, Atomic 스위치, Magneto diode)
Multi-valued logic	삼진법을 적용하면 소자수 40% 감소 소모전력 1/4 이하로 감소 CMOS 플랫폼 그대로 이용가능 칩의 집적도 한계를 극복할 수 있는 기술 저차원	삼진법에 특화된 소자가 없음 신소재를 이용, 삼진법에 적합한 소자개발 필요 안정적인 저전력 동작이 구현되어야 함	개념정립단계이지만, 소자개발과 실용화 간극이 가장 적고, 기술 impact이 커서, 전략적 가치가 큰 기술임	장기연구과제로 추진

	나노소재사용 실현 가능, 집적화 용이			
Neuromorphic computing	학습을 통한 fault tolerant 연산가능 극초전력 동작 연관기술 및 산업창출 기대 극단적인 병렬연산 system이면서도 asynchronous system으로 필요한 부분만 동작시키는 극저전력 system	통상적인 연산체계에 적용할 수 없으며, 컴퓨팅 체계에 근본적인 혁신필요 neuromorphic system 내의 수많은 fan-in, fan-out을 보다 간단한 방식으로 구현할 수 있어야 하고, system level에서의 scalability를 반드시 고려해야 하므로, CMOS 소자에만 의존 하기에는 한계가 있음. 따라서 neuromorphic architecture와는 별도로 system의 기본이 되는 neuromorphic device에 관한 연구가 필요함. 신기능 구현 가능하나 제한적 특별 용도에 국한, 저전력에 도움될 지는 의문	개념정립단계 가까운 시일내에 연산기능확보 어려우나, 특화된 응용분야 도출가능	장기연구 과제로 추진
로직-인-메모 리	칩 면적을 낮출 수 있으며, 전달 지연과 동적 파워 절감이 가능함. 다치레벨의 메모리가 요구되지 않아, 다른 아키텍처 대비 빠른 적용이 예상됨.	로직-인-메모리 소자 아키텍처를 위한 메모리소자는 10년 이상의 비 확발성, 고속 스위칭 가능, BEOL 공정 적합성 및 소형화가 가능해야 하는데, 이를 모두 만족하는 소재 및 소자 기술이 없어, 이에 대한 기술개발이 요구됨.	개념정립이 명확하고, 개발성공만 된다면, 기존기술의 Breakthrough 기술이 될 것으로 판단됨. 신소재 소자 기술을 활용하여 개발 성공 시, high impact가 예상됨.	장기연구 과제로 추진
Other recommendations				
Optical interconnect	High bandwidth on-chip/ chip to chip 정보전달 초고속 · 저발열 신호전송 가능. 차세대 VLSI을 위한 핵심 기술 중 하나로 부각될 가능성이 높음.	전력소모 문제 미해결 소자단위 정보전달 한계 optical device는 CMOS 대비 scalability가 현저히 떨어진다는 단점 CMOS와의 integration 기술, waveguiding 기술 등이 총체적으로 개발되어야 함.	산업부 과제로 개발중이고, 5년 이내 적용여부 결정됨	

■ 전략적 R&D 추진 기술

○ 전략적 R&D 기술의 정의



그림 5.2. 전자소자분야 신기술의 상용화단계에 소요되는 개발기간과 전략적 R&D 대상기술

- 상용화 시점을 고려한 비경쟁 창의기술 중심의 연구주제 설정,
- 상용화 시점이 5년 이내인 기술은 산업체 중심의 개발 추천 (7nm노드까지)
- 제한된 자원을 가장 효율적으로 활용하기위한 연구분야 설정 및 추진전략 필요
- 15년 이내 상용화 개발 진입이 어려운 기술은 개별연구과제 대상으로 추천
- Silicon 기반 기술을 활용할 수 있는 기술
 - 지금까지 제안된 기술 중 Si CMOS를 15년 이내에 대체할 수 있는 기술은 없음
 - Post CMOS보다는 power scaling technology가 적절한 target
- 5-15년 이내 상용화개발 진입가능 기술중, 미세화 없이 소자성능을 향상시키는 데 기여할 수 있는 초저전력 아키텍처 관련 기술을 중심으로 개발 전략 수립
 - 최소한의 동작 개념, 주요 소재 개발/검증이 5년 이내 완료되어야 함
 - 10년 이내 기본 아키텍처 확립, 소자 성능개선에 대한 일정 수준의 연구필요
- 반도체 main stream 기술을 대체할 가능성이 있고, 한국 산업계에도 직접적인 연계가 가능한 분야에 도움을 줄 수 있는 전략기술 선정
- 소모전력을 현재의 1/100-1/1000 수준까지 낮출 수 있는 기술
 - FEOL silicon CMOS 대체 기술은 큰 의미가 없음 (전력절감효과 낮음)
 - BEOL 기반의 전력소모 절감기술 필요
 - 정보전달 density 확장기술이 필요함 (단위면적, 단위소자당 정보처리량 개선)
- 소재개발의 성공여부에 크게 좌우되는 기술은 창의소재디스커버리 사업등 예산이 기 확보된 사업으로 추진하는 것이 바람직하므로 개별연구로 추천

○ 전략기술 도출 결과 요약

- 각 기술별 상세한 설명은 5.4절 기술요약 참조

기술개발 시점분류	주요 소자 및 아키텍처 기술	기술 분류 및 추진전략
단기 (<5년)	III-V FET, tFET (Si, III-V, hetero)	• 학계에서의 연구지원효과 제한적 • 저전압소자기술 (III-V FET, tFET등)을 중심으로한 scaling 기반 나노소자기술은 산학간의 기술격차를 고려, 산업계 중심의 연구가 효율적임
	STT MRAM, ReRAM	• 메모리 분야는 산업계 중심으로 단-장기 연구 추진중

		• 학계에서의 연구지원효과 제한적임
중기 (5-10년)	Monolithic 3D (소재, 소자, 공정, 장비), Nano Electromechanical Switch, Atomic switch (BEOL reconfigurable interconnect, FPGA, repairable IC),	• 초저전력 아키텍처 분야에 적용가능하면서도 비교적 단기간에 개발이 가능한 기술, 전력절감효과는 제한적 • IP 선점 및 기술상용화를 위해 연구 추진 필요
	Mott FET, FeFET, GaN tFET	• 소재기반 기술로 소재 혁신에 따라 한계돌파가 가능한 기술 (기확보된 예산을 활용하여 지원하는 것이 바람직함)
	TMD FET, Negative capacitance FET, vdW FET,	• 성공적으로 개발되어도 적용분야가 매우 한정된 기술, 전략적 가치가 낮음
장기 (10-15년)	Reconfigurable 아키텍처 및 관련 소자기술(NEMS, Atomic switch, magneto diode포함), Multi-valued logic 아키텍처 및 관련소자 기술 (Barristor, MVL 소자), Neuromorphic computing 아키텍처 및 관련 소자 기술	• 초저전력 아키텍처 분야에 적용가능한 기술로 impact가 큰 기술 • IP 선점을 위해 연구 추진 필요
	Topological insulator magneto electronics	• 성공적으로 개발되어도 적용분야가 매우 한정된 기술, 전략적 가치가 낮음
기초원천 (>15년)	Quantum computing, Optical computing	• 암호처리 분야에서는 단-중기 기간내에도 적용이 가능한 기술임 (별도 과제로 연구기획 추진중)
	Spin 소자로 분류된 기술 전체, Extrinsic FET	• Breakthrough 기술이 나올때까지 개별연구로 추진 (연구재단에서 개별 과제 다수 지원중)

○ 전략적 R&D 추진기술 요약 및 주요 추진과제

- R&D 우선 순위 도출을 위한 수요조사이후, 초저전압소자기술과 초절전 광원소자기술을 추가했음
- 당초 5년 이내 상용화기술로 구분되었던 초저전압소자기술의 개발이 지연되어 5-10년 이내 개발기술로 재분류되었으며, 이에 따른 보완투자를 위해 기존 미래소자원천기술 개발사업에서 개발되고 있는 단기목표과제 대신 중장기 목표를 재설정함
- 광배선기술은 별도 사업으로 추진되고 있어 중복성방지를 위해 배제했으나, 광배선기술 연구분야에 초절전시스템 구축을 위한 초절전형 광원소자기술이 빠져있어서 본 사업에 추가했음

전략적 R&D 추진 기술	기술개요 및 연구동향	연구전략 및 주요 도전 과제
초저전압	• 실리콘 기반 tFET, III-V기반	• 소자구동전류를 500uA/um

소자기술	tFET이 연구되고 있으나, 실험결과는 이론적인 목표치에 근접하지 못하고 있음 • 소자구동전류측면에서도 아직 한계돌파형기술이 제시되지 못하고 있음 • 국내외 연구집단이 산발적인 연구를 수행하면서, R&D 투자효율이 매우 낮아진 분야임	이상으로 개선할 수 있는 신기술개발 필요 • 실리콘 기반소자기술의 혁신을 통해 tFET개념구현 필요
Monolithic 3D 집적기술	• BEOL 구조에 로직 소자층을 형성, 배선길이를 줄이고, via 밀도를 높여서, 전력소모 대폭 저감 • 미국에서는 스탠포드대를 중심으로 Ge Epi를 이용한 다층 channel 기술을 DARPA 3D-IC program 으로 연구. • Wafer bonding을 통한 3차원 소자 집적 처리는 미 Qualcomm 등이 관심을 가지고 유럽의 CEA-Leti에서 활발히 연구 수행중임. • M3D 기술은 단위소자 개념보다는 3차원 집적에 필요한 소자,공정, 아키텍처를 통칭하는 개념임	• 단기적으로는 우리나라가 선두적인 LTPS (Low Temperature Poly-Si) 결정화 기술을 이용하여 실용화 높은 연구 • 레이저 어닐중심의 초저온 소자 공정개발 • Smartcut을 이용한 소자 전사기술 (bonding, align등) • BEOL NEM switch, Atomic switch등 M3D 집적기술의 상용화후 부가 기능을 부여할 수 있는 소자 기술 개발 • Monolithic 3D 모델링 및 동작검증, 불량배선 및 불량소자 repair 기술개발
자기 재구성 아키텍처	• FPGA 기술에서 발전된 개념으로 CMOS 회로를 이용하여, 회로를 재구성함으로써 FPGA gate 활용율을 높이는 역할을 함 • CPU의 경우, 동시에 작동하는 소자의 수는 4%에 불과하나, 모든 소자를 pre-wiring해두는 현재방식 때문에 배선부분에서의 전력소모가 심각함 • Atomic switch, NEM switch같은 소자를 이용, 배선부분을 상시 re-wiring하고, 공통배선을 활용하도록 하여, 소모전력을 절감하는 아키텍처임	• 국내에서 연구가 많이 진행된 저항변화소자나 기계적 스위치에 대한 기반연구결과를 활용 • Repairable IC기술로의 응용도 고려 • 아키텍처 차원의 변화가 필요하므로, 소재에서 시스템까지 일관연구를 할 수 있는 융합연구팀 구성 필요
다치로직 소자 및 아키텍처	• 이진법대신 삼진법이상의 다치로직 사용 • 같은 정보 처리에 훨씬 적은 수의 전자소자를 사용하게 되어	• 1960년이후 발전된 신소재 기술을 적용, 신소재 기반의 다치로직 특화소자 개발 (RTD, SET등 담보상태의 기술 연구는 지양)

	소모전력이 1/10-1/50정도로 획기적으로 감소됨 - 컴퓨터는 다치로직소자를 활용할 경우, 고성능, 저전력 구현이 용이함 (60년대 냉전때문에 사장된 기술) - Journal of Multiple-Valued Logic and Soft Computing이 2003년부터 발간됨 - IEEE International Symposium on Multiple-Valued Logic은 45년째 계속 열리고 있음 - Software나 회로, 아키텍처 수준에서의 연구는 꾸준히 진행되고 있으나, 다치로직에 특화된 소자에 대한 연구는 답보상태임	- 배리스터 소자의 경우 원천특허가 국내에 있고, 세계적으로 선두에 있는 국내의 그래핀 기술을 적극 활용할 수 있어, 차세대 소자 분야에서도 연구경쟁력을 확보하고 있음 - TCAD기술을 활용, 다치로직 회로, 아키텍처에 대한 동시연구를 통해 지적재산권 망 창출 및 기술이전으로 국내산업경쟁력 우위 확보
로직-인-메모리 기술	- 로직과 정보 모듈간 정보전달 지연과 급격하게 증가하는 파워 소모를 해결할 목적으로, 로직 회로에 비 휘발성 정보저장 소자 집적기술. - 칩 면적을 낮출 수 있으며, 로직층과 메모리 층이 집적되어 있어, 모듈 간 정보전달 지연과 동적 파워 절감이 가능함. - 비휘발성 소자 기술이 필요하며, 주요한 비휘발성 소자 소자로서, 강유전체와 스핀소자를 고려할 수 있음. - 또한 강유전체 게이트 절연막을 이용하여 FeDRAM의 실용화 가능성이 높음 - 비휘발성 소자 기술 중 스핀소자를 활용한 로직-인-메모리 기술은 일본과 미국에서 큰 규모로 연구 수행 중.	- 다치로직 소자, 자기재배열 소자 및 아키텍처와 유사한 응용분야를 가지나, 로직인 메모리 소자의 비휘발성 소자가 반드시 다치 소자일 필요가 없어서, 가장 먼저 채택될 가능성이 큰 아키텍처임. - 신소재 기반 소자기술을 활용해서 high impact 기술이 될 것으로 예상됨 - 신소재 기반 이원계 강유전체 절연막을 이용한 소자에 대한 탐색은 충분히 이루어지지 않아서, 소재 단계에서부터 원천기술 확보가 가능할 것으로 판단됨. - 강유전체 소자는 MIM구조의 커패시터, 터널정션 뿐만 아니라 트랜지스터 구조로도 활용할 수 있음. - 스핀소자는 스핀 VLSI를 활용하여 로직-인-메모리 소자를 구현할 수 있음 - 비휘발성, 빠른 동작속도, BEOL 공정적합성, 소형화 가능성등의 요구조건을 만족하는 소재 및 소자 개발이 시급함.
초절전 광원소자	광원의 이득 물질로 적합한 III-V 화합물 반도체 물질을 실리콘 기판에 본딩하는 방식을 이용하여 실리콘 포토닉스 기반 광배선용 광원을 해외에서 여러 차례 발표한	현재 기술 수준인 10pJ/bit 레벨의 소모전력을 1pJ/bit 레벨로 1/10 줄일 수 있는 기술이 필요. Yole 보고서에 따르면 광배선을 이용한 에너지 전송에 필요한 전력소모는

	바 있으나 국내에서는 연구 개발이 미진한 상황임 4족 반도체인 게르마늄 및 게르마늄-주석을 이용한 광원이 해외에서 개발 및 발표되었으나, 수백 μm 크기의 활성영역을 가지고 있어 고집적용으로 적합하지 않고, 문턱전류는 수백 kA/cm^2 로 높아 에너지 절감형 초저전력 미래반도체로 아직 적합지 않음	2020년에는 1 pJ/bit 수준으로 발전할 것으로 예상되고 있음
뉴로모픽 소자 및 아키텍처	- 멤리스터를 이용한 새로운 아키텍처 - 멤리스터는 반도체 3개 기본소자, L,C,R에 이어 4번째 소자인 M의 존재를 1965년 Chua가 예측 2007년 Hughes 연구소에서 meristor에 대한 논문을 낸 후, 이를 기반으로 한 신경모사소자 기술에 대한 대규모 R&D 투자가 시작됨 - 그러나, 대부분의 경우 아직 단순한 학습기능에 기반한 고속 패턴인식 수준에 머물러 있어, 반도체 아키텍처로 활용할 수 있는 수준이 아님	- 응용분야가 제한되고, 이미 연구가 많이 진행된 패턴인식분야 응용연구 지양 - 뇌모사 아키텍처 개념을 차세대 초저전력 반도체 기술 창출에 적용하여, 뇌모사 연산소자, 뇌모사 정보전달 기술등을 연구함. - 다양한 멤리스터 소재에 대한 체계적인 연구를 통해, 이상적인 소재를 구현 - 최적소재 기반의 시스템연구를 TCAD기술을 활용, 동시에 진행, 지적재산권 조기확보

5.2. 초저전력 기술 로드맵 구축

5.2.1. 한국형 ICT 기반 나노전자 기술로드맵 구축

■ ITRS roadmap의 문제점

- 최근 연구동향 특히 논문발표동향에 의존
 - 논문이 발표되지 않은 새로운 분야의 발굴과 예측이 어려움. 특허동향에 대해서는 고려하지 않음. 이 때문에 아직 세상에 존재하지 않거나, 최근 연구결과가 보고되지 않고있는 신소재 기반, 새로운 아키텍처기반 기술이 고려되기 어려움 (예시: 삼진법소자, Monolithic 3D 기술)
 - 반도체 분야의 연구가 매우 활발할 때에는 상대적으로 문제가 없으나, 최근과 같이 R&D 투자가 감소할 경우 투자가 부족하거나 연구기반이 부족한 기술들이 탈락되는 경우가 생김 (예시: Nanoelectromechanical switch)
 - Top down 이 아니라 bottom up 방식의 기술예측
 - 미래 시스템 수요에 기반하여, 필요기술을 선도하는 방식보다는 미래 소자 및 소재기술의 발전동향 예측에 근거하여 기술수요를 제시하는 방식임
 - 급변하는 사회적 환경에 적극 대응하는 기술수요 예측임 어려움 (예시: 사물인터넷의 본격적인 도입에 대응하는 초저전력 ICT기술에 대비, 새로운 목표를 제시하기 위한 노력을 할 수 없는 체계임)
- * 이 Section은 ITRS roadmap ERD leader인 Globalfoundries의 An Chen박사와의 면담에 기초한 것임

■ ITRS roadmap의 한계극복 전략

- ITRS의 기술분석 내용을 참고하되, 새로운 연구분야 제시의 기준으로 활용하지 않음
- 미래 시스템 레벨 수요에 대한 자체 분석을 통해 중점 개발 기술분야 도출
- 이에 대응하는 한국 반도체 산업계의 역량분석에 근거한 국내 기술수요 예측 (단 유망 기술의 경우, 창업을 통한 강소소자기업 또는 기술지주회사의 도입이 가능한 분야인 경우도 고려)
- ITRS roadmap과의 비교표 제시 (상이한 부분에 대한 도입근거 제시)

■ 독자적인 로드맵 개발의 필요성

- 미국, 유럽 주도의 ITRS 로드맵은 한국의 산업적 필요성, 연구기반에 근거한 합리적인 투자 전략의 수립에 적합하지 않음
- 국내에서는 메모리 반도체 분야에 편중되어온 반도체 연구기반을 시스템 반도체소자 중심으로 재편할 필요가 있음 (시장비율은 시스템반도체:메모리=8:2로 시스템반도체 분야의 시장이 훨씬 크고 발전잠재력이 큼)

■ 한국형 로드맵 개발 전략

- 기존 반도체 산업계에서 자체 개발이 가능하고, 정부지원이 필요하지 않은 부분, 산업부 지원으로 개발이 진행중인 기술에 대해서는 별도 개발전략을 개발하지 않음 (예시: 차세대 메모리 기술, 단기개발기술(<5년내 상용화): tFET)

- 초저전력 미래반도체기술을 통해, 초연결사회의 기반기술이 될 수 있는 초저전력 고성능 시스템 기반기술을 개발하는 것을 목표로 새로운 소재/공정/소자/아키텍처에 대한 기술로드맵을 제시함으로써, 기존 기술의 집적도와 전력소모 한계를 극복할 수 있는 대안기술을 개발하는 것을 목표로 함
- 기존의 개별 연구과제를 통한 기술개발방식으로는 대안기술을 개발하는 로드맵을 효율적으로 현실화할 수 없으므로, 미국/유럽/일본과 같이 융합연구가 가능한 단일 조직형태의 연구단 또는 컨소시엄형태의 개발팀을 가정하고 로드맵을 개발함
- 새로운 기술표준을 개발하고, 이에 따른 지적재산권을 조기에 확보해야하므로, 지적재산권 확보시점과 상용화기술이전 시점을 분리하여 로드맵을 구성하여, 정부지원이 필요한 기술분야를 도출해내도록 함
- 지적재산권 창출의 효과가 크지 않은 초장기연구주제(15년이후 상용화 기술이전 가능) 와 단기연구 분야를 제외한 중장기 연구분야 (5-15년 이내 상용화 기술이전)에 대해 집중적으로 로드맵을 개발함
- 해외에서 진행중인 중-장기 주요 연구분야 분석: 실리콘기반 7nm 공정기술, 양자컴퓨팅, 뇌신경모방컴퓨팅, 실리콘포토닉스, 화합물융합소자, 탄소나노튜브 전자소자, 그래핀, 초저전력소자, 나노소자에 대해 국내 및 미국, 유럽, 일본의 연구 동향 분석을 분석 하여, 한국형 중-장기 기술 개발을 위한 로드맵에 참고함.

5.3. Top-down 사업 내용 및 연구 계획

5.3.1. 초저전력 미래반도체기술 중점 연구개발 분야 및 로드맵

■ R&D 로드맵



- 초저전력 시스템 구현을 위해 요구되어지는 다양한 소자 기술 (공정 및 시스템 집적기술 포함)은 응용 범위에 따라 다른 전력 절감 목표를 가지고 있으며 초기 2~3년 연구 후 세부적인 전력 절감 목표를 구체화 할 것으로 기대함.
- 위의 표는 플랫폼과 시스템 집적 기술 개발을 통한 전력 절감 목표를 제시하고 있으며 전체 사업과 각 세부 과제간의 연관성을 전력절감 목표, 결과물 수준의 관계를 보여줌.

■ 소자기술 융합전략



■ 초저전력 미래반도체 기술 7대 중점 연구개발 분야

7대 중점 연구개발 분야	연구 분야의 정의
초저전압 소자	- 0.5 V 이하의 구동전압에서도 동작하며, CMOS 소자의 전력 축소화를 극복할 수 있는 미래 소자 및 이러한 소자를 응용한 회로 기술
Monolithic 3D	- 소자 형성된 웨이퍼위에 또 다른 웨이퍼를 3차원 적층 후 후속 소자를 형성 기술 - 기존 3차원 기술 대비, 배선 및 마스크 개수를 줄여, 소자 밀도 증가, 전력 감소, 성능 향상. - 회로 및 소자 형성 기술 flexibility 증대와 현재 fab. friendly한 기술
자기재구성 소자	- 아날로그 및 디지털회로가 하나의 하드웨어로 여러 가지 기능을 구현될 수 있도록 나노스위치를 구비한 소자 - 사용자에게 반응하며 진화하고 확률적 연산을 통해 상황판단 가능한 지능형 컴퓨터를 구현하는 미래 핵심 ICT 기술.
다차로직	- 다차로직은 기존의 이진로직 대비, 단일 회로 면적과 회로 연결의 복잡성, 그리고 소모 전력을 동시에 줄일 수 있는 기술
로직-인-메모리 소자	- 로직과 정보저장 모듈 간 정보전달 지연과 급격하게 증가하는 파워소모를 해결할 목적으로, 로직 회로에 비 휘발성 정보저장 소자 집적기술. - 칩 면적을 낮출 수 있으며, 로직층과 메모리 층이 집적되어 있어, 모듈 간 정보전달 지연과 동적 파워 절감.
광배선소자	- 전기 신호를 광신호로 바꾸어 전달 후 다시 전기신호로 변환시켜 칩 과 칩 사이 신호를 전달하는 기술. - 레이저, 모듈레이터, 도파로, 파장필터, 그리고 디텍터 등의 핵심 광소자들을 실리콘 기판 상에 구현.
뉴로모픽	- 기존 연산방법을 탈피하고, 저장 장치 간의 병목 현상을 해결할 목적으로, 뇌의 시냅스와 뉴런의 기능을 모방한 기술 - 뉴로모픽 컴퓨팅의 인공 신경망은 다수의 뉴런을 이용하여 인지/학습을 수행하여, 고 효율 연산 능력과 초절전 기능.

5.3.2. 원천 소자기술 개요

■ 소자기술별 상세보고서는 부록 1로 첨부되어 있음

1) 초저전압 소자 및 회로 기술

가) 소자기술 개요

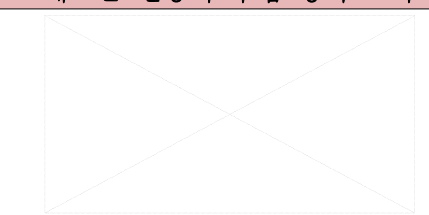
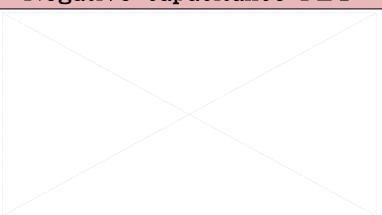
○ 소자기술개념

- 연구배경: 0.5 V 이하의 구동전압에서도 동작이 가능하여 CMOS 소자의 전력 축소화를 극복할 수 있는 미래 소자 및 이러한 소자를 응용한 회로 기술
- 반도체 소자의 크기 축소화는 경제적인 한계로 인하여 기술의 발전이 느려지고 있으며 최근 휴대용 전자기기 및 IOT (Internet-of-Things) 기기의 보급 확대 및 환경문제에 대한 경각심 증가로 인하여 전력의 축소화가 전자 소자 기술에서도 매우 중요한

문제로 등장하고 있음.

- 크기 축소화로 인한 성능향상과 원가절감이 더 이상 가능하지 않은 상황에서 전력소모의 축소가 반도체 산업의 성장을 결정할 것임
- 반도체 칩의 성능도 전력 소모와 발열의 한계에 제약을 받게되어 전력 소모의 절감은 궁극적으로 칩의 성능 향상으로 귀결됨

- 주요 소자 기술

주요소자	새로운 반송자 주입 방식 소자	Negative capacitance FET
개략도		
특징	반송자를 기존의 MOSFET과 다른 방식으로 공급하여 급격한 on-off 스위칭을 구현함	음의 capacitance를 갖는 게이트 유전막을 이용하여 급격한 On/Off 스위칭 FET를 구현
이슈	구동전류의 향상, 회로 구성	물리적 원리 규명, 동작 속도, 소형화 가능 여부
개발시기	단기, 중기	중기

- 새로운 반송자 주입 방식 소자는 기존 MOSFET과 유사한 구조와 공정을 이용하여 초저전압을 구현할 수 있는 가장 유력한 대안중 하나로 간주되고 있음. 그러나 구동전류의 향상이 더딘 상황이며 회로 구성 및 신뢰성의 검증이 필요함.
- 새로운 반송자 주입 방식 소자는 기존 MOSFET 대비 게이트와 드레인 사이의 큰 캐패시턴스로 인한 지연 시간 증가, 드레인에서 소스방향으로만 전류가 흐른다는 한계, 드레인 전압에 민감한 구동 전류로 인한 동작 속도 저하 및 안정성 악화 등 다양한 회로 단계 문제점이 존재함. 따라서, 기존 회로 설계 방식을 대체한 새로운 반송자 주입 방식 소자에 걸맞는 새로운 회로 설계 방식이 필요함.
- Negative capacitance FET는 강유전체(ferroelectric material)의 음의 capacitance를 갖는 새로운 물질을 이용하여 기존 MOSFET과 동일한 구조로도 초저전압 동작 구현이 가능하다는 장점이 있음. 그러나 아직 초기 연구단계에 있어 실험 자료가 부족한 실태이며, 소자의 동작 속도 및 소형화에 대한 연구가 필요한 상황임.

○ 파급효과 및 지원 필요성

- 에너지/환경 위기와 배터리를 사용하는 휴대용 전자기기의 수요 증가로 인하여 초저전압에서 동작하고 초저전력을 소모하는 새로운 로직반도체의 개발이 반도체 분야의 큰 화두가 되고 있음.
- 미국을 비롯한 선진국의 기업/대학들은 새로운 초저전압 로직 반도체 소자/공정의 개발에 박차를 가하고 있지만 국내는 아직까지 이에 대한 필요성을 충분히 인지하지 못하여 1~3년 정도 뒤쳐진 상황임.

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

	Spec/ 공정	16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품
I. 초저전압소자 및	초저전압 소자 개념 도출 및 IP 창출 소자/공정/회로												미래부	초절전 로직/메모리 제품

회로기술	기술 개발														
	집적 공정 및 단위 시스템 구현														
	소자/회로/시스템 최적화														
	상용화기술이전														
	양산기술개발														산업부
	연차별 전력 절감 비율 (2015년기준)	1	1	0.8	0.8	0.5	0.5	0.2	0.2	0.1	0.1	0.05			

나) 연구 동향

○ 소자기술의 필요성

- 동작속도 개선에서 저전력 소모로 이동하는 나노 전자 소자 기술의 변화의 한계상황에 대한 중요한 돌파구를 제공함
- 지금까지 미국과 같은 선진국을 답습만 하였던 국내 반도체 기술이 새로운 패러다임을 제시하는 진정한 세계 1위로 올라설 수 있는 계기가 될 것임
- MOSFET 소자에 기반한 기존의 공정, 소자, 회로/시스템 설계 기술의 일대 변화를 한국이 선도하면서 나노 전자 소자 기술의 패러다임 전환을 주도할 것임
- 휴대용 전자기기, 사물인터넷 등으로 대표되는 초저전력 반도체 시장의 등장에 능동적으로 대응하고 변화를 주도할 수 있음
- 단순한 나노 전자 소자 제품의 경쟁력을 강화만이 아닌 이를 사용하는 모든 시스템의 전력소모를 획기적으로 개선하게 됨
- 단순한 나노 전자 소자 제품의 수출증가에 그치지 않고 이를 사용하는 전자제품, 각종 기계제품등의 경쟁력을 극대화함
- 에너지와 관련된 국가간 혹은 다자간 통상마찰을 피해갈 수 있게 할 것이며, 에너지, 환경 관련 기술을 우리가 선도하게 되어 국가이미지 제고에도 기여함

○ 국내외 연구동향

- 새로운 반송자 주입 방식 소자
 - 2004년 Phys. Rev. Lett.에 J. Appenzeller가 최초로 sub-60-mV/dec를 상온에서 시연한 탄소나노튜브 기반 tunnel FET을 발표
 - 2007년 IEEE EDL에 W. Y. Choi가 최초로 sub-60-mV/dec를 상온에서 시연한 실리콘 기반 tunnel FET을 발표
 - 2008년 IEEE TED에 V. Nagavarapu가 PNPN 접합구조를 이용한 tunnel FET를 발표
 - 2008년 VLSI-TSA 학회에서 C. Hu가 수직방향 터널링을 이용하여 전류를 향상시킨 green FET를 발표
 - 2008년 IEDM에서 F. Mayer가 Si, SiGe, Ge의 4족 원소를 이용한 tunnel FET을 구현하여 발표
 - 2009년 IEDM에서 S. Mookerjee가 화합물 반도체를 이용한 tunnel FET을 최초로 발표
 - 2011년 IEDM 학회에서 G. Dewey가 최초로 sub-60-mV/dec를 상온에서 시연한 화합물 반도체 기반 tunnel FET을 발표

- 2012년 IEEE EDL에 L. Lattanzio가 electron-hole bilayer를 이용한 2D 구조의 tunnel FET을 발표
- 2013년 J. Wan이 IEEE EDL에 tunnel FET과 BJT의 동작을 결합하여 구동전류의 향상을 얻은 결과를 발표
- Negative capacitance FET
 - 2001년 Physical Review B에 A. M. Bratkovsky이 negative capacitance의 존재를 이론적으로 예측함
 - 2008년 Nano Letters에 S. Salahuddin이 negative capacitance를 이용한 FET의 저전력 구동 및 steep switching 특성 실현의 가능성을 이론적으로 규명함.
 - 2010년 IEDM에서 로잔공과대학교(EPFL)의 A. Rusu가 NCFET을 이용하여 steep switching이 가능함을 보임.
 - 2015년 Nature Materials에 A. Khan이 ferroelectric negative capacitance를 직접적으로 측정하여 negative capacitance의 응용가능성을 증대시킴.
 - 2015년 Nano Letters에 J. Jo가 ferroelectric capacitor의 negative capacitance를 이용한 MOS transistor의 steep switching 특성을 높은 On/Off ratio ($> \sim 10^5$)와 함께 NCFET의 동작 특성을 실험적으로 규명함.
 - 2015년 IEDM에서 HfZrO의 ferroelectricity 특성을 이용하여 NC-FinFET을 구현함. 이는 HfO₂를 사용하는 기존 CMOS 소자와의 호환가능성을 높임.
 - 2016년 IEEE EDL에 J. Jo가 Hysteresis 특성 없이 steep switching을 구현한 NCFET을 실험적으로 보임.
 - 2016년 APL에 J. H. Park이 single-grain PZT ferroelectric NCFET을 구현하여 우수한 fatigue ($> 10^8$ cycle) 특성을 보고함.

다) 연구목표 및 개발 전략

○ 주요 도전과제 (문제점, 한계)

- 나노 전자 기술이 발전함에 따라 정보처리기기에서 소요되는 에너지의 총량이 기하급수적으로 증가될 것으로 전망되고 있음
- 기존 ICT기술의 기반이 되고 있는 반도체 기술이 1960년대 이후 미세화 일변도로 발전되면서, 에너지효율을 개선하기 위한 연구가 부족했던 것이 주요 원인임
- 예를 들면 나노 전자 소자의 크기는 수백배 이상의 감소를 보였으나 이를 구동하기 위한 전압은 수십배 이하의 감소에 머무르고 있음
- 0.5 V 이하의 구동전압을 보이는 차세대 나노 소자에 대한 연구가 본격화되고 있으나, 아직 획기적인 기술발전의 계기를 마련하지 못한 상태임

○ 연구목표 및 주요연구내용

- 연구개발 목표
 - 기존 전자 소자의 대표주자인 MOSFET의 구동전압 한계를 극복하기 위하여 0.5 V 이하 구동전압에서 동작하는 신개념 초저전력 소자 및 회로 기술 개발
- 연구개발 내용
 - 기존 MOSFET의 구동 전압 한계를 극복하는 신개념 초저전력 로직 전자 소자 개

발

- 기존 메모리의 구동 전압 한계를 극복하는 신개념 초저전력 메모리 소자 개발
- 신개념 초저전력 로직 전자 소자 및 메모리 소자를 이용하기 위한 회로 개발
- 연구개발 전략
 - 미국을 비롯한 선진국들은 다양한 물질과 구조를 이용하여 반도체 산업을 이루어 왔으므로 초저전력 소자 및 회로 개발에 활용할 자산이 다양함
 - 그러나 이러한 접근 방식은 한정된 연구역량과 재원을 분산하는 효과가 있어 연구역량과 재원이 부족한 우리나라는 선택과 집중 전략을 사용하여 연구격차를 해소하여야 함
 - 본 연구에서는 그동안 우리나라가 반도체 부분에서 쌓아온 세계최고수준의 소자/공정 자산을 최대한 활용하는 방향으로 초저전력 소자 개발을 추진할 것이며 CMOS 소자/공정/회로와의 호환성을 최대한으로 유지하는데 집중하여 기술 패러다임 변화에 따른 비용과 노력을 최소화할 예정임

○ 사업화전략

- 본 연구과제의 개발단계부터 수요 반도체 기업의 feedback을 지속적으로 반영
- 연구 개발 결과를 나노팹에 이식하여 양산 가능성을 확인
- 나노팹에서 양산 가능성이 확인되면 수요 반도체 기업과의 협의를 통하여 기술이전/산업화를 진행

라) 초저전력 시스템 구현시 활용방안

○ 대상 소자기술과 타 기술과의 연계 및 응용 가능성

- 본 기술은 초저전압 나노 전자 소자를 개발하여 전력 소모를 감소하는데 의의가 있으므로 다른 기술의 발전을 가능하게 하는 기반 기술의 성격이 강하며 다음과 같은 예시가 가능함
- Monolithic 3D 및 자기재구성 소자 구현시 실리콘 기판 상에 구현되는 소자/회로에 본 기술을 적용할 수 있음
- 실리콘만이 아닌 다양한 소재에 적용이 가능하여 신소재기반 신소자 연구에 활용이 가능함
- 기존기술대비 집적도가 높으면서도 더욱 높은 감도를 보이면서 더욱 적은 전력을 소모하는 초고집적 초고감도 초저전력 센서 시스템의 구현이 가능함
- 충전이 용이하지 않거나 한번 설치하면 상당기간 추가적인 충전없이 동작해야 하는 IoT나 헬스케어 기기등에 사용이 가능하며 energy harvester와 결합시 충전이 필요없는 무충전 정보 시스템의 구현이 가능함

2) Monolithic 3D 기술

가) 소자기술 개요

○ 소자기술개념

- 기존의 소자 scaling 방법을 통한 집적도 한계를 극복하기 위해 3차원으로 적층하여 소자 집적도를 향상 시키는 방법으로 각각의 기판에 소자를 형성 후 via를 이용해 interconnection하는 parallel 적층 공정인 TSV (Through Silicon Via)방법과는 다르게 하나의 기판에 소자를 형성 후 다른 기판을 여러 방법으로 전사 후 후속 소자를 형성하

는 기술로 소비 전력 감소, 발열 문제 완화 및 성능 향상이 가능한 공정 기법임. 또한, 회로 및 소자의 flexibility을 증대 시킬수 있어 소자 scaling 한계 대안 소자 및 공정 기술임.

- RC delay 감소, Thermal Dissipation 감소 및 다양한 Circuit Level 구성 가능성
 - 3D parallel 소자 형성 기술 (TSV) 대비, 3D sequential 소자 형성 기술은 얇은 채널 두께와 interconnection density를 줄여 소자 집적화가 유리하고, mask 개수 사용을 줄일 수 있어 fab friendly 한 공정 기술임 (그림 5.3)



그림 5.3. TSV 및 M3D 공정 기술의 비교

- 3D sequential 소자 형성 기술 국외의 경우 미국 (Qualcomm, Intel, Sandisk, Monolithic 3D Inc., Stanford Univ., MIT, Georgia Tech.), 미국/싱가포르 (SMART), 프랑스 (CEA-LETI, ST-Microelectronics), 대만 (NNDL), 일본 (AIST) 등에서 몇 연구그룹이 구조 설계/특허 출원 및 실제 Few Layer Integration까지 성공한 단계이나, 국내는 아직 관련 연구그룹이 전무한 상태임. 특히, CEA-LETI는 “CoolCubeTM”란 기술로 mature된 process 기술을 제공하고 있음.
- 공정 기술에 따른 M3D 기술 구분
 - 3D sequential 소자 형성 기술은 채널 전사 기술에 따라 크게 bonding과 recrystallization 방식으로 구분되며, 이외에 epi 방식도 일부 연구 되고 있음. 아래는 국외 각 연구기관의 형성 기술을 대략적으로 구분지어 설명함.

국가	연구 그룹	공정 기반 기술
미국	Monolithic 3D Inc.	Direct bonding based Si transfer
	Stanford Univ.	Interlayer oxide deposition
대만	NNDL	Low temperature recrystallization
일본	AIST	Heterogeneous wafer bonding
프랑스	CEA-LETI	Direct bonding based Si transfer: CoolCube TM

○ 파급효과 및 지원 필요성

- Physical Scaling의 한계를 뛰어 넘기 위해 다양한 재료 및 소자 타입에 대한 연구가 진행되나, 기존의 소자를 응용하며 또한 3D 형태 구현시 다양한 circuit level형성이 용의한 M3D 기술은 기존의 타 3D integration 기술 대비 전력 소모 및 소자 성능 향상에 적합하며 다양한 제품군 적용이 예상됨.
- 해외 컨소시움에 볼수 있듯이 정부 지원으로 아직 초기 기술의 선점이 가능하며

이를 통해 차세대 반도체 기술의 platform기술 확보로 다양한 제품군의 응용으로 전개 가능하여 중국의 거센 도전을 뛰어 넘어 국내 반도체 산업의 전세계에서 입지 확고히 할 수 있는 기회가 있음. 이는 또한 다양하고 종합적인 연구 지원 체계를 통해 국내 반도체 분야의 생태계 복원이 가능하리라 판단됨.

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

	Spec/ 공정	16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품
II. Monolithic 3D	Monolithic 3D 기술 개념 도출												미래부	FPGA, 초절전 로직/메모 리 제품
	소재/소자/공정/회로 기술 개발													
	집적 공정 및 단위 시스템 구현													
	시스템 (아키텍처, 모델링, EDA) 최적화													
	상용화기술이전												산업부	
	양산기술개발													
	연차별 전력 절감 비율 (2015년기준)	1	1	0.9	0.9	0.8	0.8	0.7	0.7	0.5	0.5	0.5		

나) 연구 동향

○ 소자기술의 필요성

- 미세화 공정 한계

- 소자 미세화를 통한 성능 향상은 물리적 한계 뿐만 아니라 performance 향상을 위한 천문학적 투자 비용으로 효율성의 문제점이 대두되어 새로운 재료, 소자 및 공정 대안 기술이 필요함
- 소자 미세화를 통한 gain은 미비하나 interconnection RC에 기인한 power consumption이 dominant해지므로 2D 형태의 미세화가 아닌 새로운 대안 기술이 필요함
- 3D Integration (적층형 소자 집적 기술) 은 재료 및 공정 측면에서 다양성이 가능하기 때문에 기존의 2D 형태에서 미세화를 통한 성능향상의 어려움을 뛰어넘을 것으로 판단됨

- 기존 적층형 소자 집적 기술 (Parallel 3D Integration, TSV) 의 문제

- 적층형 소자 집적 기술 중 현재 각광 받고 있는 기술은 TSV (Through Silicon Via)로 다양한 소자에 적용이 예상되나, TSV 기술은 다음과 같은 Issue를 해결해야 실제 cost effective하게 양산 기술에 적용 될 수 있음. ① 70~100 μ m의 두꺼운 wafer substrate에 따른 높은 via (high aspect ratio) filling 문제, ② Metal interconnection에 의한 저항 및 발열문제, ③ 두꺼운 wafer에 따른 bonding시 alignment 문제 등을 해결해야 함

- 새로운 대안 기술 (Sequential 3D Integration) 필요성 대두

- 3D sequential 소자 형성 기술은 하나의 wafer에 소자 형성 후 epi 성장, recrystallization 또는 절연체 층을 증착한 후 얇은 웨이퍼를 위에 bonding을 통해 새로운 substrate layer를 형성 후 그 위에 소자를 sequential 하게 형성 하는 공정 기술임
- 3D sequential 소자 형성 기술은 각 layer의 소자를 매우 얇은 채널 (50~500nm)형성으로 Via specification의 변경이 가능 [(Via diameter (10~50nm), Via pitch (100~300nm))] 하여 TSV의 한계점으로 지적되는 wafer

두께에 따른 문제점들을 해결 가능한 새로운 대안 제조기술임. 아래 그림 5.5는 parallel (TSV) 및 sequential 적층형 소자 집적 제조 기술의 특성을 비교하여 보여 줌

- 3D parallel 소자 형성 기술 (TSV) 대비, 3D sequential 소자 형성 기술은 얇은 채널 두께와 interconnection density를 줄여 소자 집적화가 유리하고, mask 개수 사용을 줄일 수 있어 fab friendly 한 공정 기술임.
- Interconnection density의 감소로 RC delay 감소와 thermal dissipation 이슈 또한 현저하게 감소시킬 수 있으며, circuit level에서 다양성을 추구할 수 있어 다양한 응용분야 적용 가능한 공정 기술임

○ 국내외 연구동향

– 국내 연구동향

- 수년전 Samsung 및 SK-Hynix에서 초기 M3D에 대한 연구를 진행하였으나 (S3 Technology, Single Crystal Si Layer Stacking Technology) 당시 연구 장비 및 수준이 현재의 해외 leading 연구에 미치지 못하였고 그 당시 대비 많은 관련 장비 및 기술이 성숙되었고 Scaling 한계 극복의 방법으로 M3D에 연구 필요성이 증대됨.
- 국내 M3D에 대한 연구프로그램은 전무하며, 2015년 산업핵심 소재부품 반도체 산업프로그램에 관련 연구 시작이 예상되나 연구내용은 탐색 수준이 그침. (4억/년, 미래반도체소자프로그램)

– 국외 연구동향

- 다수의 국가에서 많은 연구가 진행되고 있으며 특히 Qualcomm은 기술 상용화에 대한 계획을 가지고 있음

① Leading Group: CEA-LETI (프랑스)

- 2011년 IEEE VLSI에서 CEA-LETI의 P. Batude 교수팀은 기존의 TSV 공정과 달리 FDSOI MOSFET 위에 oxide layer를 형성시키고 200°C이하의 저온 W2W bonding을 통해 전사시킨 채널에 다시 MOSFET을 제작하는 방식으로 얇은 SOI 기판을 형성한 후 그 위에 다시 소자를 제작하는 방식으로 100nm내외의 ILD를 가지는 2 layer 적층 소자를 구현하였고 소자의 열화를 막기 위해 bottom 소자에 novel Ni salicide과 top의 MOSFET 공정 온도를 600°C이하로 조절하였음 (그림 5.7).

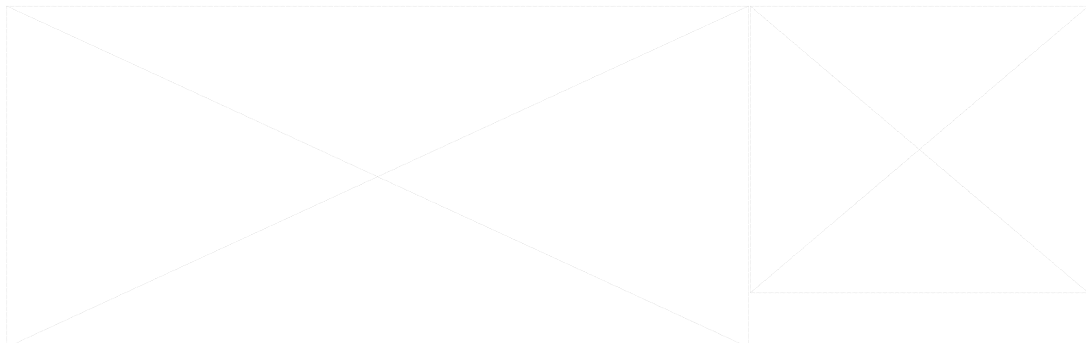


그림 5.7. CEA-LETI (프랑스)의 3D sequential integration 기술

② Leading Group: Stanford University (미국)

- 2014년 IEDM에서 M.Shulaker 교수와 P.Wong 교수팀은 디바이스 형성 후 oxide deposition을 통한 interlayer 형성에 기반한 소자를 3D 적층하여 연구 결과를 발표함 (그림 20). 100nm 내외의 ILD 형성 이후 source/drain 생성이 불필요한 RRAM 및 CNTFET을 4층으로 적층하여 Logic소자-RAM을 연결하는데 성공하였고 저온공정을 통해 Top-Bottom 소자의 특성을 균일하게 형성함

③ Leading Group: AIST (일본)

- AIST의 T. Irisawa 교수팀은 2013년 Ge과 InGaAs의 이종접합을 통한 3D sequential vertical CMOS를 발표하였음. 연구진은 Ge-HfO₂-TaN pMOSFET 위에 oxide deposition 후 InGaAs wafer를 bonding 후 InP etching을 통해 이종 접합된 2 channel Layer를 얻었으며 기관의 특성차이를 이용하여 저온공정(< 350℃)을 통해 Top-pMOS/Bottom-nMOS의 Vertical CMOS를 구현함

④ Leading Group: NNDL (대만)

- 대만 NNDL의 Chang-Hong Shen 교수팀은 2013년 IEEE IEDM학회에서 3D sequential chip integrated with 500ns NVM, 3ps logic circuits & SRAM 주제로 low temperature epi-like Si로 채널을 형성한 기술로 적층된 MOSFET 결과를 발표함. CEA-LETI과 AIST 기관의 wafer bonding이 아닌 channel semiconductor를 증착 후 laser를 이용하여 recrystallize하는 방식을 제안하였으며 dopant activation에도 GN-LSA를 적용하였고 완성된 Top 소자와 Bottom 소자의 전기적 특성 평가의 열화가 없음을 보여줌. 또한, 2014년 IEEE IEDM학회에서 동일한 방식으로 Si이 아닌 Ge과 SiGeC의 이종 채널 3D integration을 통해 light harvester를 구현하여 wireless sensor networks 및 wearable 소자에 활용 가능한 저전력 자가발전 소자로서의 가능성을 보여줌.

다) 연구목표 및 개발 전략

○ 주요 도전과제 (문제점, 한계)

- Monolithic 3D를 구현하는 다양한 방법 중 어떤 공정이 가장 효율적이고 타 소자에 적용 가능한지 아직 결론이 나오지 않았기 때문에 다양한 공정 기법에 대한 평가가 이루어져야 함. 몇가지 공정 기법에 대한 screening-out 후 실제 공정 기법으로 사용하기 위해서는 공정 뿐만 아니라 설계, EDA, 시스템에 대한 평가가 이루어져야 함.
- 3차원 집적화는 단일 소자 기준이 아니라 소자 density가 높은 소자로 평가하고 이에 대한 수율과 신뢰성에 대한 평가가 이루어져야 함.
- 검증 소자는 일반적인 logic-memory 형태 보다는 다양한 소재, 소자 등이 결합되어 저전력 시스템-온-칩 (System-on-Chip, SoC)과 같은 example로 IoT 센서 등에 먼저 응용 될 수 있을 것으로 기대됨.

○ 연구목표 및 주요연구내용

- 연구개발 목표
 - Monolithic 3D 고성능 시스템반도체 소자 및 공정 기술
- 연구개발 내용
 - Si 및 Non-Si 단일 재료 및 hybrid substrate을 통한 3차원 적층
 - 융복합저온 소자 공정 형성 개발 및 관련 장비 개발
 - Circuit, 신뢰성, 모델링, EDA 및 3차원 소자 시스템화 및 IP 확보

○ 사업화전략

- 3차원 집적 공정은 다양한 소자의 응용 및 장비 연구가 필요하므로, 센서, 디스플레이를 응용한 IoT 소자에 응용 가능하여 국내 많은 IoT 소자 및 센서를 연구하는 곳에 foundry fab 공정을 진행할 수 있고, 이로 인하여 국내 저전력 소자 및 응용 분야의 활성화 가능하게 함. 또한, 관련 장비 개발은 대형 장비 업체와 다른 중/소형 업체가 진입할 수 있는 많은 분야가 있기에 관련 장비 개발이 용이 할 것으로 판단되며 이러한 장비는 타 3차원 공정에도 응용 가능할 것으로 판단됨.

라) 초저전력 시스템 구현시 활용방안

○ 대상 소자기술과 타 기술과의 연계 및 응용 가능성

- 타 소자의 3차원 집적화의 backbone 기술로 다양한 소자 적용 가능함

3) 자기 재구성 로직 소자기술

가) 소자기술 개요

○ 소자기술개념

- 자가적응형 재구성 로직 기술은 아날로그 및 디지털회로가 하나의 하드웨어로 여러 가지 기능을 구현될 수 있도록 나노스위치를 구비한 구조를 의미하며, 생체와 같이 (bio-inspired) 주변 환경과 사용자에게 반응하며 진화하고 확정적 (deterministic) 연산을 넘어, 확률적 (stochastic) 연산을 통해 상황판단을 하는 지능형 컴퓨터를 구현하는 미래 핵심 ICT 기술임.



그림 5.11. 자기 재구성 로직 소자 모식도

○ 주요기술

- 양이온 이동에 기반한 나노스위칭소자는 높은 선택비와 대면적화가 유리하다는 장점이 있어 많은 연구가 진행되어오고 있으나, 현재까지는 주로 메모리소자를 구현하기 위한 연구가 많이 진행되었고, 재구성로직 소자로 응용하려고 하는 연구는 극히 많지 않음.
- CMOS 의 후공정으로 구현할 수 있으므로 추가적인 면적이나 별도의 공정을 최소화 하면서 구현할 수 있음.

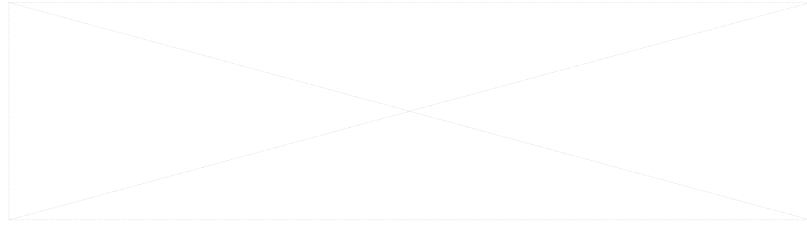


그림 5.12. 양이온 이동에 기반한 나노스위칭 소자

- 양이온 이동에 기반한 나노스위칭소자보다 높은 에너지 효율을 나타내는 기계적 동작에 기반한 나노스위칭 소자는 전기전도도가 매우 큰 도체기반으로 구현할 수 있어서 재구성로직과 매우 정합성이 좋은 나노스위칭 소자로 알려져 있음.
- 미세화에 대한 연구가 많이 진행되었기는 하지만, MEMS 기반에서 나노소자 크기로 진입이 원활하지 않고 특히 CMOS의 후공정으로 구현하기 위한 연구가 만족할 만한 결과를 확보하지 못함.



그림 5.13. ReRAM을 이용한 재구성 로직 소자

- 기타 MRAM이나 ReRAM 기반의 비휘발성 메모리소자들도 재구성로직 나노스위치로서 가능성이 대두되고 있어 기존에 축적한 풍부한 기술력을 바탕으로 가능성을 높게 하고 있음.
- 기존의 메모리소자들이 미세화, 메모리 신뢰성 등에 초점을 맞추었다면 재구성로직 스위치의 경우 스위칭속도와 반복 횟수 등 다른 종류의 성능이 요구되고 있으므로 이러한 특성을 구비하는 것은 큰 도전으로 남아있음.



그림 5.14. MRAM을 이용한 재구성 로직 소자

- 재구성로직은 기존의 FPGA라는 형태로 존재해 왔으나, 로직회로의 개발용 프로토타입으로 범용 변형이 가능하도록 하면서 효율성이 매우 낮은 회로임.
- 특히 재구성소자와 연산소자를 모두 CMOS로 구현하여 ASIC회로 대비 오버헤드는 매우 크고 성능은 아주 떨어지는 단점을 가지고 있음.
- 확률적연산을 위한 재구성로직이라 함은 성능이 우수한 ASIC의 기능을 국부적으로 배치된 재구성 스위치를 이용하여 기능을 순간마다 신축적으로 변형할 수 있게 만드는 회로를 의미함.

- 재구성을 구현하는 소자와 연산소자가 다른 형태로 구현되므로 적은 오버헤드를 가지고도 매우 높은 성능을 유지할 수 있으며, 특히 디지털회로 뿐만 아니라 아날로그 회로까지 재구성하여 소프트웨어 수준에서 재구성 알고리즘을 개발한다면 지능형컴퓨터의 핵심부품을 초저전력으로 구현할 수 있는 핵심기술이 됨.

○ 파급효과 및 지원 필요성

- **(기술적)** 사용자의 특성이나 환경의 변화에 따라 능동적으로 적응하는 bio-inspired 시스템은 미래컴퓨터가 추가하는 자율주행자동차시스템, 형체 및 행동인식, 지능형로봇, 개인맞춤형 모바일기기, IoT를 구현하는 핵심 ICT 기술임. 미래의 확률적 컴퓨팅의 핵심 기술을 확보하여 지적재산권 땅을 구축함으로서, IoT나 지능형로봇, 자율주행시스템 개발을 선도함. 또한 자가적응형 재구성로직으로 간단한 구조에서 초저전력을 소모하면서 고성능을 구현하는 기술을 확보함. 따라서 본 연구는 전자분야의 한계를 넘어설 수 있는 새로운 패러다임을 창출하는 계기가 될 것임.
- **(경제적)** 자기재구성 로직 소자개발은 단순히 일개 반도체 제품의 경쟁력을 강화시키는 차원을 넘어 이를 사용하는 모든 시스템의 성능향상과 전력소모를 개선하며 신뢰성과 유연성을 비약적으로 향상시킬 것으로 기대됨. 결과적으로 본 기술의 개발은 반도체 산업과 전자 산업의 경쟁력을 강화하고 국제적 통상 분쟁에의 능동적 대처와 직결될 것임. 또한, 선진국들이 국가적 자존심을 걸고 경쟁하고 있는 군사기술과 우주항공기술 개발 분야에서 기존의 자가적응형 재구성로직 기술로는 대응할 수 없는 극한의 상황에서도 동작하는 핵심 기술을 보유하게 될 수 있음.

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

	Spec/ 공정	16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품
자기 재구성 아키텍처 (RCA)	재구성용 스위칭 소자 및 집적기술 개발												미래부	초절전 로직제품
	재구성 알고리즘 및 아키텍처 개발													
	재구성로직 검증 기술개발													
	프로토타입 시스템 구성													
	상용화기술 이전													
	양산기술개발												산업부	
	연차별 전력 절감 비율 (2015년기준)	1	1	0.5	0.5	0.1	0.1	0.1	0.03	0.03	0.01	0.01		

나) 연구 동향

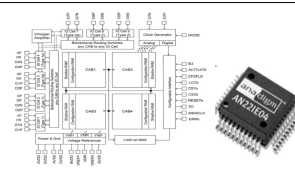
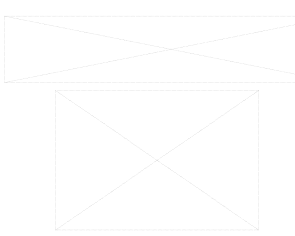
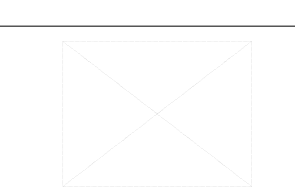
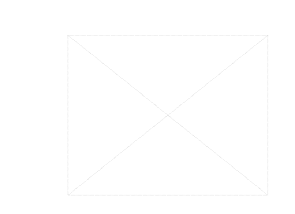
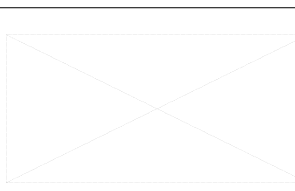
○ 소자기술의 필요성

- FPGA를 중심으로 한 소자의 재구성은 재구성의 유연성은 뛰어나지만 추가적인 지연시간을 요구하고 동작중 실시간 업데이트가 어려워 지능형, 감성형 컴퓨팅소자로의 응용은 제한되고, 비휘발성 메모리를 기반으로 한 나노스위칭소자의 경우에도 스위칭소자 자체의 저항성분 때문에 재구성 횟수가 제한되고 속도저하를 초래

함.

○ 국내외 연구동향

연구수행 기관	연구개발의 내용		연구개발성과의 활용현황
University of California Berkeley		4단자 나노 스위치 구현, seesaw 구조의 나노 스위치 구현, Relay 기반 VLSI application에 필요한 회로 구현	Complementary 논리 회로, 디지털 논리 application, VLSI application
Stanford University		5단자 구조의 금속 코팅된 나노 스위치 구현, NMOS에 Relay 집적, VLSI application에 필요한 회로 구현	MUX 등의 디지털 논리 component, Low leakage circuit
The Interuniversity Microelectronics Center (벨기에)		산화물 초박막과 양이온 이동제어 기반 소자의 동작원리인 conductive path를 CFM방법으로 3차원으로 관측함.	양이온 이동제어 기반소자의 동작원리를 관찰함으로써 차세대 소자로서의 특성 향상을 위한 방향 제시.
National Institute for Materials Science in Japan		단결정 Diamond membrane을 이용하여 고속 동작이 가능한 나노 Switch 개발	센서, 구동기, 초고주파 MEMS/NEMS, 마이크로-광기전 장치
University of California Santa Barbara		고종횡비 구조를 이용한 수평 구동 방식의 나노 switch 개발	디지털 회로
Device Platforms Research Labs in Japan		Electrochemical metal-ization effect를 이용한 Cu-NanoBridge device의 특성	SRAM 대체 switching device로 연구
CEA LETI Minatec Campus in France		High ON/OFF 저항비를 위한 Multi-layer 소자 구조	Multi-layer 전해질을 사용한 NanoBridge의 생성을 제어하기 위한 연구
IEF, Univ. Paris-Sud in France		Resistive switching non-volatile memory (MRAM, ReRAM, CBRAM 등)를 이용한 Logic unit들에 대한 연구	기존 Logic unit과 달리 idle시 전원을 끌 수 있어 static power를 없앨 수 있다

XILINX		독립적으로 이차원으로 구성된 소자들을 본딩 및 TSV 기술을 이용하여 수직으로 적층함	SRAM과 TSV에 기반한 재구성 가능 로직 회로 구성
ACTEL		Antifuse 방식의 재구성 가능 로직회로 구성	저온 공정이 가능할 시 삼차원 재구성 가능 로직 회로 구현 가능
Georgia Tech.		FPAA(Field Programmable Analog Array) 설계를 위한 하드웨어/소프트웨어 인프라 개발	RASP3.0 발표 혼성모드 FIR 필터, 신호발생기, 이미지 프로세서 등 구현 가능
Anadigm		재구성가능 FPAA 및 I/O 셀을 포함한 상용 칩 및 시제품 제작용 플랫폼과 EDA 소프트웨어 개발	SRAM 기반 동적 재조합이 가능한 최초의 FPAA 제품을 출시
Cypress		Programmable 아날로그 디지털 블록 및 라우팅, CPU 서브시스템 등으로 구성된 PSoC (Programmable System-on-Chip) 제품 출시. 임베디드 시스템 설계를 위한 소프트웨어 툴 제공.	ARM기반 PSoC 혼성 하드웨어 IP 및 프로토타입 제작 키트
서강 대학교		NEM 스위치 소자의 히스테리시스 특성을 이용해 비휘발성 메모리 구현, NEM 메모리를 기반으로 한 FPGA 칩 (경로 변경 칩) 구현	NEM 기반 비휘발성 메모리 application, FPGA (경로 변경 회로)
KAIST		나노미터 수준의 기계식 나노집적소자 기술을 개발	나노집적소자 고집적 비휘발성 메모리 application, NEM switch 기반 초저전력 IC, NEM 공진기, 센서
서울 대학교		산화물 박막과 이온이동 기반 나노스위칭 소자 개발 환경의 변화에 따른 동작특성이 유연하게 변화하는 아날로그 회로의 개발과 이의 검증을 위한 플랫폼 연구 (X model)	이온 이동 기반소자의 동작원리를 활용 차세대 소자로서의 특성 향상 동작특성이 가변인 회로 설계 및 검증 툴 개발
POSTECH		기존 nano bridge 소자 기술인 buffer layer의 최적화 이외에도 chalcogenide 전해질의 확산 특성 모방하여 산화물 전해질 내 결함발생 기술 도입	PRAM으로 잘 알려진 chalcogenide를 이용한 연구로 발전속도가 매우 빠름.

다) 연구목표 및 개발 전략

○ 주요 도전과제 (문제점, 한계)

- 재구성로직 스위칭소자는 원자이동 기반의 원자스위치와 NEMS 기반의 나노 금속 스위치로 대별되고 있고, 두 종류의 소자 모두 실리콘공정의 후공정에서 제작되므로 면적의 추가적인 만들어진다는 장점이 있지만, CMOS와 집적해서 만들어서 검증한 예는 거의 없음.
- 기존의 원자이동스위치, NEMS 스위치 등과 비휘발성 메모리소자를 나노스위칭으로 활용하는 것을 포함한 재구성로직의 스위칭소자로서의 성능과 집적화 기술을 확보하는 것이 필요함.
- 나노스위칭 소자를 회로와 어떻게 결합하고 어떤 응용분야에 적용하면 얼마나 많은 효과가 있을지에 대한 시스템적인 접근이 극히 미미함.
- 나노스위치가 포함된 회로 및 시스템을 설계하고 검증할 수 있는 플랫폼의 개발이 준비되지 않았음.

○ 연구목표 및 주요연구내용

- CMOS와 재구성로직 스위칭소자를 집적하는 공정을 개발함.
- CMOS와 집적된 스위칭소자가 학습의 과정을 통해 소프트웨어와 아날로그 및 디지털 회로와 보완적으로 스스로 재구성하는 알고리즘을 연구함.
- 나노스위칭 소자를 활용한 재구성을 통한 학습이 소프트웨어만을 통한 학습과 비교하여 전력절감효과와 학습의 효율을 최적화 할 학습알고리즘을 연구함.
- 나노스위치가 포함된 회로 및 시스템을 설계하고 검증할 수 있는 개발 tool 을 포함한 플랫폼을 개발함.
- 소프트웨어를 통한 머신러닝(딥러닝)과 융합하여 소프트한 하드웨어, 즉 자기재구성 로직과 통합된 솔루션으로서의 재구성시스템을 아키텍처 수준에서 개발함.

○ 사업화전략

- CAD tool 개발의 우위를 개발함으로 국내 CAD 전문회사 출현을 기대함.
- Fabless/design house를 통한 재구성로직 IC를 개발하여 사업화하는 것을 목표로 함
- 재구성로직 기능으로 저 전력으로 구현된 동반자로봇, 자율주행자동차, 드론 콘트롤러 등의 차별화된 지능형 ICT제품으로 신규시장 진입 및 시장경쟁력 강화

라) 초저전력 시스템 구현시 활용방안

○ 대상 소자기술과 타 기술과의 연계 및 응용 가능성

- 단위소자 수준에서 상당한 진전이 있는 나노스위치를 활용하여 시스템을 구성하고 플랫폼을 구축하는 과제이므로, 향후 다치로직이나 뉴로모픽 등의 과제의 시스템 구축의 레퍼런스가 됨.
- 집적화기술은 3D monolithic 과제와 긴밀하게 연계하여 진행하여야 하며, 재구성로직은 3D Monolithic에서 집적화 할 contents를 제공함.

4) 다치로직소자기술

가) 소자기술 개요

○ 소자기술개념

- 다치로직은 기존의 이진로직 대비, 단일 회로 면적과 회로 연결의 복잡성, 그리고 소모 전력을 동시에 줄일 수 있는 기술임.



그림 5.17. 2진 로직과 다치 로직의 데이터 처리 능력 및 회로 복잡도 비교

- 다중 상태를 갖는 단일 소자로 소자의 개수가 로직 bit 수보다 작게 다치로직회로를 설계하면, 기존 이진 로직시스템과 동일한 성능의 시스템의 경우, 소자레벨에서 1/10, 회로 및 시스템 레벨에서 1/10, 즉 1/100의 소모전력-지연시간 프로덕트 (Power-Delay Product: PDP) 윈도우 확장이 가능함.
- 다치로직기술 개발이 지연되어온 이유는 단일소자로 다치로직을 구현할 수 있는 소자(하드웨어)를 개발하지 못했기 때문이며, 이 때문에 다치로직 회로 및 시스템 디자인 환경(소프트웨어) 개발 또한 이론적인 연구수준을 벗어나지 못했고, 다치로직 기반 시스템 단위의 아키텍처 설계 또한 지연되어왔음.

○ 파급효과 및 지원 필요성

- 경제적·산업적 파급효과

- 세계반도체무역통계기구(WSTS)에 따르면, 반도체시장의 성장은 372조(2014년), 385조(2015년), 396조(2016년)로 전망하고 있어, 향후 반도체시장의 성장은 꾸준히 지속될 것이라 예측하고 있음.
- 전체 반도체 시장 중에서 저전력제품시장은 30% 정도이며, 이중 삼진로직 적용 가능성이 있는 최첨단 제품이 해당시장의 약 20%에 해당한다고 가정할 경우, 2015년 기준 약 23조의 시장규모를 예측해볼 수 있음됨. 국내기업의 반도체시장 규모가 약 55조이므로, 삼진로직 소자기술을 선점할 경우, 국내 반도체산업의 약 50%에 해당하는 시장에서 절대적인 기술경쟁력을 확보하는 효과를 기대할 수 있기 때문에, 매우 파급효과가 큰 기술임

- 산업파급효과

- 삼진로직 소자기술은 물리적인 미세화의 한계에 도달한 후, 후발업체의 추격을 뿌리칠 신기술 확보에 어려움을 겪고 있는 국내 반도체 산업에 새로운 성장 동력을 제시할 수 있을 것임.
- 저온 3차원 집적공정을 활용하기 때문에 기존 반도체 소자와 접목이 용이하고, 관련소재, 공정장비, 설계 IP 등의 후방산업에도 매우 큰 파급효과가 있을 것으로

예상됨.

- 삼진 시스템 검증을 위해 개발한 다치로직 기반 설계 방법론적 기술들은 4진(쿼터너리) 이상의 다치로직 시스템 설계에 활용될 수 있는 표준환경으로 활용되어 다치로직 시스템 산업화에도 큰 파급효과가 있을 것으로 예상됨.

– 정부지원 필요성

- 4차 나노종합발전계획 중 최우선 과제로 추진하기 위해 선정된 나노챌린지 프로젝트는 나노전자기술분야에서 기존 기술의 에너지 소모 증가로 인한 한계를 극복하기 위한 초저전력미래반도체기술을 추진하는 것을 목적으로 하고 있음.
- 본 과제는 상기 나노챌린지 프로젝트의 일환으로 진행되는 나노소자원천기술개발 사업에 해당하므로, 본 과제에서 추구하는 초저전력 삼진로직시스템 (ALU) 구현은 나노기술분야의 정책적 방향과 잘 부합되는 과제임.

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

	Spec/ 공정	16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품
III. 다치로직 소자 및 아키텍처 (MVL)	핵심소자개념도출 및 IP 창출												미래부	초저전력 로직제품
	핵심 소재/소자/ 회로 구현													
	단위 시스템 구현													
	소재/소자/ 집적공정 최적화													
	상용화기술이전													
	양산기술개발												산업부	
	연차별 전력 절감 비율 (2015년기준)	1	1	0.5	0.5	0.1	0.1	0.1	0.0 5	0.0 5	0.0 1	0.0 1		

나) 연구 동향

○ 소자기술의 필요성

- 미래 반도체 기술은 물리적인 크기를 줄여서 경쟁력을 확보하는 방식의 경쟁에서 소모전력을 낮춰서 시스템의 부가가치를 높이는 방향으로 발전해갈 것으로 예측됨.
- 본 제안은 소모전력을 획기적으로 저감할 수 있는 신기술 중 대표적인 난제기술의 하나인 다치로직기술이 실제로 구현 가능하다는 것을 입증하고, 관련기술을 개발하는 것을 목표로 함.
- 다치로직은 기존의 이진로직 대비, 단일 회로 면적과 회로 연결의 복잡성, 그리고 소모 전력을 동시에 줄일 수 있는 기술임.
- 다중 상태를 갖는 단일 소자로 소자의 개수가 로직 bit 수보다 작게 다치로직회로를 설계하면, 기존 이진 로직시스템과 동일한 성능의 시스템의 경우, 소자레벨에서 1/10, 회로 및 시스템 레벨에서 1/10, 즉 1/100의 소모전력-지연시간 프로덕트 (Power-Delay Product: PDP) 윈도우 확장이 가능함.
- 다치로직기술 개발이 지연되어온 이유는 단일소자로 다치로직을 구현할 수 있는 소자(하드웨어)를 개발하지 못했기 때문이며, 이 때문에 다치로직 회로 및 시스템 디자인 환경(소프트웨어) 개발 또한 이론적인 연구수준을 벗어나지 못했고, 다치로직 기반 시스템 단위의 아키텍처 설계 또한 지연되어왔음. (악순환의 고리)



- 다치로직기술 개발은 2진 소자를 기반으로 단위 회로 및 시스템을 구현하려는 접근 방법이 일부 연구되고 있으나, 회로 복잡도가 더욱 증가하는 문제점이 있음

○ 국내외 연구동향

- 해외 기술 수준 및 시장 현황

a) 기술현황

- 삼진로직 또는 메모리소자기술 관련 논문은 1996년 이후 지속적으로 증가하고 있으나, 삼진로직소자 관련 논문은 상대적으로 적게 발표됨. 삼진로직소자 관련 논문은 2010년 이전까지 RTD 관련 논문이 많은 비중을 차지하였으나 최근에는 CNTFET 관련 논문의 비중이 높아짐.
- 다치로직 관련 해외 학회 중 가장 권위있는 학회로 ISMVL(IEEE International Symposium on Multiple-Valued Logic)에 게재된 다치로직 관련 논문 게재 수를 보면, 2000년대 이후부터 관련 논문 게재가 감소하고 있음
- 삼진로직소자기술 관련된 총 2686건의 특허 출원 건 중에서 삼진로직 메모리소자기술의 경우 90년대 후반부터 2,584건의 특허가 지속적으로 출원되는 양상을 보이고 있으나, 삼진로직소자기술의 특허는 102건으로 메모리 분야에 비해 특허 출원 건수가 적은 상태임. 이는 삼진로직 메모리 소자 기술의 연구 활동은 활발한 데 반해, 삼진로직소자기술은 연구 활동이 활발하지 못함을 의미함.
- 전세계적으로 초절전기술에 대한 관심이 높아지면서, 미국, 유럽등에서 뉴로모픽 소자 및 아키텍처 등 신소자 및 새로운 아키텍처에 대한 관심은 높아지고 있으나, 다치로직소자기술에 대한 진입장벽이 높아서, 아직 이 분야에 대한 연구는 본격적으로 진행되지 않음.

b) 주요 연구그룹 현황

- 일본 NTT LSI 연구소의 Waho 박사팀에서는 공명터널링트랜지스터 및 공명터널링다이오드를 이용한 삼진로직소자 제조 및 삼진로직 논리회로 연구개발을 수행하였으며, 같은 연구소 출신인 Hokkaido 대학의 Takahashi 교수팀은 단전자 트랜지스터 제조 및 삼진로직 논리회로 응용에 대한 세계적 수준의 기술을 보유하고 있음.
- 2009년, 미국 Connecticut 대학의 Jain 교수팀은 세가지 상태를 가질수 있는 양자점 게이트 트랜지스터의 개발을 보고하였고, 2011년 같은 연구팀의 Karmakara 박사는 상온에서 네가지 상태를 가질수 있는 양자점 게이트-양자점 채널 트랜지스터를 개발함. 이 후 인텔로 입사한 Karmakara 박사와함께 양자점 게이트 트랜지스터와 이를 이용한 삼진로직 논리 소자 제조에 관해 공동연구를 진행함. 양자점 소자의 경우 양자점 자체의 크기와 주변 절연층을 포함한 게이트절연막의 두께

워서, 미세소자제작에 결정적인 한계가 있음.

- 미국의 Texas Instruments사에서는 90년대 초중반에 삼진로직 논리 작동을 위한 삼진로직공명터널링회로 제조 연구를 활발히 진행하였으며 삼진로직 회로에 대한 12건의 관련 특허를 출원함.
- 영국의 Manchester 대학의 Novoselov 교수팀은 높은 피크-밸리 전류비 (peak-valley current ratio)를 갖는 그래핀-BN 적층구조의 공명터널링트랜지스터 개발에 성공하였으며, high-speed electronics로의 응용 가능성을 제시함.
- IMT Bucharest의 Dragoman 교수팀은 그래핀 및 CNT의 삼진로직소자로서의 응용가능성을 시뮬레이션을 통해 이론적으로 제시하였으며, CNT 삼진로직공명터널링소자를 직접 제조함
- 미국의 Purdue 대학은 2005년 CNT 형상에 따른 트랜지스터의 동작 특성을 연구하고, 이를 통해 CNT 트랜지스터 기반의 멀티밸류로직을 구현할 경우 많은 장점이 있다는 것은 SPICE 시뮬레이션을 이용하여 제시했음
- 일본의 Kanazawa 대학의 교수팀은 SeSbTb를 이용하여 상변화막을 제조하고, 상변화막에 인가되는 current pulse를 조절하여, 42-2.1 KΩ 사이에서 4개의 저항을 갖는 상변화메모리를 제조함
- 미국 IBM사는 2000년 Cr을 도핑한 SrZrO₃를 이용하여 저항변화메모리를 제조하고, 약 20의 on/off 저항비, 1000회 정도의 endurance, 50 μA의 reset 전류, 펄스 전압을 통한 삼진메모리 스위칭 특성에 대해 보고함
- 일본의 AIST 연구그룹은 2005년 Nb이 도핑된 SrTiO₃(STO:Nb) 기판위에 에피성장된 SrRuO₃(SRO)의 이종접합 구조를 통해 인가하는 전압의 크기를 조절함에 따라 삼진로직의 저항상태를 갖는 소자를 보고함
- 스탠포드 대학은 2014년 HfO₂ 기반의 ReRAM을 제작하고 펄스 train을 종래의 단일펄스가 아닌 3-bit로 인가함으로써, 삼진로직 특성을 80% 개선함

- 국내 기술 수준 및 시장 현황

a) 기술현황

- 국내·외 연구동향에 정리된 바와 같이, 단전자 트랜지스터 또는 공명터널다이오드를 이용한 다치로직연구가 테라나노소자사업단에 의해 수행하였으나, 실용연구 수준까지 도달하지는 못한 상태에서 종료됨.
- 최근 선정된 미래소재개발사업단(한양대 성명모 교수)에서는 절연막의 전도도를 다단계로 조절할 수 있는 신소재를 개발하여, 다치로직을 비롯한 다양한 응용분야에 적용한다는 목표로 과제를 수행중임. 이 과제는 소재탐색을 주목적으로 하는 과제이며, 본 과제에서 제시하고자 하는 저온집적공정, 특화회로개발, 시스템 구현 등의 연구를 수행하지 않음.
- 광주과학기술원, 울산과학기술원에서 단위소자 및 회로 수준에서 신기술에 대한 연구가 내부과제로 진행되고 있으나, 정책과제로 지원된 바는 없으며, 시스템 수준의 성능을 검증하기 위한 연구는 수행되지 않고 있음.

b)주요 연구 그룹 현황

- 2006년 충북대 최중범 교수팀에서는 10nm급 단전자 트랜지스터를 이용하여 테라비트급 고집적 실리콘반도체 논리회로의 기술인 “낸드(NAND) 및 노어(NOR) 회로 온칩 나노집적공정 기술”을 개발하였으며, 5년 후인 2011년, 2nm 크기의 단

전자 트랜지스터 제작에 성공하여 상온에서 전자의 전하 및 에너지 양자화가 나노 트랜지스터 동작 특성을 현저하게 변화시키는 ‘상온 양자효과’를 실험적으로 제시한 바 있음.

- KAIST 양경훈 교수팀은 공명터널링다이오드를 이용하여 아날로그·디지털 통신용 집적회로의 핵심부품인 초고주파 발진기 회로와 4대1 멀티플렉서 회로 개발에 성공하였으며, 기존 CMOS 회로에 비해 소비전력을 각각 1/170, 2/3로 줄일 수 있었음.
- 2008년 삼성전자에서는, 다이오드로 스위칭되는 상변화메모리 구조에서 쓰기동작의 제어를 통해 2-bit로 동작 가능한 상변화메모리 기술을 발표하였으며, 2009년에는 drift coefficient가 0.007이하로 제어되며, 하나의 전극상에 Parallel multi confined구조의 상변화막을 배치하여 다수의 저항상태를 갖는 Multi-bit 상변화메모리 기술을 발표하였음.
- 최근 수년간 경쟁그룹에서 다치로직 관련 주요 연구결과가 보고된바 없음

다) 연구목표 및 개발 전략

○ 주요 도전과제 (문제점, 한계)

- 다치로직 구현이 가능한 핵심 소자기술(하드웨어)의 부재가 가장 큰 걸림돌로서, 다치로직 합성 (synthesis) 및 시스템 아키텍처 디자인 환경 부재의 원인을 제공하여 다치로직 기술 개발의 악순환의 고리를 형성함.
- 기존 이진소자 및 이진로직의 안정적이고 강건한 하드웨어-소프트웨어 합성 프레임이 다치로직 소자 개발의 필요성을 희석시켰던 주요원인이지만, 현재 이진로직 시스템의 소모전력 스케일링의 한계가 명확하여 안정적인 다치로직 하드웨어(소자 기술) 개발이 절실히 필요함.
- 단일 소자에서 안정적인 다중상태를 구현할 수 있는 소자 기술 개발 연구가 진행되고 있으나, 신공정/신물질 기반의 다치로직 소자 및 요소 회로 구현 연구로서 (나노소재원천기술개발사업), 궁극적인 초저전력 다치로직 시스템-온-칩 (System-on-Chip, SoC) 개발로 연구 범위의 확장에 한계가 있음.

○ 연구목표 및 주요연구내용

- 연구개발 목표
 - 안정적인 CMOS (FEOL) 기술 기반 신개념 다치로직 (MVL) 소자 및 초저전력 다치로직 시스템-온-칩(SoC) 개발



그림 5.23. 안정적인 다차소자(하드웨어) 기반 MVL 회로/시스템 연구 심화 확장

- 연구개발 내용
 - 안정적인 CMOS (FEOL) 기술로 구현 가능한 신개념 다차 로직 소자 개발
 - 연산시스템 외에 임베디드 메모리 (Cache SRAM, DRAM) 다차집적회로 개발
 - 기존 이진 시스템의 부분적 대체 (Bus, Encoder/Decoder)도 포함
- ➔ 전체 이진-MVL 혼성집적 SoC 수준의 초저전력 시스템 구현 연구
- 사업화전략
 - 본 기술은 소자원천기술에 해당하므로 독자적인 사업화는 어렵지만, 소자기술과 관련 설계 기술은 기술이전이 가능함. 따라서 소자성능을 검증하고, 관련 설계 IP와 함께 package 형태의 기술이전을 추진할 수 있음
- 라) 초저전력 시스템 구현시 활용방안
- 대상 소자기술과 타 기술과의 연계 및 응용 가능성
 - 시스템 성능 저하없이 초저전력 다차 소자 구현이 가능하여 미래 초절전/고성능 IoT 구현 및 뉴로모픽 시스템 구현에 핵심 기술이 될 것으로 예상됨
 - 안정적인 공정기반 단일 소자 기술 구현 시, 다차 로직 소자 및 아키텍처 기술에 있어서 원천성 및 선도성을 가지는 표준 기술로서, 비메모리 반도체 시장에서 글로벌 기술 주도권 확보가 가능함.

5) 로직-인-메모리 소자기술

가) 소자기술 개요

○ 소자기술개념

- 현재의 CPU 기술은 로직과 정보저장 모듈이 분리 (그림 5.24a) 되어 있기 때문에 로직과 정보 저장 모듈 사이의 Global 배선이 존재하고, 전달지연이 발생하여 Chip의 성능에 영향을 주게 됨. 특히 스케일링이 가속화 (그림 5.24b) 되면서, 모듈 간 Delay는 점점 커지고, 파워소모는 급격하게 증가함. 현존하는 On-Chip 메모리 모듈은 휘발성 소자이기 때문에, 스케일링이 지속되면서 정적 파워가 동적파워소모를 상

회하는 수준에 이르게 됨.

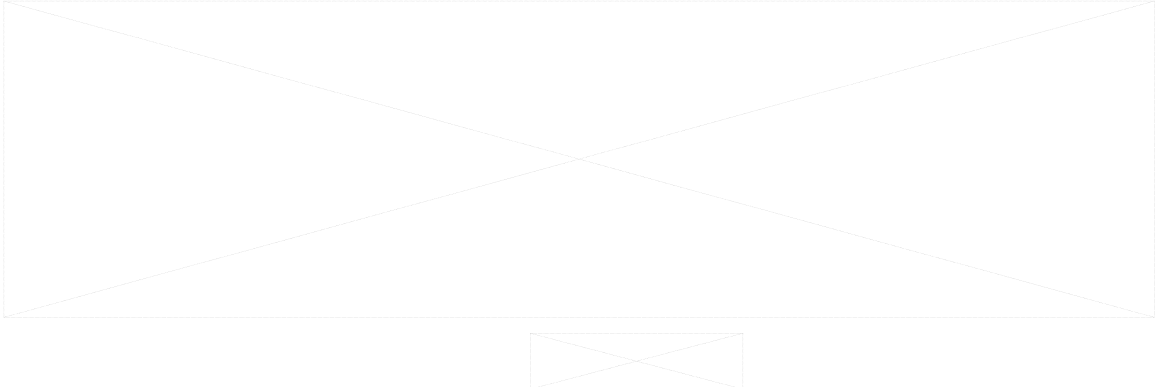


그림 5.24. 로직과 메모리 모듈의 배치도 및 기술세대에 따른 배선별 속도 지연

- 로직-인-메모리 기술: 로직과 정보저장 모듈 간 정보전달지연과 급격하게 증가하는 파워소모를 해결할 목적으로, 로직 회로에 비 휘발성 정보저장 소자를 집적하여, 그림 5.25와 같이 로직-인-메모리를 구현할 수 있음. 비휘발성 소자를 사용함으로써, 정적 파워소모를 줄일 수 있고, CMOS 층 위에 정보저장 소자를 적층할 수 있어, 칩 면적을 낮출 수 있으며, 로직층과 메모리 층이 집적되어 있어, 모듈간 정보전달 지연과 동적 파워를 낮출 수 있음.



그림 5.25. 로직-인-메모리 아키텍처

○ 파급효과 및 지원 필요성

- 가까운 미래에 DRAM 및 Embedded 메모리가 비 휘발성 소자로 대체되어, 시스템의 파워소모 감소와 성능개선이 가능할 것임. 궁극적으로 비 휘발성 소자가 로직에 내장되어 있는 형태의 시스템구조로 전환되어 초 절전, 작은 면적, 고속 구현이 가능함 (그림 5.26). 이는 궁극적으로 미래의 IT 기술이 추구하는 기술방향임. 로직-인-메모리에 사용될 수 있는 잠재력이 큰 비 휘발성 정보저장 소자의 요구조건을 만족하기 위해서는 비휘발성, 고속 동작, 저온 공정이 가능한 재료 및 소자에 대한 기초연구를 통해서 기술 확보가 가능하기 때문에, 혁신 기술로서 난이도가 높기 때문에 기업과 정부 지속적인 투자가 필요함.
- 산업파급효과
 - 로직-인-메모리기술은 폭발적으로 증가하는 파워소모를 해결하는데 효과적이며, 국내 업체가 주도하고 있는 강력한 메모리 기술을 로직분야에 융합 적용하여, 물리적인 미세화의 한계에 도달 시, 중국 및 대만의 반도체 후발업체의 추격을 뿌리

칠 신기술로써, 반도체 산업에 신 성장 동력을 제시할 수 있음.

- CMOS로직 층 위에 600℃이하의 공정온도를 갖는 비휘발성 소자를 집적공정 하기 때문에 기존 반도체 소자와 공정 적합성이 뛰어나며, 관련소재, 반도체 생산장비 등의 후발사업에도 매우 큰 파급효과가 있을 것으로 예상되며, 로직-인-메모리 아키텍처에 대한 동작 및 설계 IP 확보 시, 국내 기업의 반도체 시장 주도권을 유지하는 데 기여할 수 있을 것으로 예상됨
- 로직-인-메모리 기술은 비휘발성 소자의 저항상태가 2개의 상태를 갖기 때문에, 다치로직 또는 32개 상태를 갖아야 하는 시냅스 소자 대비, 빠른 소자 적용이 가능하며, 로직-인-메모리 기술은 다치로직 및 시냅스 소자를 활용한 시스템 산업화에도 큰 파급효과가 있을 것으로 예상됨.

－ 정부지원 필요성

- 나노켈린지 프로젝트는 4차 나노융합발전계획 중 최우선 과제로 추진되고 있고, 나노 전자 기술 분야에서 폭발적으로 증가하는 에너지 소모를 극복하기 위해서 기존 기술을 뛰어넘는 초저전력미래반도체기술을 추진하는 것을 목적으로 하고 있음.
- 반도체 관련 연구중 메모리기술연구는 주로 민간에 의해 주도되고 있음. 그러나, 로직-인-메모리 기술은 메모리기술이라기보다는 메모리와 융합될 수 있는 로직소자기술에 가깝고, 현재 국내에서 잘 연구되지 않고 있는 분야임.
- 그럼에도 불구하고, 정부지원에 의해 기존 메모리기술과 결합될 수 있는 신기술이 개발될 경우 산업 파급효과가 매우 크기 때문에 정부지원의 효율성이 매우 높을 것으로 예상됨

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

	Spec/ 공정	16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품
로직-인-메모리	로직-인-메모리 소자개발												미래부	IoT 스마트 센서
	핵심소자 개념도출 및 단위 시스템 IP 창출													
	초기 응용기술 도출 및 상용화												미래부	초저전력 로직제품
	핵심 소재/소자 집적공정 최적화													
	상용화기술 이전													
	양산기술개발												산업부	
	연차별 전력 절감 비율 (2015년기준)	1	1	0.8	0.8	0.8	0.5	0.5	0.2	0.2	0.1	0.1		

나) 연구 동향

○ 소자기술의 필요성

- － 로직-인-메모리 아키텍처에 사용될 정보저장소자 구현을 위해서 비 휘발성, 매우 높은 쓰기/지우기 반복횟수 ($>10^9$), 빠른 쓰기 속도, 소자의 소형화 가능성, CMOS 공정 적합성, Back-End-of-the-Line 공정에 적용할 수 있는 600℃이하의 공정온도 및 3차원 적층 가능성이 확보되어야 함.
- － 위의 비 휘발성 메모리 소자의 요구조건을 만족하게 되면, 궁극적으로 비 휘발성 소자가 로직에 내장되어 있는 형태의 시스템구조로 전환되어 초 절전, 작은 면적, 고속

구현이 가능함 (그림 5.26). 로직-인-메모리에 사용될 수 있는 잠재력이 큰 비 휘발성 정보저장 소재로는 스핀, 자성과 강유전체 물질로 고려되고 있음



그림 5.26. CPU 아키텍처의 진화

○ 국내외 연구동향

- 2013년 Tohoku 대학에서 강유전체 Capacitor와 로직 소자를 집적된 로직-인-메모리 소자를 HSPICE 시뮬레이션을 통해서, 비 휘발성 특성의 강유전체 특성이 반영되어 정적 파워 소모를 혁신적으로 줄였으며, 다양한 논리 회로 (AND, OR, MUX-AND, MUX-OR,,)의 기능을 확인함.
- 2013-15년 독일 Fraunhofer 논문에서 실리콘 도핑된 하프니아를 이용하여 트랜지스터 기반 메모리 윈도우와 전하 유지능력에 대해서 보고함. 전하유지 성능이 우수하여, Endurance만 확보 (10^{15}) 된다면, DRAM 향 소자에 적합한 것으로 예상됨.
- 일본의 ImPACT라는 대형 프로그램(40억엔)을 통해 무 충전 장기 사용가능한 예코IT 용 스핀 로직-인-메모리 연구 개발 중임. 일본 도후쿠 대학중심의 IRST 프로그램을 통해서 MTJ를 이용한 비휘발성 CMOS 회로 (spin VLSI) 스핀 로직과 스핀 메모리 각자의 단위공정 기술에 연구 역량 집중됨. 세계적으로 스핀 기반 로직-인-메모리 아키텍처만 제시된 초기 연구단계임.

다) 연구목표 및 개발 전략

○ 주요 도전과제 (문제점, 한계)

- 강유전체 Capacitor가 집적된 로직-인-메모리는 읽기 동작 후에 Restore Scheme이 요구되어, 파워감소 효과가 제한적임. 따라서, 강유전체 특성을 갖으며 다른 기능을 수행하는 소자 탐색 요구됨. 기존 DRAM을 대체하기 위하여 <100ns 이하의 쓰기/지우기 속도 요구됨. 궁극적으로 L1/L2 캐쉬를 대체하기위하여 ~10ns 이하의 스위칭이 가능한 강유전체 소재 탐색이 필요함. Fraunhofer에서 하프니아 기반 강유전체 트랜지스터에 대한 결과에 의하면, 실리콘위에 형성된 하프니아 기반의 강유전체 소자는 쓰기/지우기 반복횟수에 따라 계면 트랩의 급격한 증가로 인하여, Endurance는 10^4 수준임. 기존 DRAM 소자를 대체하기 위하여, Endurance특성과

다양한 신뢰성 특성 확보가 필요함.

- 기존 스핀 소자를 대체하기 위하여, 전기장 자화 제어 스핀-캐도 결합, 스핀 홀 효과를 이용한 초저전력 스위칭 동작원천기술이 필요함. STT-MRAM 후속의 3세대 스핀-캐도 토크 메모리 (SOT-MRAM) 원천기술과 기존 MOS TR 대비 저전력 구동 및 회로 면적 절감의 스핀 TR 기술스핀-캐도 결합의 극대화를 위한 스핀소재/소자 기술이 요구됨.

○ 연구목표 및 주요연구내용

- 연구목표: 로직-인-메모리 아키텍처에 사용될 정보저장소자 구현을 위해서 비 휘발성, 매우 높은 쓰기/지우기 반복횟수 ($>10^9$), 빠른 쓰기 속도 (1-100ns), 소자의 소형화 가능성, CMOS 공정 적합성, Back-End-of-the-Line 공정에 적용할 수 있는 600°C 이하의 공정온도 및 3차원 적층 가능성이 확보되어야 함.
 - 전하보유 특성 및 신뢰성 열화 모델 규명.
 - 단일 셀 내 메모리 기능과 다치 기능을 동시에 수행할 수 있는 소자 및 어레이 레벨의 동작 기술 확보와, 신물질을 활용한 차세대 아키텍처 도출.
 - 10nm 이하 Logic-in-memory 스핀소자 및 비휘발성 가변기능 스핀 논리 소자
 - Logic-in-memory 스핀소자의 경우, 동일 function을 수행하는 논리회로 대비 dynamic power 소모가 20% 이하이며 static power 소모 없음. Write time 2 ns 이하, write energy 10 pJ/bit 이하, retention time 10년 이상.
 - 가변기능 스핀 논리 소자의 경우, 한 셀에서 4가지 논리동작의 구현으로 기존 소자보다 50% 이상 면적감소.

○ 사업화전략

- 로직-인-메모리 소자의 양산기술이 확보되면, 다양한 칩 메이커가 큰 관심을 가지고 사업화를 추진 할 것으로 예상됨. 특히 CPU 및 메모리 기술을 확보하고 있는 국내 반도체 기업과의 긴밀한 협력을 통해 세계 1등 국가산업인 반도체 산업의 유지 발전에 기여할 수 있음.

라) 초저전력 시스템 구현시 활용방안

○ 비휘발성 로직

- 로직-인-메모리를 구현하여, 로직과 정보저장모듈간정보전달 지연과 급격하게 증가하는 파워소모를 해결할 수 있음. 시대별 비 휘발성 로직-인-메모리 지배구조가 변천할 것으로 기대함. 가까운 미래에는 DRAM 및 Embedded Memory가 Nonvolatile 소자로 대체되어 시스템의 파워 소모 및 성능 향상 될 것으로 기대함. 궁극적으로, 비 휘 발성 로직-인-메모리가 기존 로직 소자가 차지하던 영역에 집적되는 형태의 시스템 구조가 되어, 초절전 최소 면적 및 고속 소자 구현이 가능할 것으로 예상함

6) 광배선소자기술

가) 광배선소자기술 개요

○ 광배선소자기술개념

- 광배선 기술은 전기 신호를 광신호로 바꾸어 전달한 후에 다시 전기신호로 변환시

켜주어 칩 과 칩 사이 신호를 전달하는 기술이며, 레이저, 모듈레이터, 도파로, 파장필터, 그리고 디텍터 등의 핵심 광소자 들이 실리콘 기판 상에 성장/접합 등의 방법으로 구현됨.

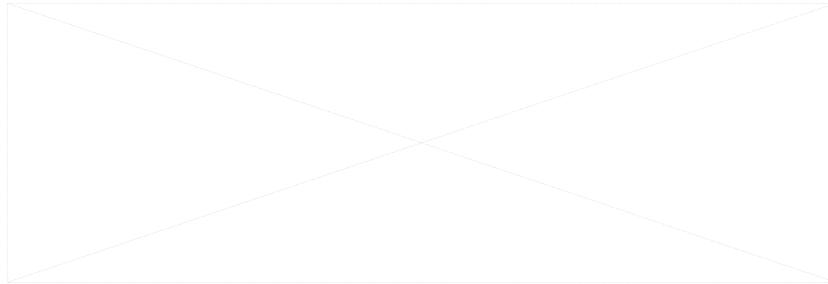


그림 5.30. 광배선소자 기술 개념

○ 파급효과 및 지원 필요성

－ 기술적 파급효과

- 광배선 기술의 핵심은 실리콘 기반 광전집적 기술에 있으며, 이러한 광전집적 기술은 데이터 통신, RF 응용, 센서 응용, 그리고 Phase Array 기술을 이용한 지능형 자동차용 LIDAR 기술 등 다양한 분야에 파급되어 응용될 것으로 기대됨.

－ 경제적·산업적 파급효과

- 미국 AIM Photonics의 예측에 의하면, 광배선 기술의 DataCom 시장 파급효과는 2025년 70조(\$57B), RF&Analog 6조(\$5.1B), Sensors 50조(\$41.4B), 그리고 Phased Array 5조(\$4.5B) 등을 포함 총 시장 파급 효과가 120조(\$108B)에 이를 것으로 예측됨.

－ 정부지원 필요성

- 광배선 기술은 미래 반도체의 저전력화를 위한 핵심기술일 뿐만 아니라 광통신, 무선통신, 센서, 그리고 라이다 등 다양한 분야에 응용 가능성과 사업적 파급효과가 큰 기술임.
- 광배선 기술의 근본은 전기신호를 광신호로 바꾸는 실리콘 기판 집적 광원 기술에 기반하지만, 기존의 정부 지원과제들은 단기간의 응용 연구에 집중된 되고 기술 성숙도가 낮은 광배선 광원 연구에 대한 연구지원이 거의 없었음.
- 따라서, 장기적인 파급 효과를 기대하는 광배선 광원 원천기술 연구에 대한 연구 지원이 절실한 상황임.

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

	Spec/ 공정	16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품
광배선소자	핵심소자개념도출 및 IP 창출												미래부	초집전 메모리/로직
	핵심 소재/소자 구현													
	소재/소자/ 집적 회로 구현													
	소재/소자/ 집적 회로 최적화													
	상용화기술이전													
	양산기술개발												산업부	

연차별 전력 절감 비율 (2015년기준)	1	1	1	0.5	0.5	0.5	0.2	0.2	0.2	0.1	0.1		
---------------------------	---	---	---	-----	-----	-----	-----	-----	-----	-----	-----	--	--

나) 연구 동향

○ 광배선소자기술의 필요성

- 4차 산업혁명으로까지 거론되는 인공지능 기술의 핵심은 대량의 CPU/메모리 소자로 구성된 데이터센터와의 초고속 통신기술에 기반하며, 데이터센터 내외부 그리고 CPU 및 메모리간 고속 통신은 전기신호를 광신호로 바꾸어 전달하는 광배선 기술에 의존함.
- 전기신호와 달리 거리에 무관하게 고속 통신이 가능한 광신호의 장점을 살린 광배선 기술은 현재 데이터센터 내외부 연결 및 슈퍼컴퓨터의 보드간 연결까지 적용되고 있으며, 향후 고집적화된 고속 저전력 데이터 전송을 위해서 CPU 및 메모리 등의 칩간 광배선 기술이 요구되고 있음.

○ 국내외 연구동향

- 광배선 기술은 미국의 Intel이 선도하며 데이터 센터의 광트랜시버 용도로 제품 적용이 시작될 것으로 보이며, 유럽의 ST Microelectronics 또한 데이터 센터 용도로 제품 개발을 진행하고 있음. 연구기관으로는 유럽의 IMEC이 연구를 주도하며 MPW foundry를 지원하고 있으며, 최근 미국에서는 5년간 \$600M의 거대 연구 프로젝트로 AIM photonics 시작되어 IMEC처럼 MPW foundry 지원을 준비하고 있음.
- 국내에서는 삼성전자가 Intel에 버금가는 수준으로 기술개발이 이루어지고 있으며, ETRI, KAIST, 연세대, 인하대 등에서 관련된 기초연구가 수행되고 있음.



그림 5.33. EPIC 칩 사진 및 개념도

○ 광배선 소자 저전력화 발전 전망

- 광배선 기술의 발전 전망은 아래의 2014년 Yole 보고서에서와 같이 신호 전송에 필요한 전력소모는 2014년 약 8 pJ/bit 수준에서 2020년에는 1 pJ/bit으로 그리고 2022년에는 0.5 pJ/bit 수준으로 발전할 것으로 예상되고 있음. (출처 : 2014년 Yole)

Year	2012	2014	2020	2022
Package I/O Data rate, Gb/s	2,500	5,000	40,000	80,000

Data rate / Optical I/O, Gb/s	10	25	320	640
Power/bit, pJ	16	8	1	0.5

다) 연구목표 및 개발 전략

○ 주요 도전과제 (문제점, 한계)

- 극단적 에너지 절감형 초저전력 미래반도체 기술로 광배선 (optical interconnection) 기술 도입이 필요.
- 광배선은 실리콘 집적회로 고도화로 기존의 구리배선을 대체하는 기술로, 실리콘 집적회로 일괄제작 공정과 호환성이 있는 소재 및 공정 사용.
- 광원(laser)은 광배선 기술의 핵심 요소 기술임에도 불구하고 물리적 한계로 다른 요소 기술 대비 전 세계적으로 개발이 지연되고 있음.
- 문헌에 보고된 4족 반도체 기반 고집적용 광원은 수백 μm 크기의 활성영역으로 집적도는 낮고, 문턱전류는 수백 kA/cm^2 로 높아 에너지 절감형 초저전력 미래반도체로 아직 적합지 않음.
- III-V on Si 반도체는 상대적으로 낮은 문턱전압과 높은 출력파워로 저전력 소모 광원으로 사용될 수 있으나 현재 국내의 연구 진행이 극히 미미함.

○ 연구목표 및 주요연구내용

- 메모리 및 논리 반도체 기술 고도화를 위한 저전력, 고집적용 광원 개발
 - CMOS 공정과 호환성 있는 4족 및 III-V on Si 이종접합 및 성장기술 개발
 - 높은 집적도의 광배선을 위한 초소형 광공진기 기반 광원 개발
 - 기존의 4족 반도체 광원보다 월등히 낮은 문턱전류를 가지는 광원 개발
 - 장거리 광배선에도 활용 가능한 저전력, 고출력 III-V on Si 광원 개발
 - 출력 빛이 Si 광도파로에 직접 커플링이 가능한 구조 개발
 - 저전력, 고출력 실리콘 포토닉스 광원에 필요한 핵심공정 및 측정기술 개발

○ 사업화전략

- 광배선 기술 도입기의 사업화는 데이터센터 및 슈퍼컴퓨터의 랙간 혹은 보드간 광배선 시장을 통한 사업화가 예상됨.
- 광배선 기술이 성장되어 양산화 기술이 마련되면 CPU 및 메모리 반도체 칩에 광배선 소자가 집적되어 칩 간의 광배선 용도로 사업화가 확장될 것으로 예상됨.
- 반도체 기업과의 긴밀한 논의 및 협조를 기반으로 세계 1등 국가산업인 반도체 산업의 유지 발전에 기여할 것임.

라) 초저전력 시스템 구현시 활용방안

○ 대상 소자기술과 타 기술과의 연계 및 응용 가능성

- 광배선 기술은 다양한 시스템과 시스템, 모듈과 모듈, 그리고 칩과 칩 간의 연결을 위해서 응용될 것임.

7) 뉴로모픽 소자기술

가) 소자기술 개요

○ 소자기술개념

- Personal Computer(PC)에 적용된 포노이만 구조의 중앙 처리 장치(CPU)는 과거에 비해 비약적으로 발전 했음에도 불구하고 근본적으로 산술 연산장치와 저장 장치 간의 병목 현상 때문에, 빅데이터의 비정형화된 음성, 영상, 이미지 등의 패턴을 인식하고 스스로 학습하는 기능에 적합하지 않음으로 판단됨.
- 이러한 한계를 해결하기 위해, 뇌의 시냅스와 뉴런의 기능을 모방한 뉴로모픽 컴퓨팅 기술이 부각됨. 뉴로모픽 컴퓨팅의 인공 신경망은 다수의 뉴런을 이용하여 인지/학습을 병렬처리하기 때문에, 잡음 및 변화하는 환경에서 높은 효율의 연산 성능과 적은 에너지 소모를 보여줌.

○ 파급효과 및 지원 필요성

- 인공 신경망을 사용하는 기계학습 기반의 딥러닝 기술은 범용개체, 얼굴, 음성인식 등의 인지 컴퓨팅 분야 우수한 성과를 보이며(GooLeNet, 2014, 객체인식률:93.3%, DeepID2, 2014 얼굴인식률:99.15%), 인지 컴퓨팅 시장은 2013년 37억 불에서 2018년 53억불로 평균 7.4% 높은 성장률 전망됨(Gartner, 2014, 지능형 IoT/인지로봇/지능형모바일단말 분야).
- 미래의 IT기술은 더 낮은 전압, 더 낮은 전력소모가 가능한 소자 및 지능형 아키텍처로 발전해갈 것이라는 인식이 대두되면서, 반도체 강국들은 모두 뉴로모픽 기술을 응용한 연구프로그램을 추진 중인 상황임.
- 뉴로모픽 기술은 앞으로 다양한 응용 분야에 적용될 수 있을 것으로 기대되며, IoT 디바이스, 웨어러블 디바이스, 자율주행 자동차, 인지로봇 및 모바일 단말 분야를 중심으로 세계 뉴로모픽 기술 시장이 급속도로 성장하는 등 사회 전반에 걸쳐 강력한 파급 효과를 나타낼 것으로 예상됨.
- 뇌와 같이 복잡하고 집적도가 높은 구조의 뉴로모픽 시스템 개발을 위해선 신경동작 메커니즘에 대한 기초연구에 근거한 시냅스/뉴런을 모사한 소자/소재 개발 및 시냅스/뉴런 소자를 적용한 지능형 집적회로에 대한 종합적인 융합연구가 필요함. 뿐만 아니라, 뉴로모픽 컴퓨팅은 컴퓨팅 패러다임을 바꿀 수 있는 혁신 기술로서 난이도가 높기 때문에 기업과 정부 지속적인 투자가 필요함.

나) 연구 동향

○ 소자기술의 필요성

- 인간의 뇌는 1조개의 뉴런과 각 뉴런당 2만개 이상의 시냅스가 존재함. 따라서 뇌-모방(Brain-like) 형태인 뉴로모픽 시스템을 구현하기 위해서는 뉴런/시냅스를 고집적도로 구현하는 것이 매우 중요함. 그러나 뉴런/시냅스를 구현할 적절한 소자의 부재로 인해 이 분야에서 연구가 제한적임. 따라서 실제 두뇌의 뉴런/시냅스 용량 수준으로 모사가 가능한 새로운 소자의 개발이 뉴로모픽 분야에서 필요함.

○ 국내외 연구동향

- 현재 뉴로모픽 소자 및 회로 연구는 IC 총 면적은 줄이고 메모리 셀 개수는 늘리는 고집적화에 초점이 맞춰져 있음. 따라서 전 세계적으로 다양한 고집적 신경망 모방 회로 및 하드웨어 구조가 제안되고 있음.

- DARPA는 SyNAPSE 프로젝트를 통해 포유류의 뇌를 모방한 전자두뇌시스템 개발을 진행 중임. IBM은 SyNAPSE의 후속으로 SRAM 어레이를 시냅스 모방 소자로 활용한 트루노스(TrueNorth)라는 칩을 개발했으며 이 외에도 해외 많은 대학과 연구소들은 메모리스터 기반의 뉴로모픽 프로세서 연구에 집중하고 있음.
- 국내의 경우, 대학 및 연구소 중심으로 딥 러닝 및 인지 컴퓨팅 분야에 대한 연구가 진행되고 있음. 하지만 주로 소프트웨어적인 구현에 초점되어 있음. 하드웨어적인 뉴로모픽 프로세서 연구는 몇몇 대학을 중심으로 진행되고 있으나 이는 세계적인 추세인 메모리스터 및 SRAM을 이용한 뉴로모픽 시스템을 뒤따라 모방하는 수준에 그쳐 있음.

○ 초저전력 시스템 적용전략 (로드맵, 단계별 소자수준 표시)

Spec/ 공정		16	17	18	19	20	21	22	23	24	25	26	지원부처	적용제품	
뉴로모픽 소자 및 아키텍처 (NRM)	비휘발성, 재구성용 시냅스 소자개발												미래부	IoT 스마트 센서	
	핵심소자 개념도출 및 단위 시스템 IP 창출														
	초기 응용기술 도출 및 상용화												미래부	초절전 로직제품	
	핵심 소재/소자 집적공정 최적화														
	상용화기술 이전												산업부		
	양산기술개발														
	연차별 전력 절감 비율(2015년 기준)	1	1	1	0.5	0.5	0.2	0.2	0.1	0.05	0.05	0.05			

다) 연구목표 및 개발 전략

○ 주요 도전과제 및 주요연구내용(총 8개 연구 내용)

- Compact and fast distributed memory technologies
:뉴런간의 synaptic connection strength를 저장하는 기술. 180nm CMOS 공정을 이용하여 4b의 시냅스는 10um×10um를 차지함. 각각의 시냅스는 읽기/쓰기가 가능해야 하며, 적당한 정밀도를 지녀야 함. 뉴로모픽 computing 시스템의 대부분의 공간과 전력 소모를 차지하는 기존의 시냅스를 대체할 기술 연구가 필요함.
- Compact non-volatile distributed memory technologies for configuration data
:비휘발성 저장장치는 인공신경망 관련 데이터(reversal potential, time constant, bias 등)을 저장하기 위해 필요함. 이 저장장치는 가변구조 형(reconfigurable)시스템을 구성하기 위한 전제 조건으로, 현재 floating-gate 을 이용한 방법이 제시됨.
- Automated design, verification and simulation tools for massive parallel mixed-mode signal circuits
:이 기술은 이미 digital circuit에 적용되었으며, analog circuit 적용에 상당한 진전이 이루어짐. 이 기술을 이용하면 Model-to-chip 제품화 기간을 줄일 수 있을 것으로 예상됨.
- Use of deep-submicron CMOS technologies for mixed-signal functionality
:초 미세공정을 사용하여 뉴로모픽 시스템에 필요한 구성요소를 설계 할 경우, 기존의 digital 프로세서가 그랬듯 집적도와 전력이 향상될 것으로 전망됨. 하지만, 초

미세 공정으로 설계된 analog한 회로의 경우는 공정의 intrinsic한 mismatch에 많은 영향을 받아 성능 저하 문제점을 초래함. 이를 해결하기 위한 연구 필요.

- Wafer scale integration post-processing technologies

:단일 칩 또는 실리콘 다이를 PCB 상에서 연결하는 것보다 웨어퍼 전체를 사용하여 하나의 chip으로 만들 경우 직접도 매우 향상되며, 패키징을 줄일 수 있다는 장점을 지님. 유럽의 the human brain 프로젝트의 univ. hidel-berg에서는 시냅스와 뉴런을 wafer scale로 구현하여 대용량 뉴로모픽 시스템 선보임.

- Tree-dimensional connection technologies

:웨이퍼와 칩(적층은 되지만 10개 metal 이하)은 2차원 구조로, 생물학적으로 타당한 인공신경망을 구현하기 위해서 3차원적인 연결 및 패키징 기술이 절대적으로 필요함. CMOL(UCSB) 기술이나, Through Silicon Via(TSV)와 같은 3차원 적층 기술을 사용함으로써 시냅스와 뉴런간의 밀도와 연결성을 향상됨.

- Automated HDL synthesis tools for biological to artificial network mapping

:두뇌의 구조를 모사한 뉴로모픽 하드웨어 시스템을 효율적으로 동작시키기 위해서는 심층 인공신경망의 기능 및 형태학적인 특성을 반영한 유저 interface를 요구함. 예를 들어 FPGA 의 경우 verilog 기반의 VHDL를 사용하여 logic을 합성 하듯이, 뉴로모픽 시스템의 인공신경망을 mapping 할 수 있는 tool이 필요함.

- Multiscale hybrid systems including conventional computers

:계산/연산 능력이 뛰어난 기존의 컴퓨터와 인지/학습 능력을 갖는 뉴로모픽 시스템을 hybrid 형태로 결합시켜 서로의 부족한 부분을 보완 시킬 수 있는 새로운 형태의 컴퓨팅 아키텍처 개발을 목표로 함.

○ 연구목표

- $\sim 10^6/\text{cm}^2$ 뉴런과 $10^{10}/\text{cm}^2$ 의 시냅스를 갖는 인지/학습 능력을 갖는 대용량 뉴로모픽 시스템과 계산/연산 능력이 뛰어난 기존의 컴퓨터를 하이브리드 형태로 결합하여 음성/이미지/패턴 등의 비정형 데이터를 저 전력으로 처리 할 수 있는 새로운 형태의 컴퓨팅 아키텍처를 개발을 목표로 함.

라) 초저전력 시스템 구현시 활용방안

○ 실리콘 이미지 비전 센서와 뉴로모픽 시스템의 결합

- 실리콘 이미지 비전 센서와 뉴로모픽 시스템 간의 결합은 저전력으로 동작하며 지능형서비스 소프트웨어의 실행을 위한 물리적인 눈의 역할을 수행하기 때문에 인지 로봇, 스마트기기의 영상 인식, 자율주행차량 등의 물체를 구별하는 사물인식 분야에 적용 가능함.

○ 신경보철(Neuroprosthesis)

- 신경 보철 연구 분야는 인간의 뇌와 컴퓨터를 직접 연결 하여 이들 사이에 정보 교환이 일어나게 하는 융합 기술을 총칭함.
- 주된 연구 방향으로는 인간의 생각을 반영하는 뇌신경신호(EEG)를 실시간으로 해석해 이를 사용자, 특히 사지가 마비된 사용자가 생각만으로 외부기기를 제어할 수 있도록 하는 연구와 외부 정보를 인간의 뇌에 입력시키고 이를 변조함으로써 인간의 인지능력을 증진시키려는 연구로 구분 지을 수 있음.
- 뉴로모픽 시스템을 적용한 뇌파 신호 처리 기술과 모바일 ICT 기술을 이용한 뇌-

컴퓨터 인터페이스(BCI, Brain Computer Interface) 기술의 발전으로 인하여 운동 신경에 장애가 있는 환자나 고령화 인해 발생하는 사회적 문제점들을 해결 할 수 있는 핵심 기술로 기대됨.

○ 뇌공학용 시뮬레이션(Brain emulation accelerator)

- 유럽의 Human Brain Project(HBP)의 일환으로 뉴로모픽 시스템을 기존의 슈퍼컴퓨터가 수행했던 두뇌 행동 모델 시뮬레이션 분야에 적용할 전망.
- EU는 미래 기술지원위원회에서 인간의 뇌 연구와 관련된 기술 구현을 위해 2005년부터 대학교 중심으로 소규모 지원을 해왔으며, 2013년부터 2023년까지 1조 6천억원을 투자하여 지능모방가속 컴퓨팅 기술개발에 집중할 예정임.
- 두뇌가 동작하는 원리를 규명하고, 알츠하이머, 파킨슨병 등과 같은 난치성 뇌질환 연구에 지대한 공헌이 예상됨.

5.3.3 공정/집적 플랫폼 기술

■ 공정/집적 플랫폼 기술 개요



그림 5.35. 공정/집적 플랫폼의 개념

○ 공정/집적 플랫폼 기술개념

- top down 소자 (초저전압 소자, Monolithic 3D, 자기재구성 소자, 다차로직 소자, 로직-인-메모리 소자, 광배선 소자, 뉴로모픽 소자)의 단위 소자 레벨 구현 및 array 수준의 중규모 집적을 위한 플랫폼 기술 개발임.
- 공정/집적 플랫폼 기술은 우선 top down 소자의 단위 소자 및 array 수준의 중규모 집적을 위한 핵심 단위/모듈 공정 기술을 포함함.
- 상당 부분의 단위/모듈 공정 기술은 국내 보유하고 있는 나노 집적 인프라에서 진

- 행이 가능하며 일부 핵심 공정 기술의 경우 보완 인프라 투자, 단위 공정 개발을 통하여 신소자의 집적을 위한 성공적인 플랫폼 기술의 확보가 가능함.
- 이러한 단위 공정 및 집적 기술 개발의 효과적이며 단기간 개발을 위하여 일부 선진국 대비 뒤쳐진 핵심 공정/집적 기술은 적극적인 국제 협력을 통한 공동 개발을 통하여 달성하도록 함.
 - 또한 현재 국내에 보유하고 있는 나노 집적 인프라 들을 연계하여 중점적으로 활용하기 위하여 공백 인프라 확충, 핵심 공정 기술의 확보를 진행함.
 - 최종적으로 나노 집적 인프라 들을 연계한 공정/집적 플랫폼 기술 개발을 통하여 단위소자/array 수준의 초저전력 top down 소자를 제작하고자 하며, 미래에 요구되는 다양한 초저전력 소자들로 구성된 시스템 융합 chip set의 구현이 가능할 수 있도록 관련 소자 아키텍처 및 집적 인프라의 구축을 향후 장기적인 target으로 함.

○ 파급효과 및 지원의 필요성

- 본 플랫폼 개발을 통해 초저전력 미래반도체 시장에 신기술 적용 주도권을 확보할 수 있으며, 단계별 상용화를 통해 원천기술 및 파생 기술의 지적 재산을 확보할 수 있음.
- 본 플랫폼 개발은 top down 소자 집적 및 상용화 서비스 구현을 통하여, 차세대 저전력 반도체 소자의 선점을 달성할 수 있으며 현재 메모리 반도체에 치우쳐진 반도체 산업의 구조 개선할 수 있음.
- 본 플랫폼 개발을 통한 국내 저전력 반도체 기술의 강화는 휴대용 전자기기, 자동주행 자동차, 모바일 헬스케어 등 광범위한 응용 산업 분야의 경쟁력 재고로 연결될 수 있음.
- 본 플랫폼 개발은 국내 연구 그룹의 글로벌 리더십 역량을 강화하고, 저전력 반도체 관련 전문 인력을 적극 양성할 수 있는 기회를 제공함.
- 저전력 반도체 선진 그룹인 미국, 유럽은 이미 초저전력 기술 관련 과제의 cluster를 통하여 시장을 장악하고 있으므로 선진 그룹 대비 50~70%의 기술 수준을 보유한 우리나라 또한 개별적인 연구 개발보다는 플랫폼 기반 상호 교류, 협력을 통한 연구 개발이 필요함.
- 저전력 반도체 산업은 시제품 양산 비용만 수억 원, 실제 양산에는 수십억 원이 소요되는 대규모 산업이기 때문에, 정부 주도의 대규모 플랫폼 개발 사업이 착수되어야 함.

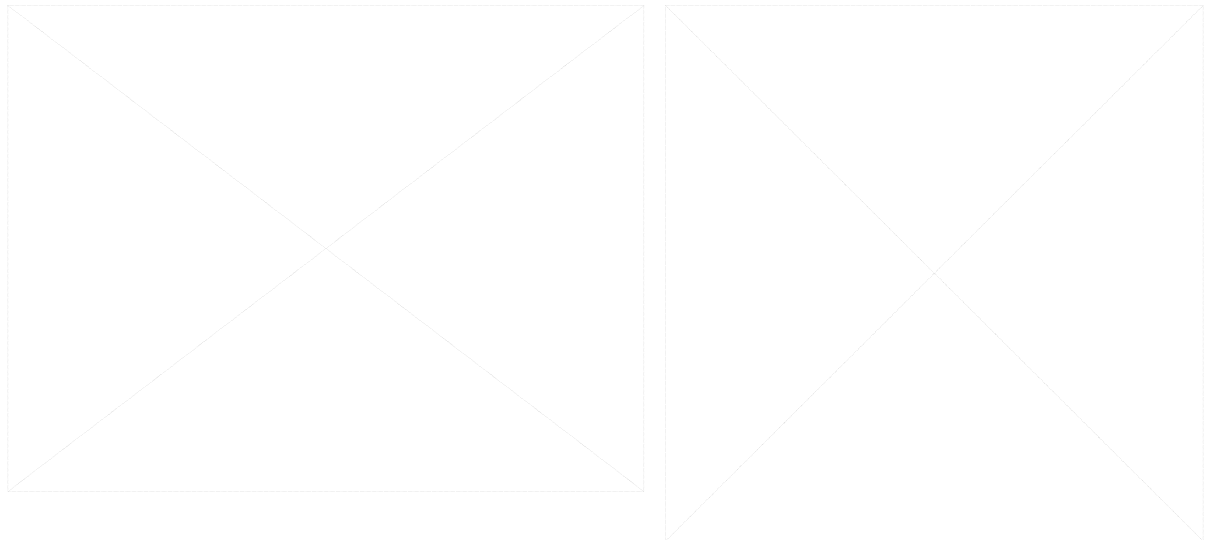


그림 5.36. 플랫폼 기술의 시장성 (왼쪽) 및 파급 효과 (오른쪽)

○ 시스템융합집적 기술과의 연계전략

- 기존의 기능성 소자 제작공정에 top down 소자 기술을 도입하여 융합집적이 가능한 고수준의 단위모듈 제작공정을 확보하고 이를 통해 각각의 기능을 갖는 단위모듈들의 융합집적을 가능케 함으로써 다기능이 통합된 초저전압 시스템 및 뉴로모픽 시스템, mW급 프로세서 등 각각의 융합집적 시스템을 구현함.
- 각 융합집적 시스템의 기능 및 특성을 고려하여 필수 기반이 되는 신소자 기술을 도출하고 기보유 장비 및 신개발 장비로 구현 가능한 각 단위 제작공정들을 최적으로 조합하여 집적공정을 개발함으로써 기존의 설비도 최대한 활용할 수 있는 집적 인프라를 구축함.

	Spec/ 공정	18	19	20	21	22	23	24	25	26	27	지원부처	적용제품
초저전압 시스템	상위 수준 시스템 설계 및 모델링											미래부	바이오 센싱 및 웨어러블
	서브 시스템 설계 및 모델링												
	기본 회로 IP 설계												
	핵심 신소자 기반 회로 IP 설계												
	설계 개선 및 고도화												
	상용화기술 이전												
	양산기술개발											산업부	
뉴로모픽 시스템	상위 수준 시스템 설계 및 모델링											미래부	자율주행 자동차 및 무인비
	서브 시스템 설계 및 모델링												
	기본 회로 IP 설계												

	핵심 신소자 기반 회로 IP 설계										행 체	
	설계 개선 및 고도화											
	상용화기술 이전											
	양산기술개발											
mW 급 프로세서	상위 수준 시스템 설계 및 모델링										미래부	개인용 수퍼컴퓨터
	서브 시스템 설계 및 모델링											
	기본 회로 IP 설계											
	핵심 신소자 기반 회로 IP 설계											
	설계 개선 및 고도화											
	상용화기술 이전											
	양산기술개발										산업부	

① 초저전압 시스템

- 높은 연산 효율을 갖는 새로운 구동방식의 단위 소자 구현을 위한 2차원계 증착기판 신소재
- 집적회로 내 처리속도 향상 및 발열 제어를 위한 배선용 신소재 및 공정
- 원자수준 제어를 통한 단위소자의 적층 집적
- 소자의 고속 구동시 배선간 전기적 간섭을 막기 위한 Low-k Interlayer
- 상이한 증착온도에서 제작된 기판의 적층을 위한 Wafer bonding 기술
- 기반 핵심요소 공정기술 : 2차원계 반도체/전도체 물질 대량생산 기술, 내열성 배선 소재 기술, 저온 건식/습식 증착 기술, 원자수준 식각 기술, 고정밀 CMP 기술, 고품 Low-k 박막 형성 기술, wafer bonding 기술

② 뉴로모픽 시스템

- 뉴로모픽 시스템 구현을 위한 멤리스터 신소재
- 극박막 증착기관 기반의 저발열 초저전압 단위 소자
- 원자수준 제어공정을 통한 병렬처리용 초고집적 적층소자 및 배선 소재
- 기반 핵심요소 공정기술: 다성분계 극박막 형성기술, 내열성 배선 소재 기술, 저온 건식/습식 증착 기술, 원자수준 식각 기술

③ mW 급 프로세서

- 저온 증착/식각기술을 기반으로 한 통합 적층 공정 기술
- Nanoscale 신물질을 기반으로 한 초저전력 통신칩셋
- 기반 핵심요소 공정기술 : Nanoscale 신물질 형성 기술, 저온 건식/습식 증착 기술, 원자수준 식각 기술



그림 5.37. 시스템 융합집적기술과의 연계성

■ top down 소자 기술 기반 핵심 공정/집적 플랫폼 기술 도출

○ 초저전압 소자

- 현재의 반도체 소자는 0.8 ~ 1V를 사용하고 있으며 이를 제어하는 기술은 지속적으로 개발 및 발전됨. 향후 초저전압 소자를 개발하기 위해서는 0.5V 이하로 동작전압을 낮춰서 소모 전력을 낮추는 기술이 필요함.
- 기존 소자는 켜는데 최소 0.3V의 전압이 필요하였으나 이 값을 0.15V까지 낮추는 것이 초저전압 소자의 공정 구현 목표가 됨. 주요 기술은 Tunnel FET(TFET), Negative capacitance FET 등과 같은 초저전압 소자를 6~8인치 웨이퍼 상에 다량의 균일한 특성의 소자를 제조하는 것임.
- 핵심기술로는 초저전압 동작회로 설계기술, 공정 웨이퍼 내 균일한 전기적 특성 확보기술, 기술이전 및 상용화를 위한 일괄양산공정개발 등이 주요함.
- Si 또는 화합물을 활용한 초저전압 소자는 기존의 나노패에서 관련소자 집적공정 기술 활용이 손쉽게 가능하며 추가적으로 필요한 미세패턴 구현을 위해서는 Laser Lithography와 I-line Stepper 등을 활용한 높은 수준의 노광공정 플랫폼 기술 확보가 필요함.

○ Monolithic 3D 소자

- 목표한 수준의 초저전력 신소자의 고집적 공정을 위해서는 Sequential 3D 적층공정의 도입이 필수적임. S3D 기술은 제안되는 채널 형성 방법에 따라 크게 본딩 방식, 재결정 방식, 또는 에피 방식 등으로 나눌 수 있으나 아직 개념 정립 단계임. S3D 기술의 상용화를 위해서는 여러 특수한 저온 단위 공정과 함께 이들 단위 공정들을 최적으로 조합하여 초저전력을 구현할 수 있는 집적공정 및 architecture 개발이 필요함.

- 이를 위해 1차적으로 저온조건에서도 원자 수준의 제어가 가능한 증착/합성, 가공 공정 및 소재의 개발이 요구되며 이에 상응하는 원자단위 측정이 가능한 수준의 고성능 분석 장비 개발이 병행되어야 함.
 - 다음으로 S3D 기술을 적용하여 소자를 제작하고 전기적인 특성을 평가할 수 있도록 집적공정 플랫폼 개발이 필수적임. 현재의 국내 인프라시설 들은 금속배선 공정을 포함한 반도체 소자 집적기술을 보유하고 있으며 이를 기반으로 2차원 반도체 회로 제작 및 평가가 가능함. S3D 기술 구현에 필수적인 핵심 단위공정 장비를 개발, 구축하고 3D 집적공정 개발에 필요한 최소한의 보완 투자를 통하여 다양한 S3D 기술 및 architecture를 개발, 평가할 수 있는 인프라 제공이 가능함.
- 자기재구성 소자
- 재구성로직 스위칭소자는 크게 원자 이동 기반의 원자스위치와 NEMS 기반의 나노 금속스위치로 나눌 수 있으며, 두 종류의 소자 모두 실리콘 후공정 과정에서 제작됨. 즉 기존 반도체 CMOS 공정을 이용하여 회로를 제작한 후 그 상단에 나노스위칭소자를 집적함. 반도체 CMOS 공정을 이용한 회로 제작은 동부하이텍 등 국내외 파운드리 회사를 이용하며, 이후 금속 배선 단계까지 제작된 웨이퍼를 국내 인프라시설로 옮겨 나노스위칭소자를 집적함.
 - 원자스위칭소자 제작을 위해서는 원자스위칭 현상을 나타내는 신물질 증착 및 식각 장비 개발이 필요함. NEMS 기반의 나노 금속스위칭소자는 현재의 반도체 및 MEMS 기반 장비를 활용하여 제작이 가능함.
 - CMOS 공정을 이용하여 제작된 회로 상단에 나노스위칭소자를 집적하기 위해서는 Monolithic 3D 공정 활용이 필수적임. 1차적으로 나노스위칭소자를 제작하기 위한 공정을 개발하고, 이어서 M3D 공정을 활용하여 나노스위칭소자를 CMOS 회로 상단에 집적할 수 있는 플랫폼 개발이 필요함.
- 다치로직 소자
- 다치로직 소자는 기존의 이진로직소자 대비 단일회로 면적, 회로연결의 복잡성, 그리고 소모전력을 동시에 줄일 수 있는 기술로 다중상태를 갖는 단일소자로 소자의 개수가 로직 bit 수보다 작게 설계하면 기존 이진로직 대비 소모전력-지연시간 프로덕트 윈도우 확장이 가능한 소자 기술임 .
 - 다치로직을 구현하기 위한 소자기술을 구현하기 위한 많은 연구들이 진행되어 왔으며, 대표적으로 공명터널링트랜지스터 및 공명터널링다이오드를 이용한 삼진로직 소자, 단전자 트랜지스터를 이용한 삼진로직, 양자점 게이트-양자점 채널을 이용한 다치로직소자, 그래핀-BN 적층구조를 이용한 공명트랜지스터 개발, CNT 삼진로직 공명터널링 소자, 상변화막을 이용한 상변화메모리소자, SrZrO₃를 이용한 삼진메모리 스위칭 소자등의 연구가 진행되고 있으나, 단일소자로 안정적인 다치로직을 구현할 수 있는 소자의 개발이 필요함.
 - 그래핀을 이용한 다치로직 소자의 집적을 위해서는 6인치 이상의 대면적 그래핀 성장 공정 및 CMOS 소자위로의 그래핀 전사공정의 개발이 필요함. 또한 안정적인 CMOS (FEOL) 공정을 이용하여 제작된 회로 상단에 BEOL 공정을 이용하여 다치로직 기술이 구현가능한 저온집적공정의 개발이 필요함.
 - CMOS 공정은 파운드리소자를 활용하고, backend 부분에 그래핀 기반 다치로직 소자 제작을 위해서는 Cu 평탄화를 비롯한 M3 레벨까지의 BEOL 집적공정의 개발이 필요

함.

○ 로직-인-메모리 소자

- 로직회로에 비휘발성 정보저장 회로를 집적한 소자로 로직과 정보저장 모듈간 정보전달 지연과 급격하게 증가하는 파워소모를 줄일 수 있는 소자. 대표적인 예로 고려되고 있는 강유전체 트랜지스터로 강유전체 특성의 게이트 절연막을 이용하며 강유전체와 실리콘 기판 사이의 계면특성 개선이 가장 중요함. 이러한 문제는 계면에 고유 전막을 사용하거나, 실리콘이 아닌 그래핀과 같은 소재를 적용하여 문제 해결이 가능함. 특히 열적 안정성이 뛰어난 hafnium 및 zirconium 산화물 기반의 MFS 구조 사용시 메모리 및 다차로직 소자 구현에 적합함.
- 이를 위해서는 요구특성에 맞는 3D 구조를 설계할 수 있는 기술 확보가 중요하며, 또한 빠른 동작속도 구현에 핵심인 균질한 nm급 박막증착기술 및 패터닝 등 가공기술 개발, 상용화를 위한 양상공정개발 등이 필수적임. 현재 구축된 나노인프라 공정 장비와 플랫폼 기술은 Si/SiC 기반 소자나 III-V족 화합물 소자 제작에 맞춰져 있음.
- 특히 신소재를 사용하는 신소자는 신뢰성 있는 소재 개발과 함께 정밀한 절연막의 형성이 필수로 이를 구현하기 위해서는 도핑 및 산화막 형성, 증착 등의 공정기술 개선을 요구함.

○ 광배선 소자

- 광배선 기술을 구현하기 위해서는 여러 단위 소자 기술이 필수적이며 크게 발광소자와 수광소자로 구성된 능동소자, 그리고 광도파로, MUX/DEMUX, Coupler 등으로 구성된 수동소자로 크게 나눌 수 있음.
- 고속 광통신을 위해서 높은 주파수 특성을 갖고 있으며 동시에 저전력 동작 특성을 갖는 광원 기술이 필수적임. 일반적으로 광통신에 이용하는 광원 기술은 III-V 반도체 기반의 기술이며 이를 실리콘 기판상에 구현하기 위하여 광원을 die attach하는 방법, Heteroepitaxy 기술을 이용한 광원 직접 성장 기술, wafer bonding을 이용한 광원 전달 기술 등이 이용되고 있음. 또한 CMOS 공정과 호환성이 있는 4족 반도체를 이용한 고집적용 광원 개발도 시도되고 있음.
- 고속 광통신에 필요한 수광소자는 주로 Ge 기반의 소자를 이용하고 있으며 이를 위하여 Ge를 실리콘 기판상에 직접 성장하는 기술이 필수적임.
- 광도파로, MUX/DEMUX, Coupler 등으로 구성된 수동소자는 SiO₂, Si₃N₄ 등의 dielectric 물질을 주로 이용하나 필요시 polymer 기반의 물질 또한 활용하고 있음.
- 광배선 기술 구현을 위한 공정/집적 플랫폼을 구축하기 위해서는 위에 열거한 단위소자를 제조하기 위한 집적 공정 플랫폼이 구축이 필수적임.

○ 뉴로모픽 소자

- 뉴로모픽 소자의 집적공정 플랫폼은 기존의 CMOS 공정을 기반으로 하되 거기에 뉴런/시냅스를 구현할 신소재를 도입하는 형태의 이머징 소자 구현이 필요함. 신경모방 소자로는 동작 메커니즘에 따라 Straintronic Spin Device, Memristive Oscillation Device, Resistive RAM, Phase Change RAM, Ferroelectric RAM 등이 제안되고 있으나 아직 연구 초기 단계임.
- 신경 모방 소자의 상용화를 위해서는 일차적으로 적절한 소자 개발이 필수적이며, 뉴로모픽 소자 집적공정 플랫폼도 다양한 소재 및 구조를 평가할 수 있도록 구성되어야

함.

- 목표한 수준의 뉴로모픽 신소자의 집적공정을 위해서는 뉴로모픽 신소자를 구현하는 신물질의 증착 및 식각 장비 개발이 필요하고, 오염 방지를 위한 세정 및 열처리 장비의 분리 운영이 필수적임.

■ 나노소자집적 인프라 현황

- top down 소자 관련 나노소자집적 인프라 현황

7대 소자기술	관련 보유 장비군
공통 공정 기술	○ 반도체 회로 제작용 공정 장비 - E-beam Litho., KrF Scanner, I-line Stepper 등 노광 장비 - Si, 산화막, Metal Etcher 등 식각 장비 및 세정 장비 - Furnace, Ion Implanter, RTP, CMP, Sputter, Evaporator, CVD, ALD 등 박막 장비 ○ 소자 특성 계측 장비 - Ellipsometer, Probe Station, TEM 등 전기적/물리적 계측 ○ 반도체 소자 모델링 장비
초저전압 소자	○ 실리콘 기반 Tunnel FET 구현 공정 장비 - 저전압·고집적 회로 구현을 위한 4nm급 집적노광 장비 (4nm급 E-beam Lithography System, I-line Stepper 등) ○ 정밀도와 재현성이 높은 공정 장비 - Vertical High Temperature Pyro Oxidation Furnace(습식·건식산화 공정 가능, vertical 방식으로 재현성 확보)
Monolithic 3D 소자	○ 웨이퍼 Bonder ○ 후면 Thinning & Polishing, Edge Grinder, Tape Laminator/Remover, Hybrid Thickness Measurement System 등 Thinning 장비군
자기재구성 소자	○ Low Stress SiN CVD, Vapour HF Etcher, XeF2 Release Etcher, KOH Wet Etcher 등 공중부유형 나노구조 형성 장비군 ○ HfO2/Al2O3 ALD 등 금속산화물 증착 장비군
다차로직 소자	○ 그래핀 분석 장비 - Raman, Spectrophotometer 등 그래핀 품질 평가를 위한 장비
로직-인-메모리 소자	○ 금속 나이트라이드 스퍼터 및 금속 옥사이드용 ALD 장비 - 산화물 반도체용 스퍼터링 장비 ○ 자기 터널 접합 박막 증착용 ALD 및 스퍼터 장비 - 열처리 및 에치
광배선 소자	○ 광배선 발광 및 수광 소자 공정용 장비 - III-V on Si 에피소재 제작을 위한 MOCVD - 웨이퍼 Bonder
뉴로모픽 소자	○ ALD, Multi-target Sputter 등 금속산화물/화합물 증착 장비군

- 공백 인프라 도출

7대 소자기술	미보유 공정/장비군
초저전압 소자	○ 초저전압 소자 제작 특화 공정 장비

	- 실리콘 기반 tunnel FET 구현 공정 장비 • 저전압·고집적 회로 구현을 위한 2nm급 집적노광 장비 : E-beam Lithography System, I-line Stepper 등 (기존 인프라 보유 장비는 4nm급이 limit) - 기존 실리콘 기반 소재와 공동활용 불가능한 신소재 공정 장비 • 신소재 공정 가능한 식각 장비(RIE, Etcher 등), 증착장비(CVD, ALD, Evaporator 등), 산화장비(Furnace, RTP 등) ○ 신규 개발이 필요한 핵심 분석 장비군 - 원자/분자단위 미세조정 제어 장비 • 미세조정 및 국부적 전기측정용 Conductive-AFM/KPFM 장비 • 깊이방향 성분분석용 RBS, MEIS 장비 • 에너지 준위 결장, 화학결합상태, 원자배열측정용 UPS/LEED/XPS 장비 ○ 기반 공정 장비군 - 고성능 레이저 열처리 장비 - 고정밀 CMP 장비
Monolithic 3D	○ 저온 공정/장비 - 저온 공정용 ALD 및 CVD 장비 - 저온 Atomic Layer Etch 장비 - 저온 배선공정 장비 ○ 열처리 및 집적 공정/장비 - 고성능 레이저 열처리 장비 - 고정밀 CMP 장비 - 고정밀 웨이퍼 Bonding/debonding 시스템
자기재구성 소자	○ 신규 개발이 필요한 핵심 공정/장비 - 금속산화물, GST 등 신물질 합성/증착 장비
다치로직 소자	○ 그래핀기반 다치로직 소자제작에 필요한 공정장비 - 6인치 이상 대면적 그래핀 성장 장비 - 대면적 그래핀 전사 장비 - 그래핀 패터닝 및 식각을 위한 Litho. 및 Oxygen etch 장비
로직-인-메모리 소자	○ 신소재 개발용 기반 인프라 장비 - 이원계 산화물 강유전체 신물질 합성 및 제조 장치 - 소자 미세화에 따른 메모리 특성변화 및 소자 열화 연구 장비 ○ 신소재 기반 신규 개발 필요 공정 장비 - Graphene 등 신소재 적용 가능한 공정 장비 - 정밀 산화막 제어 및 신뢰성 제어를 위한 증착 장비
광배선 소자	○ 4족 에피 소재 제작을 위한 공정장비 - Ge on Si 성장용 MOCVD, RPCVD - 이종기판 직접 bonding 장비 ○ 광배선 소자 모델링 장비 ○ 광배선 소자 광 특성 평가 장비
뉴로모픽 소자	○ 신규 개발이 필요한 핵심 공정/장비 - 금속화합물 등 신물질 합성/증착 장비 - 신물질 식각 장비

	○ 기반 공정 장비군 - 오염 방지를 위한 세정 및 열처리 장비 - PZT 등 금속합금 식각을 위한 Ion Milling 식각 장비
--	---

■ 나노소자집적 인프라 활용 전략

- 개별 top down 소자에 대한 핵심 소자 기술 및 아키텍처 기술을 기반으로 단위 소자 및 array 수준의 집적은 국내 나노 인프라 시설을 활용하여 나노집적공정 플랫폼 기술 개발을 진행함.
- 나노집적공정 플랫폼 기술 개발은 국내 인프라 시설 들의 상호 연계를 기본 전략으로 함. 구체적으로 기 장비 및 기술 보유 현황을 감안하여 각 소자에 대한 집적 플랫폼 기술을 하나의 인프라 기관이 주관하고 다른 인프라 기관이 지원함으로써 최소한의 투자로 최대한의 투자 효과를 얻도록 함.
- (소자제작) 나노소자집적 인프라별 공정이 특화되어 있으므로 포항, 대전, 수원 등 나노소자에 기술력 및 노하우가 큰 시설을 이용하여, 연구내용별 특성도출과 공정구현이 가능한 인프라를 최대한 활용
- (특성분석) 각 인프라는 측정분석관련 최첨단 장비와 시설을 갖추고 있기 때문에 제작되는 소자의 기초적 특성을 분석하는데 용이하며 실질적 활용은 지역이나 가능시간, 비용 등의 요소들을 감안하여 진행



그림 5.38. 7대 소자의 집적을 위한 나노집적 인프라 연계 전략

- 국내 인프라 시설에서 미보유하고 있는 공정/장비를 중심으로 집중 투자하여 플랫폼 기반을 확보하며 학연 및 국제협력 연구를 통하여 관련 핵심 공정을 개발함.



그림 5.39. 핵심요소공정 기술의 도출 및 개발 방안

○ 공정/나노 인프라 개발 연차별 투자 및 인력계획

	‘18	‘19	‘20	‘21	‘22	‘23	‘24	‘25	‘26	‘27	소계
정부출연 (억원)	115	115	115	115	115	60	60	60	60	60	875
민간출연 (억원)	0	0	0	0	0	150	150	150	150	150	750
참여연구원(명)	250	250	250	250	250	250	250	250	250	250	2,500
연구보조 (명)	75	75	75	75	75	75	75	75	75	75	750
장비투자 (억원)	30	30	30	30	30	40	40	40	40	40	350

○ 공정/나노 인프라 개발 정량적 연구성과

	‘18	‘19	‘20	‘21	‘22	‘23	‘24	‘25	‘26	‘27	소계
논문	15	31	55	110	110	68	73	110	102	210	884
특허(국내)	65	100	127	173	258	241	302	309	360	390	2,325
특허(국외)	23	37	48	64	96	99	102	120	127	154	870
인력(석사)	34	51	69	88	134	124	155	164	185	202	1,206
인력(박사)	24	38	52	69	100	93	118	121	140	153	908
기술이전	1	3	5	9	10	9	13	14	17	20	101
창업	0	1	0	1	1	1	2	1	2	3	12

■ 최종 연구개발 목표

- 7개의 신소자 개념 및 아키텍처 개발을 기반으로 국내 3대 집적 기관들의 공백 공정 장비/기술을 보완 투자하고 국제 협력 및 집적 기관들 간의 상호 연계를 통하여 7개 단위 소자 및 array 수준의 집적을 가능하게 하는 공정/집적 플랫폼 기술을 개발함.
- 궁극적으로는 미래에 요구되는 다양한 초저전력 소자들로 구성된 시스템 융합 chip set의 구현 및 상용화 서비스가 가능하게 함.



그림 5.40. 최종 연구개발 목표

5.3.4. 초저전력 시스템 집적 플랫폼 개발

■ 시스템집적기술 개요

○ 시스템집적기술 정의

- 플랫폼기술개발을 통하여 개발될 소자 및 공정 플랫폼을 이용하여 제작 가능한 초저전력 응용시스템
- 초저전력 반도체칩의 제품화 가능성을 검증할 수 있는 회로를 의미하며 이러한 응용시스템의 제작을 위하여 필요한 설계, 시뮬레이션, 제품화 기술을 포함
- 본 사업에서는 미래사회에 필요할 것으로 판단되는 새로운 시스템의 제품화 가능성을 검증하기 위한 회로의 시현을 목표로 함
- 또한, 이와 같은 회로의 설계를 가능토록 하는 CAD기술 및 핵심소자의 융합 최적 아키텍처의 개발을 함께 추진

○ 본 사업에서 시스템집적기술 도출 기준

- 7대 원천 소자 기술들을 적용 할 수 있는 시스템 집적 플랫폼 중 향후 가장 큰 시장으로 예상 되는 (1) 바이오 센싱 및 웨어러블 (향후 5년 이내), (2) 자율주행 자동차 및 무인 비행체 (향후 10년 이내), (3) 개인용 슈퍼컴퓨터 (향후 15년 이내) 분야에 필요한 시스템 도출
- 기술 발전 단계에 따른 단계별 상용화 전략에 근거 3개의 응용 설계 시스템 도출 하였으며, 각 응용 설계 시스템들은 단계별 에너지 소모 감소 목표를 가짐 - 초저전압 시스템: 1/10, 뉴로모픽 시스템: 1/100, mW급 프로세서: 1/1000

■ 전략적 추진 시스템집적기술 기술의 필요성 및 시장성 분석

전략적 R&D 추진 기술	필요성	시장성
1. 초저전압 시스템	- 반도체의 차세대 응용 제품으로 주목받는 모바일 헬스케어 기기는 몸에 부착 또는 이식을 위해 초소형화 되어야 하므로, 탑재 배터리 크기 역시 초소형화 될 필요성 있음 → 성능보다는 전력 효율성이 더욱 중요함 - 반도체의 동작 전력은 공급전압의 제곱에 비례하므로, 초저전압 동작을 활용하면 동작 전력의 획기적 개선이 가능함 - 기존의 연구 결과에 따르면 디지털회로의 에너지 효율성이 극대화되는 지점이 트랜지스터 문턱전압 근처인 300~400mV 영역임 - 현재 연구 결과에 따르면 에너지 효율성이 극대화되는 초저전압 영역에서 일반 전압 동작 대비 에너지 소모량(=파워×딜레이)이 1/7~1/8로 감소. - 초저전압에 시스템에 적합한 소자 기술 적용 시	- 대표적 모바일 헬스케어 기기인 Fitbit은 이미 시장에 안착하여 큰 성공을 거두고 있음. Fitbit사의 현재 상장 가치는 \$3B에 근접. - Fitbit외에도 애플, 구글 등 많은 IT 기업들이 모바일 헬스기기 제품 개발을 위해 많은 투자를 하고 있음 - 바이오 신호들을 센싱하는 회로는 모바일 헬스케어 기기의 핵심 부품이므로 높은 부가가치를 가짐 - 초저전압 시스템은 바이오 신호를 센싱하는 회로 외에도 사물인터넷, 기타 웨어러

	에너지 소모량을 일반 동작 대비 1/10이하로 감소시킬 수 있을 것으로 전망 • 모바일 헬스케어 기기의 핵심 부품은 바이오 신호들을 센싱하는 회로들이며, 이러한 회로들을 초저전압 시스템으로 구현할 경우 헬스케어 기기들의 배터리 운영시간을 크게 향상하는 것이 가능함	블 기기에도 적용 가능하므로 시장성이 매우 큼
2. 뉴로모픽 시스템	• 모바일 기기에서 숫자 및 문자 인식, 음성 인식, 영상 인식 기능을 요구하는 응용 프로그램이 대폭 늘어나는 추세임 • 현재 많은 모바일 기기들은 이러한 인식 기능을 제공하고 있으나 기기자체가 인식 기능을 수행하는 방식이 아닌 네트워크 망을 활용하고 있음. 즉 서버에서 인식 기능을 수행한 후, 그 결과를 모바일 기기들이 출력하는 방식임 • 위와 같은 방법은 네트워크 연동이 어려운 장소에서는 동작하지 않는다는 단점이 있으며, 네트워크 망을 거치는 과정에서 주요 정보가 외부에 노출되는 보안 문제가 발생함 • 무인기와 자율 주행 자동차의 경우 이동성이 매우 크므로, 네트워크 연동이 어려운 지역에서도 운영할 개연성이 매우 큼. 뿐만 아니라 보안성이 매우 중요함. 이러한 응용처의 경우 인식 기능을 개별 기기에서도 수행하려면 뉴로모픽 시스템이 반드시 필요함.	• 무인기 시장은 현재 폭발적 증가를 보이고 있으며, 향후에도 발전가능성이 매우 큼 • 거대 IT기업 및 자동차 회사들은 자율 주행 자동차의 시장성을 이미 인지하여 많은 투자를 하고 있음 • 뉴로모픽 시스템은 인식 기능을 빈번히 수행할 필요성이 있는 무인기와 자율 주행 자동차의 핵심 부품이 될 것이 자명하며, 따라서 그 시장성은 매우 큼
3. mW 급 프로세서	• 인지 기능 수행을 위해서는 사전에 기계 학습이 우선적으로 이루어져야함 • 기계 학습은 매우 많은 연산량이 필요하므로 성능 및 소모 에너지 관점에서 엄청난 부담을 동반함. 따라서 개인 컴퓨터에서 기계 학습을 실행하기는 어려우며, 현재 대부분의 기계학습은 중앙 서버, 슈퍼컴퓨터 기반으로 이루어짐 • 인공 지능의 활용도를 높이려면 각 개인에게 최적화한 기계학습 작업이 필요하며, 이를 위해서는 개개인의 컴퓨터에서도 기계학습을 실현해야 할 필요성이 큼. • 인공 지능의 응용은 더욱 다변화, 세분화할 것이 분명하며, 이와 더불어 각각의 기능에 최적화한 기계 학습의 필요성은 더욱 높아질 것임 • 개인 컴퓨터에서 기계학습을 실행하려면 고성능과 저전력을 동시에 달성하는 mW급 프로세서 기술이 반드시 필요함	• 인공 지능은 IT 기업들이 가장 많은 투자를 하고 있는 미래 먹거리 분야임 • 개개인의 컴퓨터 환경에서 복잡한 기계학습을 가능하게 하는 mW급 프로세서는 향후 인공 지능의 핵심 기술이 될 것이 자명하며, 그 부가가치가 매우 높을 것으로 예상함



그림 5.41. 시스템 집적기술 개요

■ 시스템집적기술 개발

○ 시스템집적기술 개발 상세

- 초저전력을 구현할 수 있도록 개발된 소자기반 기술을 이용하여 응용제품을 제작할 수 있도록 설계기반의 연구와 응용설계, 제작을 포괄하도록 함
- 각각의 초저전력 소자들은 현재 사용되어지고 있는 설계인프라 (PDK 및 셀 라이브러리 등)을 이용하여 설계와 검증이 불가능하므로 새로운 설계툴 등을 개발하여야 함
- 이와 함께 신소자로 구성된 회로 및 시스템에 최적화된 아키텍처가 연구 개발되어야 하며 이를 위해서는 아키텍처의 모델링과 검증을 할 수 있는 플랫폼의 개발이 필요함
- 개발되어지는 소자를 난이도 및 예상 완성도로 구별하여 각각의 조합을 통해 전력 절감이 1/10, 1/100, 1/1000이 될 수 있는 응용시스템이 개발될 수 있도록 집적함
- 초저전력을 통해 미래사회에 거대한 시장을 이룰 것으로 판단되는 예시 분야로 바이오 센싱 및 웨어러블 전자제품, 자율주행 자동차 및 무인 비행체, 개인용 슈퍼컴퓨터 등의 제품을 선정하여 응용 제품에 집중하기로 함.
- 바이오 센싱 및 웨어러블 기기, 자율 주행 자동차 및 무인기, 개인용 슈퍼컴퓨터 등의 주요한 전자 제품들의 전력 효율성 확보를 위해 필요한 핵심 설계 기술은 각각 초저전압 시스템 설계 기술, 뉴로모픽 시스템 설계 기술, mW급 프로세서 설계 기술임. 이러한 설계 기술의 기반이 되는 회로 기술 및 아키텍처 기술의 개발을 목표로 함.



○ 파급효과 및 지원 필요성

－ 경제적·산업적 파급효과

- 아래 그림은 시장조사 기관인 IHS사가 2014년에 전망한 헬스케어 및 피트니스용 반도체 시장 전망으로 연평균 30% 이상 성장하여 2018년 시장 규모가 20억달러를 상회할 것으로 예측함. 헬스케어 및 피트니스용 반도체는 에너지 동력을 배터리에 의존하므로 초저전력 시스템 구축이 핵심 기술임.



그림 5.42 2014년 현재 헬스케어 및 피트니스용 반도체
시장 전망 (자료 출처:IHS사)

- 무인기와 자율 주행 자동차 시장은 향후 폭발적으로 성장할 것임 (2013년 내비건트 리서치 사의 조사에 따르면 2018년 자율 주행 자동차 시장은 2000억 달러에 이를 것으로 예상). 무인기와 자율 주행 자동차의 핵심 기술은 빠른 실시간 영상 인식 및 처리로, 이를 위해 실시간 학습 및 인지가 가능한 뉴로모픽 시스템이 반드시 필요함. 뉴로모픽 시스템의 학습 및 인지 동작은 복잡한 연산으로 인하여 큰 전력 소모가 불가피하며, 이를 해결하려면 초저전력 시스템 구축이 반드시 필요함.

- 미래 소자기반 반도체 기술의 성공을 위해서는 관련 장비, 설계 인프라 등의 관련 생태계 구축이 반드시 필요함. 본 사업 통하여 초저전력 미래 소자기반 반도체 설계 자동화 소프트웨어 기술 선점이 가능하며, 이는 현재 국내에 부족한 설계 자동화 소프트웨어 관련 산업을 활성화하는 계기를 마련할 것으로 기대함.
- 정부 지원 필요성
 - 반도체 산업은 크게 소자 공정 및 집적을 담당하는 소자부문과 칩의 설계를 담당하는 설계부문으로 나눌 수 있음. 국내 소자 산업은 메모리 소자의 경우 세계 제1위이나 전체 반도체 산업의 2/3를 차지하는 시스템 IC 용 소자설계 산업은 선진국 대비 열위이며 관련 인력 및 기술이 부족한 실정.
 - 지난 30년간 실리콘 소자의 공정 미세화는 반도체 산업의 발전을 이끈 가장 큰 동력이었으나, 실리콘 소자는 공정을 미세화 할수록 공정 및 온도 변이에 대한 민감성이 증가하며, 누설 전류 악화, 관련 장비 비용 증가 등으로 미세화로 인한 효율성은 점차 감소되는 추세임.
 - 현재 열위에 놓여있는 로직부분 경쟁력을 개선하려면, 10나노 이하 공정에서 효율성이 없는 실리콘 소자의 일부를 대체할 수 있는 미래 소자 관련 설계 기술에 대한 투자가 반드시 필요함. 하지만 미래 소자 기술은 아직 불확실성이 크기 때문에 산업계의 직접적 투자 유치가 어려운 상황임. 즉 정부의 선제적 지원이 반드시 필요함.
 - 본 사업은 미래 소자 기반 초저전력 시스템 설계 기술, 관련 설계 인프라 구축 기술을 소자연구와 동시에 진행함. 본 사업의 성공은 대한민국이 실리콘 이후 반도체 기술의 주도권 확보에 기여할 것이며, 신 반도체 산업을 통한 높은 부가 가치를 창출로 대한민국 경제의 새로운 도약을 이끄는 계기가 될 것임.
 - 본 사업은 미래 소자 관련 아키텍처, CAD, 설계기술, 제품화 기술 등 미래 반도체 산업의 핵심이 되는 분야의 연구 개발 능력을 갖춘 인재를 양성하여 대한민국의 초저전력 미래 반도체 산업 경쟁력 확보에 크게 기여할 것임.

○ 시스템집적기술 개발 전략 (로드맵)

	Spec/ 공정	18	19	20	21	22	23	24	25	26	27	지원부처	적용제품
신소자 기반 아키텍처 개발	신소자 기반 초저전압 회로 및 시스템 아키텍처 개발											미래부	
	신소자 기반 뉴로모픽 회로 및 시스템 아키텍처 개발												
	신소자 기반 mW 급 프로세서 회로 및 시스템 아키텍처 개발												
	상위 수준 신소자 기반 아키텍처 모델링 및 검증 플랫폼 개발												
	플랫폼 고도화 및 기술 이전											산업부	
	신소자 기반 PDK 개발											미래부	
	신소자 기반 셀												

- 불편함을 느낄 정도까지 커지는 문제점을 지님.
- 그러나 배터리 크기를 줄일 경우 총 전력량의 한계 때문에 기기의 성능을 제대로 내지 못하는 문제가 발생함. 때문에 배터리의 소형화와 함께 초저전력 기술을 도입한 초저전압 시스템을 조기에 개발할 경우 바이오센싱 및 웨어러블 제품 산업에서 기술적 우위를 가질 수 있음.
 - 뉴로모픽(Neuromorphic) 기술은 초저전력으로 동작하는 인간 뇌의 주요 기능을 모방해 기존 폰 노이만 아키텍처 기반 컴퓨터가 가지고 있는 속도 및 전력소모 등의 한계를 극복하기 위한 기술임. 뉴로모픽 기술은 앞으로 다양한 응용 분야에 적용될 수 있을 것으로 기대되며, 자율주행 자동차, 인지로봇 및 모바일 단말 분야를 중심으로 세계 뉴로모픽 기술 시장이 급속도로 성장하는 등 사회 전반에 걸쳐 강력한 파급 효과를 나타낼 것으로 예상됨.
 - 기존 반도체 소자의 소모 전력을 1/1000 이하로 절감할 경우 기존에 상상하지 못했던 다양한 시스템의 개발로 거대한 새로운 전자산업 시장의 창출이 가능함. 특히 연산을 담당하는 Application processor (AP), CPU 등의 프로세서의 소모전력을 1/1000으로 낮출 경우 Personal Supercomputer 시대를 구현할 수 있어서 의료, 가정용 로봇, 증강현실 등 다양한 분야에서 혁신을 가져올 수 있음.
 - 이를 위해서는 초저전력 소자의 개발과 함께 이를 이용하여 칩을 설계, 집적하여 제품화를 검증할 수 있는 시스템 구현이 필수. 그러므로 초저전력 시스템집적을 위해 다양한 소자기술을 이용해 설계할 수 있는 CAD인프라기술과 다양한 소자를 최적화하여 융합할 수 있도록 하는 아키텍처의 연구가 동시에 필요

○ 연구목표 및 주요연구내용

분야	연구목표	주요연구내용
설계인프라	- 초저전력 소자의 특성을 정확히 반영한 PDK와 셀 라이브러리 개발 - 초저전력 소자의 설계 및 검증 과정에서 기존 CAD 소프트웨어를 이용할 수 있도록 필요한 형식의 라이브러리를 제작 - 초저전력 소자를 이용하여 대규모 집적 플랫폼을 설계 및 검증하는 과정에서 최적화된 플로우를 수행할 수 있도록 새로운 설계 및 검증 프로그램 및 플로우 개발	- 신소자 기반 PDK 개발 • 초저전력 소자용 PDK(process design kit) 개발을 위해 소자의 특성을 다양한 환경에서 반복 측정하고, 간단한 회로를 통해 PDK를 검증 - 신소자 기반 셀 라이브러리 개발 • 신소자 기반의 PDK를 기반으로 하여 인버터, 낸드게이트, 플립플롭등의 스탠다드 셀 (standard cell) 들의 설계 - 프런트-엔드 설계 및 검증 방법론 • 기존 CMOS 기반의 동작 검증 단계에서 사용되었던 시뮬레이터와 회로 합성 소프트웨어를 초저전력 소자 시스템에 맞게 수정 적용하고, 정적 타이밍 분석 소프트웨어를 개발 - 백-엔드 설계 및 검증 방법론 • 초저전력 소자를 이용한 시스템에서 회로의 타이밍 검증과 파워 검증 및 분석을 수행할 수 있는 설계 플로우를 개발 - 설계 및 검증 환경 고도화 및 기술 이전

		• 기존의 CMOS 기반 CAD 소프트웨어를 최대한 이용 하면서, 신소자 기반 시스템 용 설계 플로우를 점진적으로 개발하여 궁극적으로 독자적인 설계플로우와 소프트웨어를 갖추
신소자 기반 아키텍처	- 초저전압 시스템 설계, 뉴로모픽 시스템 설계, mW급 프로세서 설계에 가장 적합한 신소자를 선정하고, 선정한 신소자들의 특성 분석 - 분석한 다양한 신소자들의 특성에 적합한 회로 설계 기술 개발하고, 회로 설계 기술의 안정성과 효율성을 증가시키기 위한 아키텍처 환경 및 플랫폼 개발 - 소자 계층, 회로 계층, 아키텍처 계층의 유기적 계층 통합적 연구가 가능하도록, 상위 수준에서 신소자 기반 아키텍처를 모델링하고 성능 및 전력 효율성 수준을 검증할 수 있는 시뮬레이션 플랫폼을 개발. - 다양한 신소자 기반 아키텍처에 대한 시뮬레이션 검증이 가능한 공통 시뮬레이션 플랫폼을 개발할 계획이며, 기술이전이 가능하도록 플랫폼을 지속적으로 고도화	- 신소자 기반 회로 개발 • 각 시스템 (초저전압/ 뉴로모픽/ mW 급 프로세서)에 적합한 신소자 기술 선정 및 소자 기술 분석 • 신소자 기술들의 특성을 고려한 기본 회로 설계 기술 개발. 시스템 설계에 필요한 기본 설계 라이브러리 구축 - 신소자 기반 아키텍처 개발 • 각 시스템에서 안정적 동작과 높은 전력 효율성을 동시에 고려한 시스템 아키텍처 제안. • 소자, 회로, 아키텍처 계층을 융합한 전체 시스템의 성능, 동작 안정성, 전력효율성 시뮬레이션 검증. 전체적인 성능 지표들 최적화를 위한 계층 통합적 연구 수행. - 상위 수준 신소자 기반 아키텍처 모델링 및 검증 플랫폼 개발 • 신소자의 특성을 융합적으로 이용할 수 있는 상위 수준의 아키텍처 모델링 개발 • 기존의 아키텍처와의 호환성을 검증하기 위해 CMOS 기반의 회로와의 호환 및 성능, 안정성 및 다양한 특성을 검증하기 위한 모델링 및 검증 플랫폼 개발 - 플랫폼 고도화 및 기술 이전 • 신소자 기반 모델링 아키텍처가 다양한 소자 안정성을 반영할 수 있도록, 플랫폼 고도화 • 전체 플랫폼을 개발하고 제품화 함
초저전압 시스템	- 생체신호측정등을 기반으로 하는 다양한 시스템과 웨어러블 기기들의 전력소모를 기존 대비 1/10으로 줄임으로써 보다 다양한 시스템 및 서비스	- 초저전압소자 및 설계 인프라를 활용한 필수 설계 자산 개발 • FFT / Wavelet / CORDIC / FIR 필터 / IIR 필터 / 경량급 CPU core등을 소자의 특성을 고려하여 마이크로아키텍처

	개발의 주도권을 확보 - 이를 위하여 생체신호 측정 및 웨어러블 기기에서 반드시 필요로 되는 설계자산 (IP)들을 선별하여 새로운 초저전압 소자와 설계 인프라를 활용하여 시스템을 설계	수준에서 구조 연구 • on-chip interconnect 및 초저전력 메모리 운용등 필수 설계 IP들을 SoC (System-on-Chip) 수준에서 Integration하기 위해 필요한 설계 기술 연구 - 초저전압 시스템 개발 및 검증 • 필수 설계 자산을 활용한 시스템 개발 및 에너지 소모 감소 목표 (1/10) 검증
뉴로모픽 시스템	- 새로운 뉴로모픽소자 및 로직과 정보저장을 위한 메모리 사이의 간격을 획기적으로 줄일 수 있는 로직-인-메모리와 같은 소자기술을 토대로 새로운 뉴로모픽 시스템을 IP 수준에서부터 개발하여 기존 대비 1/100의 소모전력을 요구하면서 보다 인간 뇌와 유사한 시스템을 개발하고자 함 - 자율주행 시스템에 활용하여 그 기능과 활용성을 검증하고자 함	- 뉴로모픽소자 및 설계 인프라를 활용한 필수 설계 자산 개발 • 인간의 뇌를 모방하기 위하여 고집적이 가능한 뉴런/시냅스 모방 소자를 기반으로 자율주행시스템 등에서 요구되는 필수 IP를 개발 - 뉴로모픽 시스템 개발 및 검증 • 필수 설계 IP를 활용한 자율주행 용 뉴로모픽시스템 개발 및 에너지 소모 감소 목표 (1/100) 검증
mW급 프로세서	- 고성능 연산 및 고속 데이터 전송을 위하여 다치로직 및 광배선 소자를 활용하여 기존 대비 1/1000의 소모전력으로 고성능 mW급 프로세서를 개발하고자 함 - 개인용 기기에서는 보다 고성능의 콘텐츠 및 서비스를 높은 에너지 소모를 기반으로 오랜 기간동안 사용할 수 있게하며, 슈퍼컴퓨터에 적용하여 경우 고성능의 연산이 가능한 시스템을 소형화시킴	- mW 급 프로세서 개발을 위한 필수 설계 자산 개발 • 기존의 2진방식을 활용하는 CMOS 기반 연산구조 대신 다치로직을 활용하여 ALU등의 기능 블록에서부터 MPEG/JPEG을 위한 핵심 블록설계, 보안을 위한 Galois Field 연산등을 설계하고 이를 토대로 고성능 저전력 시스템을 구현 • 기존 초미세공정에서 문제가 되고있는 데이터전송에서의 에너지 소모를 줄이기 위하여 칩과 칩사이, 혹은 칩 내에서의 데이터 전송을 광배선 소자를 이용하여 에너지 효율을 높이고 고성능 데이터 전송을 가능케 하여 대규모 고성능 시스템의 집적이 쉽도록 함

○ 시스템집적기술개발 연차별 투자 및 인력계획

	'18	'19	'20	'21	'22	'23	'24	'25	'26	'27	소계
정부출연 (억원)	185	185	185	185	185	135	135	135	135	135	1,600
민간출연 (억원)	0	0	0	0	0	45	45	45	45	45	225
참여연구원(명)	250	250	250	250	250	250	250	250	250	250	2,500
연구보조 (명)	75	75	75	75	75	75	75	75	75	75	750
장비투자 (억원)	0	0	0	0	0	0	0	0	0	0	0

○ 시스템집적기술개발 정량적 연구성과

	'18	'19	'20	'21	'22	'23	'24	'25	'26	'27	소계
논문	15	30	55	110	110	69	74	110	103	210	886
특허(국내)	73	108	143	194	289	272	339	350	404	439	2,611
특허(국외)	24	41	54	72	108	109	117	136	143	177	981
인력(석사)	34	52	68	89	135	124	155	163	186	201	1,207
인력(박사)	24	38	51	69	100	93	118	121	140	153	907
기술이전	0	2	4	6	9	8	12	12	15	16	84
창업	0	0	1	1	1	1	1	2	2	2	11

■ 주요세부과제간의 연관관계



5.3.5. 국제 협력체계 구축

■ 추진 내용

- 오픈이노베이션 시스템 방식에 기반하여, 글로벌 차세대 반도체 기술개발의 국제 컨소시움을 우리나라에서 능동적으로 주도하여 글로벌 기술개발 리더쉽 확보.
- 글로벌 리더쉽을 확보하여 국내에서 개발된 기술의 글로벌 로드맵 표준기술 반영을

도모하여 미래기술발전의 선두적 교두보 위치 확보

■ 추진 목적

- 반도체 기술 개발 방향의 새롭게 바뀌는 전환기에, 반도체 산업 강국인 우리나라의 잇점을 활용하여, 새로운 기술발전 방향성의 선두적 입지를 국제적으로 확보함으로써, 차세대 산업발전기술의 기술표준 선점 및 로드맵 반영등을 도모하여 여러 가지 산업경제적 이득을 확보할 수 있는 기회를 발전시킴.

■ 추진 배경 및 필요성

- 배경: 반도체 분야 글로벌 연구환경의 변화

- 반도체 산업의 규모와 특성상, 기술플랫폼을 한 국가나 기업이 독자적으로 개발하여 독점적 우월 지위를 차지하기는 어려우며, 기술개발비용이나 특정기술의 리스크를 공동 부담해 가면서 업계가 기술패러다임을 함께 개척해 가는 것이 반도체 연구개발의 특성.
- 지금까지 차세대 반도체 기술은 Moore의 법칙을 기반으로 다양한 미세화 기술의 방향을 제시하는 ITRS roadmap을 중심으로 SEMATECH, IMEC등 국제 공동연구기관의 주도하에, IBM alliance, TSMC, Intel, 삼성, SK Hynix등의 소자제조기업들이 공동 참여하여 개발되어 왔음.
- 기술로드맵의 불확실성 증가, 스케일링 기술의 한계에 의한 성능향상 제약, 소자기업들의 R&D 비용증가 때문에 민간기업간의 글로벌 컨소시엄의 차세대 반도체 기술개발 동력이 취약해짐

※ 사례: 450mm 추진 연기, III-V 반도체 개발 실패, EUV 도입 지연 등 이러한 문제들에 의해 야기된 상황임

- 제조기업의 감소로 인해 300mm, 450mm기반의 고비용 연구를 주로 수행해온 SEMATECH, IMEC등의 공동연구컨소시엄 모델도 심각한 위기에 처해있음 (SEMATECH에서 Global Foundry, Intel 탈퇴, 삼성전자도 조만간 탈퇴 예상. SRC(Science Research Corporation)에서 반도체 주요기업(TI, IBM, 글로벌 파운드리 등) 탈퇴로 미국 내 기초연구 기반 붕괴)
- 삼성, SK Hynix가 기술도입선으로 활용해온 IBM alliance에서 IBM이 제조부문을 포기함에 따라 (IBM 반도체 제조부문 매각) 향후 도입될 기술의 질적수준의 저하도 우려됨.
- 스케일링 일변도의 기술발전 추세에 심각한 변화 예상되며, 이러한 기술발전 패러다임은 미세화스케일링 일변도에서 초전력화로 발전방향 전환이 예상됨.

- 글로벌 연구 프로그램의 필요성

- 차세대 반도체 기술 개발 환경의 급격한 변화에 대응한 국내 연구체계를 정비하고 미래 반도체 패러다임 전환기술을 선도적으로 개발하여, 중국 등 경쟁국과의 기술격차를 유지하도록 지원할 필요성 증대
- 국내 연구 인력의 절대적인 부족문제를 해결하기 위해, 해외 전문인력을 적극적으로 활용할 필요가 있음
- 반도체 주요기업들의 경제적산업적 위치등이나 국가적 제조기술력의 인프라수준등을 고려해 볼 때, 우리나라가 새로운 기술개발방향의 패러다임 전환기에서 선두적

리더로서 주변국을 설득하고 이끌고 갈 수 있는 책임자 자격을 갖추고 있다 볼 수 있음.

- 차세대 반도체 연구의 중심점이 사라진 현 시점이 (미국에서 기술리더쉽을 발위해 주던 Sematech / SRC 등의 쇠약), 우리나라가 주도적으로 글로벌연구협력컨소시엄의 중심 역할을 하고, 국내 반도체 산업의 세계적 위상에 적합한 기술 리더쉽을 확보할 수 있는 좋은 기회임
- 이를 통하여 글로벌 반도체 기술개발 주도권을 차지하기 위한 각국의 경쟁에서 앞서고, 중국의 반도체 산업분야에 대한 대규모 투자에 대응하여 선도적 기술격차를 계속 유지하도록 함.

■ 국내외 국제협력 환경 현황

○ 주변 타국가의 기술개발 및 정책 현황

- 미국
 - IBM등 일부 반도체기업등의 사업 철수 등으로 인하여, 인텔/IBM 양대 기업의 반도체 기술연구의 선순환적 경쟁구도 와해,
 - 미국기업 중심으로 다수의 주요기업들이 참여하여 공동으로 꾸리던 글로벌 연구 컨소시엄도 퇴색중 (Sematech폐쇄).
 - Intel도 모바일기기산업으로의 전환기에 어려움을 겪으며, 단독으로 기술개발 리더쉽을 발휘하기 힘든 상태.
 - 450nm 웨이퍼 공정기술 개발 연기, III-V족 반도체 개발 지연, 초미세화 장비 도입지연등의 어려움이 현실화 됨.
 - 정부주도의 NNI등에서 차세대 반도체기술개발의 중요성을 강조하고 있으나, Intel, TI등 일부기업을 제외한 민간기업들은 제조기지를 대만,중국으로 이전한 상태여서, 기술개발 추진력이 크게 감소되었으며, 이에 따라 기술 리더쉽도 급격히 약화되고 있음
- 유럽
 - EU 차원에서 광범위한 반도체 관련기술투자에는 적극적으로 꾸준히 유지하고 있음 (Horizon 2020, ICT 25등 나노전자분야 3.6조 투자*)
 - 반도체 제조산업의 위상 축소로서 독자적인 산업경제적 효과를 만들어어나가는데 어려움과 부담을 많이 느낌.
 - 취약한 반도체 제조업기반으로 인한 기술개발 효율성을 제고하기위해 제조업 산업기반이 잘되어있는 한국과의 네트워크협력에 가장 적극적.
- 일본
 - 전통적으로 소재·기초과학 강국의 입지가 강하지만, 전자·반도체 분야에서 선제적 대응 미흡으로 한국에 반도체 주도권 뺏김..
 - 일본은 해외 컨소시엄에서 철수, 국제공동연구 불허등 폐쇄적인 국제협력 정책을 유지했는데, 이러한 이유와 국제 분업화 트렌드에 적응이 느렸던 일본 반도체 업체들의 특성과 맞물려 반도체 산업의 경쟁력이 크게 약화됨
 - 최근 반도체 분야 장기투자에 소극적이며, 단기 상용화과제에만 투자함으로써, 반도체 분야 기초연구기반이 붕괴되고 있고 도전적 연구가 이루어지지 못하고 있음. .
 - 일본 학계는 한국, 중국의 반도체 기업과의 협력에 적극적인 입장임.

－ 중국

- 중국 제조 2025 추진, 신흥소재 강국, 나노튜브·그래핀 등 나노소재 생산 1등, 반도체 점유율 확대 추진, 개발된 소재의 응용처 발굴 노력
- Qualcomm -SMIC-LETI 등 다국적 연구컨소시움을 이용한 대안기술개발 등 반도체 산업에서의 입지를 확보하기위해 노력중
- 아시아 국가, 특히 한-중-일간에 제조기술기반의 기술을 선도하는 국제반도체 학회 창립준비중, 장기적으로 중국중심의 주도권 확보를 위한 움직임으로 분석됨 (미-EU중심의 IEDM 대체 목표)

－ 한국

- 나노혁신2025 등의 정책, 반도체 등 나노전자 제조분야에 강점, 6개 팹을 보유, 나노분야 연구 활발, 소재 원천기술 부족
- 반도체분야의 경우, 산업규모가 커짐에 따라 민간투자에 의한 지속적인 발전을 기대해왔으나, 나노팹설립 등 정부지원에도 불구하고 국내 대기업과 학연과의 기술 교류는 축소되고 있음
- 국내 대기업은 해외 컨소시움을 통한 차세대 기술 도입, 해외 선도 연구그룹과의 공동연구등 자체적인 국제협력사업을 통해 단·중기 중심 위주의 기술개발에 주로 치중해왔음.
- 이 때문에 국내 학계의 글로벌 경쟁력 또한 선진국과의 경쟁, 중국의 추격을 물리치기에는 매우 부족한 수준으로 급격히 약화된 상태임

－ 아세안국가

- 베트남, 인도네시아등의 국가에서도 반도체산업에 대한 관심이 증가되고 있음

○ 반도체분야 국제협력 현황

- － (한-미) 한미나노포럼등 나노기술분야 교류 지속, 반도체 분야 국제협력은 매우 취약해진 상황임
- － (한-EU) 과기공동위 활동의 결과로 나노전자분야, 특히 초저전력 반도체기술분야의 과제간 집단교류등 포괄적 협력에 합의된 상태임
- － 반도체 분야는 전통적으로 아래와 같이 기업간 국제협력활동이 활발했으나, 최근에는 종료되거나 유명무실해짐.

협력분야	협력내용	참여기관
시스템반도체 국제 공동연구	미국 대학 / 연구소와 시스템반도체 핵심 IP 개발 및 사업화	Calit2(캘리포니아 주정부 연구소), IIT(일리노이주 소재 종합대학교), 국내 연구소(KEIT) 및 팹리스기업 － 종료
Global 450 컨소시엄	반도체 대구경웨이퍼 (300~ 450mm) 양산을 위한 국제 R&D 컨소시엄	인텔, 글로벌파운드리, TSMC, 삼성전자, 유진테크, PSK 등 － 기술도입시기 불확실함
ITRS	장기적인 반도체 기술 동향 예측 및 가이드라인을 제공, 국내 기업대표 참석	인텔, TSMC, 삼성전자, SK하이닉스 등 － 기술선도역할 퇴조
SRC (semiconductor)	반도체 소재, 공정, 소자, 설계등 각 분야에서 기초 연구 과제 수행	인텔, Global Foundry, IBM, AMAT 등

Research Consortium)	및 인력양성	- 국내 연구자 일부 개별과제 참여중
WSC(World Semiconductor Council)	미국, 유럽, 일본, 한국, 대만, 중국 등 반도체 생산 6개 국가의 반도체 협회와 회원사들로 구성된 협의체	SIA(미국), ESIA(유럽), JSIA(일본), KSIA(한국), TSIA(대만), CSIA(중국)
한·중시스템IC협력연구원 사업	한-중 양국 정부의 지원*을 받아 세계 최대 IT 생산기지인 중국 심천지역에 국내 중소반도체 설계기업을 위한 R&BD 공간 제공	- 성공사례가 없음

- 민간차원의 교류 비활성화로 R&D 투자효율을 개선하기위한 정부주도의 국제교류 사업이 필요해진 상황임

■ 추진 체계 및 단계별 추진계획

○ 국제협력 추진 체계

- 국내 대학 전문가, 정부출연연구소(KIST, ETRI), 나노인프라 기관, 주요기업 연구소가 참여하는 국내 산학연 컨소시움 (가칭 “초저전력 미래반도체 개발사업단”) 구성
- 이러한 산학연 컨소시움을 국내 초저전력 미래반도체 관련 과제의 통합관리 뿐만 아니라, 국제협력사업도 직접 운용하며 대외적으로 한국 산학연 협력체를 대표하는 역할도 수행
- 연구단내 집적시스템 파트와 기반인프라 파트 중에, 기반인프라 분야를 국제적으로 공개하고 국제협력의 주 대상분야로 설정함.
- 한-EU 협력사업 등을 활용하여 IMEC, LETI 등 유럽 지역 연구기관들과 공동협력 체계를 구축하고, 중국, 일본, 미국 등으로 해외 산학연을 포괄하는 글로벌 산학연 컨소시움 범위를 점진적으로 확대 변경 추진
- 국내 반도체 산업기반, 기술력을 바탕으로 이미 붕괴된 민간공조체계를 대체하는 국가별 차세대 반도체 기술프로그램간 공조체계 수립을 주도하는 과정에서 기술리더쉽 확보
- 연구범위를 비정부지원 분야(증장기 연구)로 점진적으로 확대하여 국내외 기업들의 컨소시움형 연구 참여를 유도

* 미국 : Qualcomm, Texas Instruments, Intel, Applied Materials, 국내 : 삼성, SK Hynix, 소재/공정장비 기업 등

○ 단계별 추진 계획

- 예비단계: 2018년까지 한-EU 초저전력 미래반도체기술 R&D 클러스터 구성
- 1단계: 2019년까지 초저전력 미래반도체분야 연구집단 네트워크 구성
- 2단계: 2022년까지 민간기업을 포괄하는 글로벌 컨소시움 구성
- 3단계: 2025년, 초저전력 미래반도체 기술 상용화

단계	주요 추진목표	추진내용	실행과제
----	---------	------	------

예비 단계 (-2017)	R&D 프로그램 기획 및 협력 준비	- 주요 연구그룹간 정기 료류 등 협력체계 구축 - 주요 R&D 프로그램 기획	- MOU등 협력의사 확인 - 공감대 형성을 위한 정 기교류 워크숍
1단계 (2018-19)	미래 반도체 기술분야 주요 R&D 프로그램 간 네트워크 구성	- 한국 (초전력미래반도 체 개발), EU (ICT31), 미국 (E2CDA) 등 주요 연 구프로그램간 협력 네 트워크 구축	- 프로그램 내용 정기 공 유 워크숍 개최 - 공동 R&D 프로그램 기 획 - 연구자 교류 등
2단계 (2020-22)	글로벌 컨소시엄 구성	- 각 프로그램간 협력결 과를 바탕으로 참가국 이 공동 펀딩하는 집 단 연구과제 창출 - 민간기업 funding 참 여 유도	- 예산, R&D 과제 공유 - 집단 governance 체계 구축
3단계 (2023-25)	컨소시엄 융합연구 성 과도출	- 기술표준화를 통한 기 술채택 시스템 구축 성과도출	- 공동 개발 성과 도출 - 민간기업 사업화
성숙자립단 계	컨소시엄 자립도 개선	- 민간투자 지분 개선 - 참여기업 다변화	

■ 국제협력 과제 운용 및 협력가능의제

○ 국제협력 세부과제 운용

- 초저전력 미래반도체 개발 연구단내 기반인프라 파트 산하 연구과제 중에서 국제
협력의 필요성이 크고 협력대상파트너의 연구능력이 뛰어난 주제를 선정하여
15~20개 정도의 (~25억/연 규모) 세부필요기술과제를 통하여 국제협력연구를 진
행함.
- 과제별로 해외파트너에 직접 funding을 제공하고, 외국의 연구그룹을 국내연구그룹
과 같이 일하게 함

○ 주요 협력가능 국외기관별 강점 분야 및 협력가능분야 (예시)

협력 국가/기관	강점 분야	협력 의제	Contact point
프랑스 LETI	Monolithic 3D 뉴로 모픽소자 SOI 소자/ 공정	- Monolithic 3D 기술 공동연구 및 표준화 - Neuromorphic 소자기술 공동연구	Carlo Leita, Director
벨기에 IMEC	Near-term 소자연구	- 초저전압 소자기술	An Steegun, VP
미국 NRI	4개 대형연구 center 및 NSF-NRI 과제 운영	- E2CDA 프로그램 등 관련과제 협력	An Chen, Director
미국 SRC	GRC 과제 운영 기초 연구중심	- 단위공정 분야 협력	Kwok Ng, Director
대만 ITRI	반도체, 소재, 설계	- 한-중-일 협력 네트워크	M. J. Tsai,

	창업	구성	VP
일본	Ge 소자, 기초연구	- 한-중-일 협력 네트워크 구성	A. Toriumi, 동경대 교수
중국	현재 강점분야는 없으나 향후 산업발전 잠재력이 있는 협력상대로 협력방안 모색		Chinese Academy of Science

○ 기대 효과

- 국내 참여 연구인력들이 글로벌 컨소시엄형 연구를 수행하게 됨에 따라 국내 나노 전자 분야의 연구 경쟁력을 획기적으로 제고
- 한정된 기술 분야이긴 하나 국내 최초로 글로벌 컨소시엄을 주도하고 정부지원을 기반으로 국내외 산학연 연구 참여를 유도하여 투자효율성을 제고하는 사업모델을 창출
- 원천 선도 기술개발을 주도하여 사업에 참여하는 국내 기업에게 소재, 장비, 설계 IP를 선점할 수 있는 기회 제공
- 경쟁력있는 국내 연구집단을 육성하고, 차세대 국제기술표준 선점 및 로드맵 반영 등을 도모하고 산업기술 주도권을 확보함으로써 국가 핵심산업의 경쟁력을 유지, 강화

5.3.6. 과제 RFP (예시)

- Bottom 소자기술개발 과제 RFP 예시

		RFP 번호	1
과제명	초저전력 소자 및 시스템 집적기술개발		
1. 연구목표	○ 최종목표: CPU급 시스템의 소모전력 저감에 기여할 수 있는 초저전력 단위소자 및 집적공정 기술 ○ 세부연구목표 - 초저전력 단위소자 기술 개념 도출 및 성능 검증		
2. 연구내용 및 범위	○ 초저전력 단위소자 기술개념 도출 및 성능검증 - 단위소자의 동작개념을 검증 및 소자 모델 개발 - 시스템레벨에서의 소모전력 개선효과를 전산모사로 검증, 제시 (전산모사 플랫폼은 총괄사업단에서 별도 개발) - 단위소자 개발에 필요한 소재, 단위공정, 집적공정 개발 ○ 1단계 연구내용 (1년) - 단위소자 기술 개념검증을 위한 모델 개발 - 단위소자 제작 공정 개발 ○ 2단계 연구내용 (2년) - 단위소자 성능개선 (목표수준의 40%) - 시스템 집적 전략 제시 및 집적공정 개발 (나노인프라시설에서 제작이 가능한 수준) ○ 3단계 연구내용 (3년) - 소자성능 최적화 (목표수준의 80%) - 중규모 집적 시스템에 도입, 단위 회로 및 시스템 성능검증 (목표수준의 50%)		
3. 성과목표	- 제안된 소자, 구조 및 물질이 초저전압 나노 전자 소자의 성능에 미치는 영향을 시뮬레이션을 통하여 확인 - 제안된 구조 및 물질이 초저전력 시스템의 성능 향상에 미치는 영향을 단위 공정 및 소자 제작 실험을 통하여 확인 - 제안된 신뢰성 분석 결과를 이용하여 초저전압 나노 전자 소자의 수명예측		
4. 특기사항	- 1단계에서 개념검증이 충분하지 않은 경우, 과제 취소 가능 - 2단계에서 소자동작검증이 불충분하거나, 기술위원회에서 장기적 전망이 불투명한 것으로 판단될 경우, 기초연구과제로 전환 또는 과제취소 가능		
5. 사업기간/예산	6년(1+2+3), 과제예산은 5억원/년 이내에서 기술평가결과에 따라 예산 책정		

- 본 RFP는 Top down 기술개발 단위과제규모 (10억/년)에 맞게 작성된 예시임

		RFP 번호	2
과제명	초저전압 구동을 위한 나노 전자 소자 기술 개발		
1. 연구목표	○ 최종목표: 0.5 V 이하 구동전압 구현을 위한 나노 전자 소자/회로 기술 개발 ○ 세부연구목표 - 초저전압 나노 전자 소자 기술 개발 - 초저전압 나노 전자 소자 응용을 위한 회로 설계 기법 - 초저전압 나노 전자 소자 모델링 및 신뢰성 연구		
2. 연구내용 및 범위	○ 0.5 V 이하 초저전압 동작 로직반도체 소자 구현 및 공정 개발 - 새로운 소자구조/물질/동작원리를 이용한 초저전압 로직반도체 구현 - 초저전압 로직반도체 구현을 위한 신공정 개발 (예시: III-V 박막의 실리콘 기판상 형성, strained-silicon-on-insulator 기판 구현, 자기정렬형 비대칭 구조 구현) ○ 0.5 V 이하 초저전압 동작 로직반도체 소자의 모델링 및 PDK 개발 - 회로설계를 위한 초저전압 로직반도체 소자의 compact modeling - 초저전압 로직반도체 소자에 대한 물리적 이해와 예측을 위한 모델링 ○ 0.5 V 이하 초저전압 동작 로직반도체 회로의 구현 및 적용 - 0.5 V 이하에서 동작하는 논리회로의 구현 (예시: inverter, NAND 등) - 연관 분야로 초저전압 동작 로직반도체 회로의 응용처를 확장		
3. 성과목표	- 제안된 구조 및 물질이 초저전압 나노 전자 소자의 성능에 미치는 영향을 시뮬레이션을 통하여 확인 - 제안된 구조 및 물질이 초저전압 나노 전자 소자의 성능 향상에 미치는 영향을 단위 공정 및 소자 제작 실험을 통하여 확인 - 제안된 신뢰성 분석 결과를 이용하여 초저전압 나노 전자 소자의 수명예측		
4. 특기사항	- 기존 MOSFET 기술과 호환성이 높은 공정/재료를 이용한 기술 개발로 연구개발의 risk를 최소화함 - 단위 소자 개발만이 아닌 회로 설계와의 유기적인 협력이 추진되어야 함 - 현재 산업화가 상당히 추진된 MOSFET 기술은 배제함		
5. 사업기간/예산	5년(3+2), 10 억원/년		

		RFP 번호	3
과제명	Monolithic 3D 고성능 초절전 시스템 반도체 소자 및 공정 기술		
1. 연구목표	○ 최종목표 - 초절전 소자의 집적화를 위한 Monolithic 3D 고성능 초절전 시스템 반도체 소자 플랫폼 형성 ○ 1단계(2016~2018, 3년) - Monolithic 3D 공정 구현을 위한 적층 공정 및 관련 회로 설계 - Monolithic 3D 공정에 적합한 저온 공정 및 관련 장비 개발 - 초절전 Monolithic 3D 시스템 반도체 소자 플랫폼 개발 ○ 2단계(2019~2020, 2년) - 7대 원전 소자 기술 결함을 통한 Monolithic 3D 집적 플랫폼 확보 - 초절전 소자 기반 M3D 시스템 구현 및 전력 절감 구현		
2. 연구내용 및 범위	○ 1단계(2016~2018) - Monolithic 3D 공정 구현을 위한 적층 공정 및 관련 회로 · 실리콘 및 화합물 반도체 기판을 응용한 저온 공정 기반 기판 간 적층 및 연결 · M3D 구현을 위한 회로 설계 및 모델링 - Monolithic 3D 공정에 적합한 저온 공정 및 관련 장비 개발 · 소자 성능 감소를 위한 저온 공정 개발 · 저온공정 가능한 본딩 및 레이저 응용 부품 및 장비 개발 - 초절전 Monolithic 3D 시스템 반도체 소자 플랫폼 개발 · 검증 소자를 통한 소자의 수직적 다층 적층 및 성능 평가 ○ 2단계(2019~2020) - 7대 원전 소자 기술 결함을 통한 Monolithic 3D 집적 플랫폼 확보 · 초절전 소자 적용한 Monolithic 3D 설계 최적화 및 공정 집적화 - 초절전 소자 기반 M3D 시스템 구현 및 전력 절감 구현 · 성능 및 전력 소모 최적화를 위한 M3D 시스템 구현		
3. 성과목표	○ TRL 5 단계 ○ 1단계(2016~2018) - SCI급 논문 : 분야별 상위 10%이상 논문 게재목표 수치 제시 - 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 3건 이상) ○ 2단계(2019~2020) - SCI급 논문 : 분야별 상위 10%이상 논문 게재목표 수치 제시 - 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 2건 이상)		
4. 특기사항	○ 본 사업은 5년(3+2)로서, RFP상의 '연구내용 및 범위'를 고려하여 2개 이상의 세부과제로 구성된 총괄과제 형식으로 제안하고, 총괄과제 책임자는 1개의 세부과제 책임자를 겸함. ○ 1단계(3년) 연구진행 후 단계평가 결과에 따라 2단계 계속지원 여부를 결정하며 차기 단계의 연구기간, 예산 및 내용은 변경될 수 있음. ○ 과제제안 시 해당 과제의 중복성 여부를 과제 제안자가 재차 검토하여 제안할 것. ○ 2016년도(1차 년도) 연구비는 연구기간 및 16년도 예산현황 등을 고려하여 연구비 조정가능. ○ 최종결과물에 대한 정량적인 성능목표 및 성과물을 단계별로 제시할 것.		
5. 사업기간/예산	5년(3+2), 10 억원 내외/년		

		RFP 번호	4
과제명	고속 비휘발성 메모리 기반 자가구조변경 시스템 개발		
1. 연구목표	○ 최종목표 - 고속 비휘발성 메모리 기반 초저전력, 고성능 자가구조변경 시스템용 프로그래머블 로직 시스템 및 플랫폼 개발 ○ 1단계(2016~2018, 3년) - 프로그래머블 로직에 적합한 고속 비휘발성 메모리 기반 소자 개발 및 프로그래머블 회로 설계 - 고속 비휘발성 메모리 기반 프로그래머블 로직에 적합한 아키텍처 개발 및 CAD tool chain 설계 - 자가구조변경 시스템의 플랫폼 개발 ○ 2단계(2019~2020, 2년) - 프로그래머블 로직 시스템의 어플리케이션 탐색 - 프로그래머블 로직의 프로토타입 제작 및 자가구조변경 시스템 구축		
2. 연구내용 및 범위	○ 1단계(2016~2018) - 프로그래머블 로직에 적합한 고속 비휘발성 메모리 기반 소자와 회로의 개발 및 이의 모델링/특성 검증 · 고속 비휘발성 메모리의 펄스 및 순간적인 고전류에 대한 자기적 거동에 관한 분석 및 개선 · 상기 기법에 부합하는 프로그래머블 로직 읽기 / 쓰기 회로 설계 · 고속 비휘발성 메모리 기반 플립플롭 설계 및 활용 방안 연구 - 고속 비휘발성 메모리 기반 소자 및 회로의 특성을 고려한 프로그래머블 아키텍처 및 CAD tool chain 개발 · 성능 향상 및 전력 감소를 고려한 아키텍처 및 CAD tool chain 개발 · 고속 비휘발성 메모리 기반 프로그래머블 로직 검증을 위한 시뮬레이션 플랫폼 개발 - 자가구조변경 시스템의 플랫폼 개발 · 어플리케이션의 실시간 구조 변경 및 스케줄링을 위한 소프트웨어 설계 · 프로그래머블 로직 및 CPU / GPU가 공존하는 플랫폼 아키텍처 개발 ○ 2단계(2019~2020) - 프로그래머블 로직에 적합한 스핀오피탈을 활용한 고속 비휘발성 메모리 기반 소자와 회로의 개발 및 이의 모델링/특성 검증 · 스핀오피탈을 활용한 고속 비휘발성 메모리 기반 write / erase scheme 개발 및 · 스핀오피탈과 스핀토크를 결합한 하이브리드 Write 기법 개발 · 상기 기법에 부합하는 프로그래머블 로직 읽기 / 쓰기 회로 설계 - 프로그래머블 로직 시스템의 효율 극대화를 위한 설계 방법론 · 어플리케이션의 프로파일링을 기반으로 적절한 컴퓨팅 리소스에 어플리케이션을 분할하고 매핑하는 기술 · 성능 과 전력 소모를 상황에 따라 절충할 수 있는 알고리즘 개발 - 프로그래머블 로직의 프로토타입 제작 및 자가구조변경 시스템 구축 · HPC향 응용에 제안된 기술을 적용하여 성능 및 전력소모의 효율성 검증(성능 20% 이상 향상 / 전력 30% 이상 감소)		
3. 성과목표	○ TRL 5 단계 ○ 1단계(2016~2018) - SCI급 논문 : 분야별 상위 10%이상 논문 게재목표 수치 제시 - 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 3건 이상) ○ 2단계(2019~2020) - SCI급 논문 : 분야별 상위 10%이상 논문 게재목표 수치 제시 - 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 2건 이상)		

4. 특기사항	
○ 본 사업은 5년(3+2)로서, RFP상의 ‘연구내용 및 범위’를 고려하여 2개 이상의 세부과제로 구성된 총괄과제 형식으로 제안하고, 총괄과제 책임자는 1개의 세부과제 책임자를 겸함. ○ 1단계(3년) 연구진행 후 단계평가 결과에 따라 2단계 계속지원 여부를 결정하며 차기 단계의 연구기간, 예산 및 내용은 변경될 수 있음. ○ 과제제안 시 해당 과제의 중복성 여부를 과제 제안자가 재차 검토하여 제안할 것. ○ 2016년도(1차 년도) 연구비는 연구기간 및 16년도 예산현황 등을 고려하여 연구비 조정가능. ○ 최종결과물에 대한 정량적인 성능목표 및 성과물을 단계별로 제시할 것.	
5. 사업기간/예산	5년(3+2), 10 억원/년

	RFP 번호	5
과제명	초절전 다차로직 (MVL) 소자 및 시스템-온-칩(SoC) 개발	
1. 연구목표	○ 최종목표: CMOS FEOL 기술기반 최적 소자를 기반 상용화에 필수적인 특허 포트폴리오를 창출한 후, 응용시스템을 구성 및 설계 IP 확보, 비교 시스템 대비 Power-Delay Product (PDP) < 1/100 의 전력 절감 효과 검증 ○ 1단계(3년) - 다차로직용 소자 개념 도출 및 특허 IP 확보 - CMOS 집적공정 적용 및 성능 검증, CAD 모델 개발 - CAD 기반 집적회로 IP 도출 및 아키텍처 개념 도출 ○ 2단계(2년) - 초저전력 MVL SoC (System-on-Chip) 구현 및 설계 IP 확보 (전력절감효과 1/100 이하 수준)	
2. 연구내용 및 범위	○ 1단계(3년) * CMOS 기술 기반 신개념 MVL 소자 및 아키텍처 개발 - 3-level 이상의 상태 구현이 가능한 신 소자 제안 및 기본 특성 검증 - 새로운 소자 구조 및 동작원리에 관한 특허 10건이상 도출 - 신소자 기반 초저전력 MVL 아키텍처 개발을 위해 원천 회로 기술 개발 * CMOS 기반 신 소자 CAD 모델 개발 및 표준 집적공정 적용 - 소자의 기본 동작 설명이 가능한 물리적 모델 정립. - Compact Modeling 정립 및 관련 특허 창출. - 상용 CMOS 집적공정 활용 (FEOL 소자 중심, 소모전력 절감효과 < 1/10). * 다차로직 활용 회로 및 아키텍처 관련 IP 창출 - 다차로직에 최적화된 초저전력 로직회로 개념 도출 및 CAD 기반 성능 검증 - 다차로직 아키텍처 개념 IP 창출 - CMOS (FEOL) 기술 기반 신개념 다차로직 아키텍처 도출 및 IP 창출 ○ 2단계(2년) * 신개념 초저전력 MVL SoC (System-on-Chip) 개발 - 연산시스템 외에 임베디드 메모리 (Cache SRAM, DRAM) 집적 아키텍처를 포함 - 기존 이진 시스템의 부분적 대체(Bus, Encoder/Decoder)도 포함하여, 전체 이진-MVL 혼성집적 시스템-온-칩 개발 * 상용 CMOS 공정 적용 및 구현으로 동일 성능의 기존 이진 SoC 대비 전력절감효과 검증 (소모전력-지연시간 곱 < 1/100)	
3. 성과목표		

○ TRL 5 단계	
○ 1단계(2018~2020)	
- SCI급 논문 : 분야별 상위 10%이상 논문 게재목표 수치 제시	
- 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 3건 이상)	
○ 2단계(2021~2022)	
- SCI급 논문 : 분야별 상위 10%이상 논문 게재목표 수치 제시	
- 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 2건 이상)	
4. 특기사항	
○ CMOS FEOL 기술 기반의 다차로직 소자를 도입, MVL SoC 수준에서 PDP < 1/100 를 달성하기 위해 소자, 회로, 시스템, TCAD 및 설계 전문가로 소자-회로-시스템 융합연구팀 구성	
○ CMOS FEOL 소자 연구 개발 단계에서 Foundry (표준 CMOS 공정 only) +alpha 공정 자유도가 필요하므로 기업수준의 상용 Fab. Resource 활용을 위한 참여기업 확보	
5. 사업기간/예산	5년(3+2), 10억원/년

		RFP 번호	6
과제명	비휘발성 로직-인-메모리 소자 및 아키텍처		
연구 필요성	* 로직과 정보저장 모듈 간 정보전달지연과 급격하게 증가하는 파워소모를 해결할 목적으로, 로직 회로에 비 휘발성 정보저장 소자를 집적한 비 휘발성 로직-인-메모리 아키텍처가 절실히 요구됨. * 또한 현존하는 On-Chip 메모리 모듈은 휘발성 소자이기 때문에, 스케일링이 지속되면서 정적 파워가 동적파워소모를 상회하는 수준에 이르름. 이를 해결할 목적으로, 비 휘발성 소자를 사용 시, 정적 파워소모를 줄일 수 있고, CMOS 층 위에 정보저장 소자를 적층할 수 있어, 칩 면적을 낮출 수 있으며, 로직층과 메모리 층이 집적되어, 모듈간 정보전달 지연과 동적 파워를 낮출 수 있음.		
연구목표	* 로직-인-메모리 아키텍처에 사용될 정보저장소자 구현을 위해서 비 휘발성, 매우 높은 쓰기/지우기 반복횟수 (>10⁹), 빠른 쓰기 속도 (1-100ns), 소자의 소형화 가능성, CMOS 공정 적합성, Back-End-of-the-Line 공정에 적용할 수 있는 600℃이하의 공정온도 및 3차원 적층 가능성이 확보되어야 함. * Retention 및 신뢰성 열화 모델 규명 * 단일 셀 내 메모리 기능과 다치 기능을 동시에 수행할 수 있는 소자 및 어레이 레벨의 동작 기술 확보와, 신물질 활용한 차세대 아키텍처 도출 * 10nm 이하 Logic-in-memory 스핀소자 및 비휘발성 가변기능 스핀 논리 소자 - Logic-in-memory 스핀소자의 경우, 동일 function을 수행하는 논리회로 대비 dynamic power 소모가 20% 이하이며 static power 소모 없음. Write time 2 ns 이하, write energy 10 pJ/bit 이하, retention time 10년 이상. - 가변기능 스핀 논리 소자의 경우, 한 셀에서 4가지 논리동작의 구현으로 기존 소자보다 50% 이상 면적감소.		
연구 내용 및 범위	* CMOS 소자와 공정적합성이 뛰어나고 특성이 우수한 신규 강유전체를 발굴하고, 이를 MFS(Metal-Ferroelectric-Semiconductor) 터널 정션, MFM 커패시터와 트랜지스터 소자를 활용함. * 도핑, 촉매제 사용 및 이중접합구조형성 통한 혁신적 소재 발굴. * 결정 구조 분석 및 소자의 전기적 특성 평가를 통해 신물질 최적화와 발굴 * 쓰기 지우기 속도 ~50ns, 메모리 윈도우 ~1.0V * 계면제어기술 및 전하 트래핑 최소화 기술		

	* 신뢰성 제어 기술 * 소자 미세화에 따른 메모리 특성 변화 및 소자 열화 기구 연구 * 신물질이 적용된 초절전 로직-인-메모리 아키텍처 도출 * 10nm 이하 MTJ 기반 memory와 논리회로를 single chip에 integration 하여 완벽한 on-chip solution을 제공 * 매우 낮은 전력 소모와 interconnect delay 감소 실현 * 다양한 기능의 스핀 메모리 + 논리회로 융합소자 구현 * 가변 논리회로로의 확장 응용가능성 및 새로운 형태의 spin processor 가능성 탐색
연구 추진방법	* 소재 screening 방법을 통해 이원계 강유전체 물질 탐색 및 신규 물질 발굴 * 물질의 구조적 분석과 함께 Capacitor와 Transistor소자를 통한 메모리 특성 검증 * 나노인프라 (100nm이하급 트랜지스터 제작공정) 활용하여, 미세화에 따른 메모리 특성 변화 검증 * 신물질이 적용된 차세대 로직-인-메모리 아키텍처 도출 * 기존 논리회로에 자기터널접합(magnetic tunnel junction) 기반 비휘발성 메모리 소자를 결합하여, 매우 낮은 전력 소모와 interconnect delay 감소를 실현할 수 있는 스핀 메모리와 논리회로의 융합소자 구현 * 일부 논리회로의 기능을 MTJ로 대체함으로써, 같은 기능을 구현하는 기존 논리회로에 비해 transistor의 수를 감소시키고 reconfigurable 논리회로의 개발을 통한 차세대 spin processor의 구현
기대효과	* 위의 비 휘발성 메모리 소자의 요구조건을 만족하게 되면, 가까운 미래에 DRAM 및 Embedded 메모리가 비 휘발성 소자로 대체되어, 시스템의 파워소모 감소와 성능개선이 가능할 것임. 궁극적으로 비 휘발성 소자가 로직에 내장되어 있는 형태의 시스템구조로 전환되어 초 절전, 작은 면적, 고속 구현이 가능함. * 강유전체 게이트절연막이 적용된 1T 메모리 소자를 이용하여 미세화에 어려움을 겪고 있는 1T-1C구조의 DRAM에 기술적 돌파구를 제시 * CMOS 소자와 공정적합성이 뛰어난 강유전체 특성을 갖는 신규 이원계 산화물을 확보하여, DRAM 뿐만 아니라, MVL과 기타메모리에 적용. * 이와 관련한 신물질, 공정, 구조, 소자 및 어레이 동작원리에 대한 기술을 확보하여, 미래 전자소자와 시스템의 포트폴리오 확대 * 저전력, 인식/추론 가능 컴퓨팅 & 통신 모바일 CPU등 시스템 IC에 응용
지원기간/ 예산	○ 기간 : 5+2년, ○ 예산 : 10억/년 이내

		RFP 번호		7																																					
과제명		실리콘 포토닉스 기반 광배선용 저전력 광원 개발																																							
1. 필요성 및 연구목표																																									
○ 필요성 - 극단적 에너지 절감형 초저전력 미래반도체 기술로 광배선 (optical interconnection) 기술 도입이 필요. - 광배선은 실리콘 집적회로 고도화로 기존의 구리배선을 대체하는 기술로, 실리콘 집적회로 일괄제작 공정과 호환성이 있는 소재 및 공정 사용. - 광원(laser)은 광배선 기술의 핵심 요소 기술임에도 불구하고 물리적 한계로 다른 요소 기술 대비 전 세계적으로 개발이 지연되고 있음 \. - 문헌에 보고된 4족 반도체 기반 고집적용 광원은 수백 μm 크기의 활성영역으로 집적도는 낮고, 문턱전류는 수백 kA/cm^2로 높아 에너지 절감형 초저전력 미래반도체로 아직 적합지 않음. - III-V on Si 반도체는 상대적으로 낮은 문턱전압과 높은 출력파워로 저전력 소모 광원으로 사용될 수 있으나 현재 국내의 연구 진행이 극히 미미함. ○ 연구목표 - 실리콘 집적회로 공정과 호환되는 저전력 소모 광원 제작 기술 개발 - 실리콘 기반 헤테로에피택시에서 성장된 단결정의 결함농도 저감을 위한 공정 개발 - 이종접합 광원 소재의 광배출 효율 향상을 위한 소자공정 및 평가법 개발																																									
2. 연구내용 및 범위																																									
○ 메모리 및 논리 반도체 기술 고도화를 위한 저전력, 고집적용 광원 개발 - CMOS 공정과 호환성 있는 4족 및 III-V on Si 이종접합 및 성장기술 개발 - 높은 집적도의 광배선을 위한 초소형 광공진기 기반 광원 개발 - 기존의 4족 반도체 광원보다 월등히 낮은 문턱전류를 가지는 광원 개발 - 장거리 광배선에도 활용 가능한 저전력, 고출력 III-V on Si 광원 개발 - 출력 빛이 Si 광도파로에 직접 커플링이 가능한 구조 개발 - 저전력, 고출력 실리콘 포토닉스 광원에 필요한 핵심 공정 및 측정 기술 개발																																									
3. 성과목표																																									
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고수 준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>파장</td> <td>nm</td> <td>1000~2000</td> <td>-</td> <td>해당없음</td> </tr> <tr> <td>2</td> <td>4족 반도체 광원 문턱전류</td> <td>kA/cm^2</td> <td>100</td> <td>-</td> <td>280 (미국, MIT)</td> </tr> <tr> <td>3</td> <td>4족 반도체 광원 활성영역 크기</td> <td>μm^3</td> <td>10</td> <td>-</td> <td>114 (미국, MIT)</td> </tr> <tr> <td>4</td> <td>III-V on Si 광원 문턱전류</td> <td>kA/cm^2</td> <td>1</td> <td>-</td> <td>1 (프랑스, CEA-LETI)</td> </tr> <tr> <td>5</td> <td>III-V on Si 광원 출력파워</td> <td>mW</td> <td>10</td> <td>-</td> <td>10 (미국, UCSB)</td> </tr> </tbody> </table>						핵심 기술/제품 성능지표		단위	달성목표	국내최고수 준	세계최고수준 (보유국, 기업/기관명)	1	파장	nm	1000~2000	-	해당없음	2	4족 반도체 광원 문턱전류	kA/cm^2	100	-	280 (미국, MIT)	3	4족 반도체 광원 활성영역 크기	μm^3	10	-	114 (미국, MIT)	4	III-V on Si 광원 문턱전류	kA/cm^2	1	-	1 (프랑스, CEA-LETI)	5	III-V on Si 광원 출력파워	mW	10	-	10 (미국, UCSB)
핵심 기술/제품 성능지표		단위	달성목표	국내최고수 준	세계최고수준 (보유국, 기업/기관명)																																				
1	파장	nm	1000~2000	-	해당없음																																				
2	4족 반도체 광원 문턱전류	kA/cm^2	100	-	280 (미국, MIT)																																				
3	4족 반도체 광원 활성영역 크기	μm^3	10	-	114 (미국, MIT)																																				
4	III-V on Si 광원 문턱전류	kA/cm^2	1	-	1 (프랑스, CEA-LETI)																																				
5	III-V on Si 광원 출력파워	mW	10	-	10 (미국, UCSB)																																				
4. 특기사항																																									
5. 사업기간/예산		5년(3+2), 10 억원 내외/년																																							

		RFP 번호	8
과제명	뉴로모픽 소자 기술		
1. 연구목표	최종목표 : $\sim 10^6/\text{cm}^2$ 뉴런과 $10^{10}/\text{cm}^2$의 시냅스를 갖는 인지/학습 능력을 갖는 대용량 뉴로모픽 시스템과 계산/연산 능력이 뛰어난 기존의 컴퓨터를 하이브리드 형태로 결합하여 음성 /이미지 /생체신호 등의 비정형 데이터를 저 전력으로 처리 할 수 있는 새로운 형태의 컴퓨팅 아키텍처를 개발		
2. 연구내용 및 범위	○ 1단계(2018-2020) - 신경 모사 기반의 에너지 고효율 뉴로모픽 칩 개발 · 작고 빠른 분산 단기 강화 작용(short term potentiation)용 분산 메모리 기술 · 온 칩 멀티레벨 CMOS 시냅스 회로 기술 · 작고 비휘발성 장기 강화 작용(long term potentiation)용 분산 메모리 소자기술 · 차세대 비휘발성 메모리 소자와 CMOS 간의 읽고/쓰기 인터페이스 회로기술 · 초저전력 CMOS 뉴런 및 온칩 딥러닝 학습 회로 기술 - 신경 모사 기반의 뉴로모픽 칩 검증용 시뮬레이션 기술 개발 · 대용량 병렬 연산 구조의 아날로그 CMOS 뉴런 회로 시뮬레이션 툴 기술 · VHDL(verilog-a)를 이용한 CMOS 뉴런 자동 설계 및 검증 툴 기술 · 가변구조형의 인공신경망 모델 및 아키텍처 시뮬레이터 툴 기술 · 초미세공정의 아날로그 회로 성능 저하를 반영한 시스템 레벨 검증 툴 기술 - 신경 모사 기반의 뉴로모픽 칩의 학습 시뮬레이션 툴 개발 · 심층인공신경망의 기능 및 형태학적인 특성을 반영한 유저 인터페이스 툴 기술 · 가변구조형 뉴로모픽 아키텍처를 위한 뉴런/시냅스 컴파일러 및 합성 툴 기술 · 비정형 데이터 연동을 위한 실시간 필터 및 전처리 엔진 기술 ○ 2단계(2021-2022) - 대용량 집적화를 위한 패키징 기술 개발 · CMOS 뉴런 및 차세대 비휘발성 시냅스 소자 집적화 공정 기술 · 실리콘 웨이퍼 스케일 기반 칩레벨 집적화 및 후 처리기술 · 대용량 뉴런/시냅스 집적화를 위한 3차원 적층 기술 · 3차원의 인공 신경망의 전력 및 방열 관리 기술 - 신경 모사 기반의 뉴로모픽의 하이브리드 컴퓨팅 플랫폼 개발 · 기존의 컴퓨터와 뉴로모픽 시스템의 결합을 위한 하이브리드 컴퓨팅 플랫폼 기술 · 하이브리드 컴퓨팅 플랫폼의 표준화 및 사물인터넷과 결합 기술		
3. 성과목표	○ TRL 5 단계 ○ 1단계(2018~2020) - SCI급 논문 : 분야별 상위 10% 이상 논문 게재목표 수치 제시 - 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 3건 이상) ○ 2단계(2021~2022) - SCI급 논문 : 분야별 상위 10% 이상 논문 게재목표 수치 제시 - 국내외 특허 등록 목표 제시 (단, 국외 특허 등록 목표 2건 이상)		
4. 특기사항	○ 본 사업은 5년(3+2)로서, RFP 상의 '연구내용 및 범위'를 고려하여 4개 이상의 세부과제로 구성된 총괄 과제 형식으로 제안하고, 총괄과제 책임자는 1개의 세부과제 책임자를 겸함. ○ 1단계(3년) 연구진행 후 단계평가 결과에 따라 2단계 계속지원 여부를 결정하며 차기 단계의 연구 기간, 예산 및 내용은 변경 될 수 있음. ○ 과제제안 시 해당과제의 중복성 여부를 과제 제안자가 재차 검토하여 제안할 것. ○ 최종결과물에 대한 정량적인 성능 목표 및 성과물을 단계별로 제시할 것 ○ 사업 취지에 따라 주관기간 간접비에서 특허동향조사비를 매칭 해야함 (정부 75% 내		

외, 기관 25% 내외)	
5. 사업기간/예산	5년(3+2), 10 억원/년

5.3.7. 장비구축 사유

○ 나노인프라시설 장비보완의 필요성

- 소자기술의 상용화가능성을 검증하기 위해서는 웨이퍼레벨에서 시스템집적후 성능을 검증해야하나, 신소자기술을 적용한 시스템을 제작할 수 있는 파운드리시설이 없음
- 국내 나노인프라 시설은 단위소자 연구에는 적합하나, 중규모 시스템을 집적할 수 있는 일관 공정을 완비되어 있지 않음.
- 중규모 집적을 위한 공정안정성 확보를 위해서는 현재와 같이 1개의 장비에서 여러공정을 수행하는 것이 어려운 경우가 많이 있음. 따라서 같은 공정을 수행하더라도 추가 장비를 구축할 필요가 있음
- 신소재를 이용하는 신소자기술을 적용할 경우, 관련공정을 추가해야하고, 필요한 경우 식각등 새로운 집적공정장비도 필요함 (예: 그래핀 기반 소자의 경우 별도 식각장비, 세정장비 필요)
- 외국의 경우, IMEC(벨기에), CNSE(미국), LETI(프랑스)는 300mm 집적공정시설을 가지고 있어서, 최근 소자기술 연구를 주도하고 있으나, 이런 수준까지 집적공정을 갖추기 위해서는 천문학적 수준의 투자가 필요함
- 본 사업에서는 대부분의 기술들이 0.18um수준의 집적기술을 사용하더라도 개념 및 성능검증이 가능한 기술을 대상으로 하고 있기 때문에 아래와 같은 최소한의 추가투자 만으로도 중규모 집적공정이 가능할 것으로 판단됨
- = 특히 안정적인 플랫폼 운영을 위해 FEOL소자제작은 외부 파운드리를 활용할 계획이므로, 투자규모는 더욱 저감된 상황임

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-00 1	이차원 물질 고정밀 에칭 장비 2-D Materials High Precision Etching Machine	2-D 물질의 고정밀 패터 닝을 위한 건식 식각 용도	1	1,500	· 에칭장비는 소자 를 제작하고 시 험생산을 테스트 하기 위한 장비 임 · 나노공정 필수장 비로 그래핀, MoS2 등과 같은 이차원 소재를 이용한 나노소자 구조 제조를 위 해 필요	· 2차원 나노소재를 이용하여 다차로직 소자제조를 위하여 필요한 2차원 나노 소재의 고정밀 에 칭에 활용	· 국내에는 동일 유사장비 없음 · 2차원 나노소재 를 이용한 나노 소자 제작 연구 에 사용되고 있 는 장비는 대부 분 2차원 소재용 으로 제작된 전 용장비가 아님	
세부-00 2	이종기관 접합 웨이퍼 본더 Wafer Bonder	2D물질과 실리콘웨이 퍼간의 이종기관 접합	1	4,000	· 초고집적화·초저 전력화와 같은 고성능 특성을 위해 서로 다른 종류의 이종기관 접합 기술이 필 수적임. · 특히 2D 물질의 전사, 화합물 및 실리콘간의 접합 등에 필수적으로 필요	· 다차로직 소자 제 작을 위한 그래핀, BN, MoS ₂ 와 같은 2차원 나노소재 와 실리콘웨이퍼와의 접합, 광배선소자 제작을 위한 화합 물 광소자와 실리 콘소자의 접합, M3D 소자 제작을 위한 웨이퍼 접합 등에 사용	· 기구축된 유사장 비들은 실리콘웨이 퍼간의 접합에 특화된 장비로 다차로직소자등 의 제작을 위한 2D소재 및 실리 콘, 화합물 및 실리콘 접합등을 위해 상용화된 구축 장비는 없 음	

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-00 3	금속 열처리 화학적 기상증착장 비 Rapid Thermal CVD	Si wafer 상 에 수광소자 용 고품질의 Ge 박막을 성장하는 공 정	1	1,500	· Si 기반의 광배 선소자 구현을 위하여 SiGe 에 피 성장이 필수 적이며 RTCVD 는 현재까지 Si 기판상에 고품 질의 SiGe 혹은 Ge을 성장하는 유일한 장비임.	· 광배선소자기술 의 핵심 요소인 수광 소자 구현에 필수적인 SiGe 에 피 성장에 사용	· 유사장비의 대 부분은 다른 소 재의 박막성장 을 위해 구축된 것으로 오염 발 생 소지가 매우 높고 또한 대구 경 웨이퍼 대응 이 불가하여 공 동활용이 불가 능함	
세부-00 4	대구경 그래핀 성장장비 Large area graphene deposition	대면적 그래핀 성장	1	400	· 다치로직소자 제 작에 그래핀 소 재가 필수적임 · 중규모 집적회로 제작을 위해서는 6인치 이상의 대 구경 그래핀 성 장이 필수적임	· 다치로직 소자 제 작에 필요한 6인치 이상의 대구경 그 래핀을 성장하는데 활용함	· 6인치 이상의 대 구경 그래핀을 성장할 수 있는 공동활용이 가능 한 동일 유사장 비 없음	
세부-00 5	대구경 2차원 박막 성장장비 Large area 2D-materi al deposition	대면적 2D-material (BN, MoS ₂ , WSe ₂ , WS ₂ 등) 성장	1	450	· 다치로직소자 제 작에 BN, MoS ₂ 와 같은 2차원 소재가 필수적임 · 중규모 집적회로 제작을 위해서는 6인치 이상의 대 구경 2차원 박막 소재 성장이 필 수적임	· 다치로직 소자 제 작에 필요한 6인치 이상의 대구경 2차 원 나노소재를 성 장하는데 활용함	· 6인치 이상의 대 구경 2차원 나노 소재를 성장할 수 있는 공동활 용이 가능한 동 일 유사장비 없 음	
세부-00 6	고유전체 및 금속 원자층 증착 장비 High-K and Metal Atomic Layer Deposition System	원자층 두께 로 고유전율 물질 및 금 속을 증착하 는 용도	1	1,000	· 다치로직소자, 초저전압소자 제 작시 원자층 두 께로 고유전율 물질 및 금속을 증착하는 공정이 필수적임.	· 다치로직소자의 유 전막, 초저전압소 자의 금속막 증착 에 활용	· 중규모의 집적소 자 제작을 위해 서는 반드시 일 괄공정 펌 장비 와 In-line으로 연계되어 설치 되어야 함.	
세부-00 7	3차원-주 사탐침현미 경 3D-Scanni ng Probe Microscop e	차세대 3차원 반도체 소자 측정 및 분석	1	1,800	· 초저전압소자, 광배선 소자 제 작등을 위해서는 3차원 나노구조 체 제작이 필수 적이며, 3차원 나노구조체의 측 면 거칠기, 전기 적, 자기적 특성 등 측면 물성측 정이 필수적임	· 초저전압소자, 광 배선 소자 제작등 에 사용되는 3차원 나노소자의 측면 물성 측정에 활용	· 공동활용이 가능 한 장비가 구축 된 국내기관은 없음	

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-00 8	웨이퍼 그라인더 Wafer Grinder	M(N)EMS, 화합물 반도체 소자 Wafer thinning,	1	490	- 웨이퍼 그라인더는 초박형 박막 형성을 통해 고집적, 초저전력 특성을 지닌 소자 기술개발에 필수적임. - 미세공정을 통한 집적도 향상위한 BEOL의 필수장비임	초저전압, 광배선 소자, 다치로직소자, M3D 소자 등 웨이퍼 thinning 공정에 활용	한국나노기술원 기 구축된 유사장비는 (웨이퍼 그라인더) 6인치 이하 웨이퍼 공정시에 적합하고 초저전력 소자 개발을 위한 이종접합 기관 공정 및 나노미터 급 초미세공정에는 적합하지 않음	
세부-00 9	웨이퍼 폴리셔 Wafer Polisher	M(N)EMS, 화합물 반도체 소자 Wafer thinning,	1	490	- 웨이퍼 폴리셔는 웨이퍼 그라인더와 같이 사용하여 초박형 박막 형성을 통해 고집적, 초저전력 특성을 지닌 소자 기술개발에 필수적인 장비임 - 미세공정을 통한 집적도 향상위한 BEOL의 필수	초저전압, 광배선 소자, 다치로직소자, M3D 소자 등 웨이퍼 thinning 공정에 활용	한국나노기술원 기 구축된 유사장비는 (웨이퍼 폴리셔) 6인치 이하 웨이퍼 공정시에 적합하고 초저전력 소자 개발을 위한 이종접합 기관 공정 및 나노미터 급 초미세공정에는 적합하지 않음	
세부-01 0	화학적 기계적 연마장비 Chemical Mechanical Polisher	화 합 물 반 도 체 Wafer 표 면 개질용 화 학 적 기 계 적 연 마	1	220	다층 구조의 소자 제작을 위해서 각 공정간 웨이퍼 표면 평탄화 공정을 위한 화학적 기계적 연마장비가 필수적임.	- 광배선기술 개발에 필요한 화합물, 실리콘 이종소재의 접합 및 다층공정 후 웨이퍼평탄화 공정에 활용 - 초저전압소자 제작에 필요한 3차원 소자 제작시 공정간 웨이퍼 평탄화 공정에 사용	기 구축된 CMP 장비는 실리콘 반도체 소자의 Oxide 및 Metal 전용 장비로서 화합물반도체용 웨이퍼 및 특수 박막 연마 혼용시 오염 발생시킬 수 있어 공동 활용이 불가함	
세부-01 1	실리콘 고속 고종횡비 식각 장비 Si Deep Etcher	실리콘 물질 에의 고속, 고종횡비 건 식 식각 용 도	1	1,500	3차원 소자 제작을 위해서는 실리콘 물질의 고속, 고종횡비 건식 식각 공정이 필수	초저전압소자 제작을 위한 3차원 에칭, 광배선소자 및 다치로직 소자의 실리콘 기관 건식 식각에 사용	중규모의 집적소자 제작을 위해서는 반드시 일괄공정 랩 장비와 In-line으로 연계되어 설치되어야 함	

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-01 2	멀티타겟 스퍼터 Multi Target Sputter	4종 Target의 Co-Sputter 를 통한 New material 평가	1	2,000	· 자기재구성 소 자 및 뉴로모픽 소자 제작에 활용	· 자기재구성 및 뉴 로모픽 소자 구현 에 필요한 다양한 신물질을 증착하고 조성별 평가를 위 한 필수 장비 · 오염 방지를 위해 복수 장비 필요	· 반도체, 디스플레이, LED 등 다양한 분야를 연구하는 대학 시험실에서 유사 장비 다수 보유 · 물질 성분 및 조 성 관리를 위하 여 정해진 물질 및 recipe 이외 의 혼용이 불가 능	
세부-01 3	저온 ALD(Metal) & Ion Milling Low Temp. ALD(Metal) & Ion Milling	저온 메탈 ALD 구조밀착증착 및 원자레벨 이방식각 수행	1	1,000	· 자기재구성 소 자 및 뉴로모픽 소자 제작에 활용	· 원자 수준의 작고 얇은 금속 구조물 을 금속성이 유지 되는 상태에서 in-situ 가공하는 필수 장비 · 원자 한 층의 증 착 조절이 가능한 초정밀 복합 장비	· 국내 유사장비 없음	
세부-01 4	화학 물리적 연마장치 CMP	층간 절연막 고정밀 평탄화 공정	1	1,500	· Monolithic 3D IC 제작 및 일괄 시험생산 라인 구 축에 활용	· 하층소자 웨이퍼 위에 상층소자 웨 이퍼를 결합 없이 접합하기 위해, 접 합하는 두 웨이퍼 표면을 극도로 평 탄하게 가공하는 필수 장비 · 일괄시험생산 라 인 구축을 위해 8 인치 웨이퍼 전면의 평탄도 2% 이내의 고정밀 장비가 필요	· 나노종합기술원 에서 유사장비를 보유하고 있으나 8인치 웨이퍼 전 면의 평탄도가 10% 이상으로 3 차원 초고집적 일괄시험생산 라 인 구축에는 미 흡	
세부-01 5	레이저알티 피 Laser RTP	Pulse Laser로 dopant activation	1	2,200	· Monolithic 3D IC 제작 및 일괄 시험생산 라인 구 축에 활용	· 하층소자의 손상 이 발생하지 않도 록 상층소자 표면 에 레이저를 조사 함으로써 dopant 이온을 활성화시키 는 필수 장비 · dopant 이온의 활 성화 없이는 반도 체 소자의 특성 조 절이 불가능함	· 국내 유사 장비 없음	

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-01 6	에이엘디 장비 ALD Machine	Low Temperature Dielectric Material Deposition (High Quality Film, Good Step Coverage)	1	1,000	Monolithic 3D IC 제작 및 일괄 시험생산 라인 구 축에 활용	- 하층소자의 손상 이 발생하지 않는 저 온 에 서 step-coverage가 좋고 void-free 한 고품질의 상층소자 게이트 절연막을 형성하는 필수 장 비 - 게이트 절연막 특 성은 소자 특성을 좌우하기 때문에 M3D 소자 제작에 있어서 양질의 게 이트 절연막 확보 가 성공의 관건임.	- 울산과기대, 성 균관대에서 연구 용으로 유사 장 비 보유 (서울 대, 부산대 등은 공동활용 불허) - 게이트 산화막의 특성 유지를 위 해 산화막 공정 진행 후 즉시 게 이트 물질을 증 착시켜야 하기 때문에 in-line 설치가 필수	
세부-01 7	고정밀 Temporary Bonder/Deb onder High precision temporary bonder/deb onder	접합층의 고균일도(T TV), 고정밀 정렬, 자동 검사기능이 구비된 웨이퍼의 접합 및 박리에 필요한 고속 공정장비	1	4,500	Monolithic 3D IC 제작 및 일괄 시험생산 라인 구 축에 활용	- 상층소자가 제작 된 웨이퍼를 temporary 기관에 임시로 접합하여 Back grinding 후 하층소자 웨이퍼에 접합, 박리 공정을 거치는데, 웨이퍼의 임시 접합 및 박리 공정을 수행하는 필수 장비임 - 위로 쌓는 소자 층 수가 늘어날수 록 사용 횟수 증가	국내 유사 장비 없음	
세부-01 8	스텝퍼 Stepper	Photo 공정으로 wafer상 pattern 형성	1	550	초고집적화를 위 한 미세 Pattern 공정 및 초 저전 력을 위한 전용 Patterning 장비 가 필요함	Monolithic 3D, 초 저전압 소자, 다치 로직 소자에 필요 한 8인치 이상의 초미세 패턴 구현 장비가 필요	나노융합기술원에 기 구축된 0.35um 대응 가 능한 Stepper는 MEMS 전용으로 구축되어 초고집 적화 프로세스와 혼용 불가함	
세부-01 9	트랙 Track	Photo 공정으로 wafer에 PR 도포	1	295	초고집적화를 위 한 미세 Pattern 공정 및 초 저전 력을 위한 전용 Patterning 장비 가 필요함	Monolithic 3D, 초 저전압 소자, 다치 로직 소자에 필요 한 8인치 이상의 초미세 패턴 구현 장비가 필요	나노융합기술원의 8inch Track은 MEMS 전용으로 구축되어 초고집 적화 프로세스와 혼용 불가함	
세부-02 0	퍼니스 Furnace	산화막 성장,	1	260	저전력 소자공정 을 위한 고품위 의 얇은 산화막 성장기술이 주요 함	초저전압 소자, 다 치로직 소자 제작 에 필요한 8인치 이상의 Furnace가 필요	나노융합기술원 1 대 보유중으로 공정 기술의 확 보를 위해서는 다수의 장비 필 요함	

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-02 1	고온어닐링 High Temperature Annealing	이온활성화 및 격자손상치유	1	950	화합물 소재에서는 불순물의 활성화 에너지가 높아 1600℃ 이상의 고온 Anneal 장비 필요	신소재기반 신소재 사업을 위해 고온 Anneal 장비가 필요	나노융합기술원 기보유 중인 장비는 4/6인치 기반 장비로 8인치 대응 가능 장비가 필요한 실정	
세부-02 2	고온 이온 주입기 High Temp Ion Implant	고온, 고에너지 상태 이온 주입,	1	4,050	Si 아닌 화합물 소재에서는 불순물의 활성화 에너지가 높아 550℃ 이상의 고온 고에너지 이온주입장비가 필요	신소재기반 신소재 사업을 위해 고온 고에너지 장비가 필요	고온 고에너지 IMP은 보유장비가 없으며 국내에는 한국 전기 연구원에 1대가 유일, 하지만 Tilting 등 조건이 가능한 장비가 필요한 상황임	
세부-02 3	중전류 이온주입기 Medium Current Ion Implant	Wafer 이온 주입	1	600	초고집적화 공정 및 초 저전력을 위한 전용 Patterning 장비가 필요함	Monolithic 3D, 초저전압 소자, 다치로직 소자에 필요한 8인치 이상의 중전류 Ion Implant 필요	나노융합기술원의 기보유 중인 장비는 저에너지에서 진행이 어려운 노후 장비로 장비 upgrad가 필요한 상황	
세부-02 4	대전류 이온주입기 High Current Ion Implant	Wafer 이온 주입	1	690	초고집적화 공정 및 초 저전력을 위한 전용 Patterning 장비가 필요함	Monolithic 3D, 초저전압 소자, 다치로직 소자에 필요한 8인치 이상의 대전류 Ion Implant 필요	나노융합기술원의 기보유 중인 장비는 저에너지에서 진행이 어려운 노후 장비로 장비 upgrad가 필요한 상황	
세부-02 5	드라이에처 Dry Etcher	Poly막 Oxide 식각	1	875	초고집적화를 위한 미세 Pattern 공정 및 초 저전력을 위한 전용 에칭 장비가 필요함	Monolithic 3D, 초저전압 소자, 다치로직 소자에 필요한 8인치 이상의 초미세 패턴 구현 장비가 필요	나노융합기술원에 범용으로 구축되어 초고집적화 프로세스와 혼용 불가함	
세부-02 6	금속증착 스퍼터 Sputter(METAL)	Wafer metal막 증착	1	700	NanoScale의 내열선 배선 기술을 위한 초박형 Metal 형성 장비가 필요	다성분계 극박막형성 기술, monolithic 3D, 내열선 배선소재 기술, 다치로직 소자에 필요한 8인치 이상의 초박형 메탈 구현 장비가 필요	나노융합기술원에 범용으로 구축되어 있으나 두께 Control 및 특수박막의 대량 생산에 부적당함	

장비번호	구축장비명	주요용도	수량	총금액 (단위 : 백만원)	과제수행 장비구축 사유	구축장비 과제활용방안 및 관련성	국내/기관 보유 장비와 유사장비 검토의견	비 고
세부-02 7	비에스지 BSG	Wafer 이면 연마	1	480	웨이퍼 클라인더 는 초박막 기관 형성을통해 초저 전력 초박형 소 자제작에 필수적 인 장비임	다치로직 소자, M3D 소자등 웨이 퍼 thinning 공정 에 활용	현재 나노융합기 술원에 Back Side Grinding 장비가 없으며 초저전력 소자의 Wafer Level 상 태의 최종 공정 완성을 위해서는 필요한 상태임	
			27	35,00 0				

5.4 투자계획

■ (사업기간) 5년 (1단계: 2018~2022년) + 5년 (2단계: 2023~2027년)
[시범사업 2년 (2016~2017년)]

■ (사업비 규모) 총 4500억원

표 5.2. 연구 개발사업 추진 규모

세부사업	사업내용	총사업비	국고	지방비	민자
기술 개발	소자원천기술개발	700	550	—	150
	공정원천인프라개발	300	150	—	150
	나노인프라개발	350	200	—	150
	집적기술개발	600	350	—	250
	글로벌오픈이노베이션	375	175	—	200
	설계인프라개발	375	250	—	125
	신소자기반 아키텍처	400	300	—	100
	초저전압 시스템	300	300	—	—
	뉴로모픽 시스템	350	350	—	—
	mW급 프로세서	400	400	—	—
기반구축	—	—	—	—	—
기타	총괄 관리	350	225	—	125
소계		4500	3250	—	1250

○ 연차별 투자 계획

		'18	'19	'20	'21	'22	'23	'24	'25	'26	'27	합계
총괄 관리사업		10	10	10	10	10	20	20	20	20	20	150
플 랫 폼 기 술 개 발	총괄	10	10	10	10	10	10	10	10	10	10	100
	소자원천 기술개발	70	70	70	70	70	70	70	70	70	70	700
	공정원천 인프라개발	20	20	20	20	20	40	40	40	40	40	300
	나노인프라 개발	30	30	30	30	30	40	40	40	40	40	350
	집적기술 개발	40	40	40	40	40	80	80	80	80	80	600
	글로벌오픈 이노베이션	25	25	25	25	25	50	50	50	50	50	375
시 스 템 집 적 기 술 개 발	총괄	10	10	10	10	10	10	10	10	10	10	100
	설계인프라 구축	45	45	45	45	45	30	30	30	30	30	375
	신소자기반 아키텍처	50	50	50	50	50	30	30	30	30	30	400
	초저전압 시스템	30	30	30	30	30	30	30	30	30	30	300
	뉴로모픽 시스템	30	30	30	30	30	40	40	40	40	40	350
	mW 급 프로세서	30	30	30	30	30	50	50	50	50	50	400
합계		400	400	400	400	400	500	500	500	500	500	4,500
정부투자		400	400	400	400	400	250	250	250	250	250	3,250
민간투자		·	·	·	·	·	250	250	250	250	250	1,250

■ 사업비 산출근거

○ 1단계: 2018-2022년

단위소자 개발과제	10억 * 5년 * 7건	= 350억
단위공정 개발과제	2억 * 5년 * 10건	= 100억
집적공정 개발과제	10억 * 5년 * 4건	= 200억
나노인프라보완투자	3억 * 5년 * 10대	= 150억
국제협력	2.5억 * 5년 * 10건	= 125억
설계인프라구축	15억 * 5년 * 3건	= 225억
신소자기반아키텍처	10억 * 5년 * 5건	= 250억
초저전압시스템	10억 * 5년 * 3건	= 150억
뉴로모픽시스템	10억 * 5년 * 3건	= 150억
mW급 프로세서	10억 * 5년 * 3건	= 150억
총괄관리	30억 * 5년	= 150억
소 계		= 2,000억

**총괄 관리비 산출근거

- 단장 /부단장 인건비: 7억/년
- 직원 10명: 8 억/년
- 운영비: 15 억/년 (특허관리비 포함)

○ 2단계: 2023-2027년

단위소자 개발과제	10억 * 5년 * 7건	= 350억
단위공정 개발과제	4억 * 5년 * 10건	= 200억
집적공정 개발과제	10억 * 5년 * 8건	= 400억
나노인프라보완투자	4억 * 5년 * 10대	= 200억
국제협력	5억 * 5년 * 10건	= 250억
설계인프라구축	10억 * 5년 * 3건	= 150억
신소자기반아키텍처	10억 * 5년 * 5건	= 150억
초저전압	10억 * 5년 * 3건	= 150억
뉴로모픽	10억 * 5년 * 3건	= 200억
mW급 프로세서	10억 * 5년 * 3건	= 250억
총괄관리	40억 * 5년	= 200억
소 계		= 2,500억

**총괄 관리비 산출근거

- 단장 /부단장 인건비: 8억/년
- 직원 15명: 12 억/년
- 운영비: 20 억/년 (특허관리비 포함)

■ 인력 투입계획

	‘18	‘19	‘20	‘21	‘22	‘23	‘24	‘25	‘26	‘27	합계
박사급(명)	200	200	200	200	200	200	200	200	200	200	2,000
석사급(명)	400	400	400	400	400	400	400	400	400	400	4,000
학사급(명)	400	400	400	400	400	400	400	400	400	400	4,000
합계(명)	1,000	1,000	1,000	1,000	1,000	1,000	1,000	1,000	1,000	1,000	10,000

■ 소요인력 산출근거

- 인건비 : $400\text{명} \times 30\% = 120\text{억원/년}$ 내외
- 책임자급 200명 상정
- 박사후 연구원 : 책임자급 연구실별로 1명 $\times$ 참여율 50%
 - * 박사후 연구원 1명 $\times$ 400만원(월급여) $\times$ 12개월 = 58억원/년
- 박사과정 (책임급 수 $\times$ 2명/년), 석사과정 (책임자 수 $\times$ 2명/년) $\times$ 참여율 30%
 - * 박사과정 1명 $\times$ 250만원 $\times$ 12개월 = 36억원/년
 - * 석사과정 1명 $\times$ 180만원 $\times$ 12개월 = 26억원/년

■ 주요 과제별 투자 계획

- 공정/나노 인프라 개발

	‘18	‘19	‘20	‘21	‘22	‘23	‘24	‘25	‘26	‘27	소계
정부출연 (억원)	115	115	115	115	115	60	60	60	60	60	875
민간출연 (억원)	0	0	0	0	0	150	150	150	150	150	750
참여연구원(명)	250	250	250	250	250	250	250	250	250	250	2,500
연구보조 (명)	75	75	75	75	75	75	75	75	75	75	750
장비투자 (억원)	30	30	30	30	30	40	40	40	40	40	350

- 시스템 집적기술개발

	‘18	‘19	‘20	‘21	‘22	‘23	‘24	‘25	‘26	‘27	소계
정부출연 (억원)	185	185	185	185	185	135	135	135	135	135	1,600
민간출연 (억원)	0	0	0	0	0	45	45	45	45	45	225
참여연구원(명)	250	250	250	250	250	250	250	250	250	250	2,500
연구보조 (명)	75	75	75	75	75	75	75	75	75	75	750
장비투자 (억원)	0	0	0	0	0	0	0	0	0	0	0

5.5 재원 조달 방안

- 본 사업은 '18년~'22년(1단계) 정부투자 2000억, '23년~'27년(2단계) 정부투자 1250억, 민간 투자 1250억, 총 사업비 4,500억원을 투입
 - 정부투자 예산은 국가연구개발사업비 회계로부터 조달
 - '23~'27년(2단계) 민간 투자는 1단계 종료 시점에 확정
 - 민간사업비 조달방안: 1단계에 확보된 기반기술, 지적재산권을 바탕으로, 2단계 사업에 국내외 민간기업들의 참여를 유도하고, 기업참여시 투자비 분담
 - 민간사업비 각출방식: 참여기업매출에 비례하는 차등 분담금 부과 (예시: 매출 5조이상: 100억/년, 매출 1조~5조: 50억/년, 매출 1천억~1조: 20억/년)
 - 참여대상기업: 반도체소자기업 (삼성, SK Hynix등), 소재장비기업(원익 IPS등), 펌리스 기업 (Qualcom등)
 - 국내 소자기업은 양사 모두 본 사업의 성격과 유사한 IMEC (벨기에)에 회원으로 가입, 미래반도체 기술이전을 목적으로 회비를 납부하고 있으므로 본사업이 기술경쟁력을 확보할 경우 투자의향이 있음

6. 사업 운영방안

6.1 사업 추진 체계

6.1.1 사업 운영관리 거버넌스 체계



그림 6.1 사업추진체계

■ 거버넌스 체계 구성 배경

- 사업의 목표를 효과적으로 달성하고 빠르게 변화하는 대외 동향에 능동적으로 대처하기 위해서는 개별형 과제로 추진하는 것 보다는 독립적인 연구조직을 통해 수행하는 것이 바람직함
 - － 초저전력 미래반도체 사업은 국내 관련 연구역량을 총결집하여 차세대 기술을 효율적으로 개발하고, 한국 주도의 글로벌 연구컨소시엄 구성함으로써 미래 기술의 주도권을 선점하기 위한 하향식(Top-down)의 사업임
 - － 본 사업은 기술개발(2022년) 및 제품개발(2025년) 시기, 제품 사양(소모전력 1/1000 이하, 메모리 저장능력 및 정보처리 속도 100배 이상) 및 종류 등의 목표가 명확한 “목표지향적” 사업임
 - － 반도체는 기술의 속도가 매우 빠르게 변화하는 분야이므로 급격히 변화하는 국제 정책·기술·산업 동향의 흐름을 신속히 파악하여 적기에 Moving target 설정을 위한 R&D 기획이 필요함
- 본 사업단은 거대연구를 특정국가의 정부와 세계 각국의 관련 기업들이 분담출자하여 운영되는 IMEC 또는 SEMATECH와 같은 공동연구 컨소시엄이 활성화된 반도체 산업 R&D의 특성을 반영하여, 민간기업의 투자를 유치하고, 이를 기업수요에 맞는 연구프로그램에 재투자하는 것이 자유로운 독립비영리법인의 성격을 갖도록 구성하고자함.

- 따라서 정부 투자 지분의 프로그램과 민간투자 지분의 프로그램을 분리하여 관리함으로써 지적재산권의 소유관계를 명확히 할 필요가 있음
(2018년 시작되는 미국의 JUMP 프로그램은 미 국방부와 민간기업의 공동투자로 설립된 SRC 부설 비영리기업에 의해 관리되며, 미국 국내 연구자와 기업들에게만 공개됨)
- 비경쟁연구분야에는 민간투자를 적극 유치하여 정부투자의 투자효율을 극대화하고, 국내 산업에 직접적인 영향을 줄 수 있는 설계기술등의 경쟁연구분야는 국내기업들로만 참여를 제한하는 등 프로그램별 로 운영주체를 달리하여 관리할 필요가 있음.
- 플랫폼기술은 기초연구성격이 강하고, 공용 집적플랫폼의 경우 시장수요도 있으므로 대외적으로 공개하고, 시스템집적기술 부분은 분리하여 국내용 프로그램으로 관리하고자 함
- 장기·초대형 연구개발 사업을 효율적으로 운영·관리하기 위해서는 사업단장의 역량 이외에도 기획·관리 기능을 갖춘 하부조직이 필요함
 - 본 사업은 10년간 총 4,000억원(연평균 400억원)이 투입되도록 설계되어 단일 목표를 가진 사업으로는 최상위 그룹에 속하는 장기 대형 국가연구개발 사업임
 - 사업단장이 연간 400억원 규모의 수행과제를 직접 기획·관리하는 것은 사업단장에게 업무 부하가 집중되어 비효율을 야기할 수 있음
- 본 사업은 기술개발, 시제품 개발 및 제품 확보를 목표로 하고 있어 연구와 비즈니스를 겸할 수 있는 사업단 조직이 적합함
 - 사업단 조직은 R&D에 초점이 맞추어져 있어 기초·원천기술의 개발이나 환경분야와 같은 공공적 성격이 강한 연구개발 사업에 적합함
- [참조] 별첨 2 에 다양한 국내외 대형연구사업의 거버넌스 구조 및 장,단점에 대한 분석결과를 첨부했음

■ 사업 관리 기구

- 미래창조과학부
 - 초저전력 미래 반도체 R&D 정책 관장
 - 사업 예산 확보
 - 사업단의 설립 및 관리·감독
 - 사업단장 선정, 단계평가, 최종평가
 - 사업단장 경질에 관한 의사결정
 - 이사회 구성 및 운영
- 한국연구재단
 - 사업 총괄 협약 및 예산 집행
 - 사업 관리 및 연차평가 (사업단 평가)
- 이사회
 - 구성
 - 미래창조과학부 장관이 임명하는 10인 내외의 이사 및 2인의 감사로 구성
 - 당연직 : 미래창조과학부 사업 담당 국장, 한국연구재단 사업담당 부서장, 사업단장

- 선임직 : 산·학·연 기술 및 경제·경영 전문가 7인 내외
- 기능
 - 사업운영에 대한 최고의결기구
 - 사업단의 임무, 기능, 발전계획, 운영계획 등 전반에 대한 주요 의사결정
 - 사업 기획 총괄 및 미래창조과학부 장관에게 사업 관련 자문
 - 사업단의 연도별·단계별 운영계획 심의·의결
 - 사업단 자체평가 결과 심의·의결
 - 사업단장 경질에 대한 심의·의결

■ 사업단 조직

○ 사업단의 형태 및 기능

- 형태 : 「민법」 제32조 및 「공익법인의 설립·운영에 관한 법률」 제4조의 규정에 의해 설립된 비영리법인
- 핵심 기능 : 사업 전문관리 기능 및 글로벌 연구네트워크 거점 기능
 - 사업 전문관리 기능
 - 사업 및 세부과제의 기획, 단계별 성과지표·목표 설정·관리 등 연구개발 계획 수립
 - 창의적이고 혁신적인 융합연구 아이디어의 발굴
 - 전문성에 입각한 연구개발 사업관리
 - 한국연구재단과 사업협약, 연구자와의 과제협약 및 목표관리
 - PD(프로그램 디렉터)별 수행과제에 대한 관리, 과제평가기준 마련 및 평가 실시
 - 사업단 연구성과의 대국민 홍보
 - 글로벌 연구네트워크 거점 기능
 - 개방형 혁신 및 국제 공동연구 추진
 - 연구성과의 이전·활용(산업재산권의 이전·처분 포함) 등 성과관리·확산 및 기술도입 촉진
 - 초저전력 반도체 연구에 관한 글로벌 거점기관 역할 수행
 - 연구네트워크 유지·활성화 및 산·학·연 전문가 간 연계·교류 촉진
 - 사업단 차원의 국제 공동연구기구 참여 및 국제 공동연구 과제 주도
 - 시제품 제작 및 실증시험 시설 구축
 - 최신 기술·정책·산업정보 조사·분석 및 정보DB 구축·공유
- 기타
 - 내부 위임전결규정 등 사업단 운영을 위한 내부규정 마련
 - 사업단의 협약기간은 10년으로 하되 매년 예산 등 협약 갱신

○ 사업단장 : 사업의 운영·관리 총괄 등 전주기적 경영관리

- 권한 및 임무
 - 한국연구재단과의 협약의 당사자
 - 사업 운영·관리 총괄 및 법인 설립·운영
 - 사업 기획, 투자우선순위 결정 및 사업 추진
 - 2개 PD실, 1개 본부로 구성된 사업단 사무국 조직에 대한 지휘감독과 운영위원회, 평가위원회, 글로벌기술자문위원회 등 외부전문가로 구성된 민간위원회의 운영·활용

- PD실별 추진과제의 기획·평가·진도관리·정산 및 선정·중단에 대한 최종 의사결정
- 창의적인 융합연구, 개방형혁신 및 글로벌 공동연구를 통한 기술혁신의 지속적 추진
- 사업 성과의 관리·보급·확산·홍보 및 적정 기술의 도입
- 산업재산권 및 연구개발 정보 관리
- 국내·외 기술·정책·산업동향 분석을 통한 연구개발 전략 수립
- 최신 기술동향 및 연구개발 동향 정보의 교류 및 소통
- 사업의 진행과정 및 연구결과의 검토 및 보고
- 반도체·소자·나노전자 분야 연구개발 정책 개발 및 연구성과의 대국민 홍보
- 미래창조과학부 장관에게 반도체·소자·나노전자 등에 관한 광범위한 정책 제언

－ 근무 조건

- 사업단장은 연구를 수행하지 않고 사업의 운영·관리에 전념
- 사업단장의 임기는 10년으로 하되, 사업단 단계평가 결과가 미흡한 경우 이사회의 심의·의결 및 미래창조과학부의 최종 의사결정을 통해 경질·교체할 수 있음

○ 부속 위원회: 운영위원회, 평가위원회 및 글로벌기술자문위원회 설치

－ 운영위원회

- 연차별 사업운영 전반에 대한 실무 심의기구이며, 미래창조과학부, 한국연구재단, 사업단장 및 외부 전문가로 구성하되 사업 참여자는 배제
 - ※ 사업단 운영의 책임성 제고를 위해 운영위원장은 사업단장이 담당
- 과제 포트폴리오 구성, 과제 선정결과, 성과확산, 국제협력 등 주요사항에 대한 심의

－ 평가위원회

- 사업단장, 플랫폼기술PD, 시스템집적기술PD 및 외부 전문가로 구성하되 사업 참여자는 배제
 - ※ 평가의 책임성 보장을 위해 평가위원장은 사업단장이 담당
- 과제 선정평가, 사업 자체평가(연차평가, 단계평가, 종료평가) 수행

－ 글로벌기술자문위원회

- 반도체, 소자, 나노전자 등 동 사업의 기술분야에서 국제적으로 명망이 있는 국내외 전문가로 구성하되 사업 책임자는 배제
 - ※ 객관성 보장을 위해 글로벌기술자문위원장은 외부 전문가 중 호선
- 국제적인 최신 기술동향, 사업의 R&D 방향 설정 등에 대한 자문 수행
- 주요 과제에 대한 중간평가 및 연차평가에 참여하여 기술 컨설팅 수행

○ 사무국: 2개 PD실, 1개 본부로 운영

[PD제도]

연구개발의 효율성 및 전문성 제고를 위하여 민간 최고전문가를 초빙하여 신규과제의 기획·평가·관리·성과확산 등 R&D사업의 전주기를 책임 전담하는 제도

－ 플랫폼기술PD실

- 사업단장을 보좌하여 사업목표를 효율적으로 달성하기 위해 기초 단계의 소자집적 기술개발 기획 등을 담당하는 부단장 제도 운영

- 집적기술개발, 나노인프라개발, 공정원천기술개발, 소자원천기술개발, 소자기술개발 시범사업과 국제공동연구의 기획 및 수행관리 담당
- 업무를 효과적으로 수행하기 위해 플랫폼기술기획팀*을 설치·운영
 - * 동 분야 사업 기획, 기술·정책·산업정보 조사·분석 및 정보DB 구축·공유

－ 시스템집적기술PD실

- 사업단장을 보좌하여 사업목표를 효율적으로 달성하기 위해 플랫폼기술개발 분야에서 개발된 소자 및 공정 플랫폼을 이용하여 초저전력 응용시스템 개발에 대한 기획 등을 담당하는 부단장 제도 운영
 - 플랫폼기술개발 분야에서 시현된 수준보다 집적도가 높은 하드웨어 구현
- 신소자기반아키텍처개발, mW급 프로세서 개발, 뉴로모픽시스템개발, 초저전압 시스템개발, CAD인프라개발의 기획 및 수행관리 담당
- 업무를 효과적으로 수행하기 위해 시스템집적기술기획팀*을 설치·운영
 - * 동 분야 사업 기획, 기술·정책·산업정보 조사·분석 및 정보DB 구축·공유

－ 사업지원본부

- 사업단장을 보좌하여 사업 운영·관리를 담당하며, 업무를 효과적으로 수행을 위해 행정팀, 사업관리팀, 개방형혁신지원팀의 설치·운영
 - (행정팀) 총무, 회계, 세무, 규정관리, 이사회·운영위원회 운영 등 사업단 행정총괄 업무
 - (사업관리팀) 과제공고, 선정평가, 협약, 정산관리, 진도관리, 중간·최종평가, 평가위원회 운영 등 평가관리 업무
 - (개방형혁신지원팀) 글로벌기술자문위원회 운영, 사업 성과의 관리·보급·확산·홍보 및 적정 기술의 도입, 산업재산권 및 연구개발 정보 관리 업무

6.2 사업운영범위

▣ 차별화된 사업운영 기본방향

- **글로벌 연구조직 지향:** 1단계 사업을 통해 2단계부터 민간투자가 가능한 글로벌 컨소시움을 구성할 수 있는 기술적, 인적 기반을 구축해야하므로 개방적이고 유연한 연구조직 운영
 - 초저전력 미래반도체 기술개발을 통합, 관리하고, 글로벌 오픈이노베이션 체계를 도입함으로써 국내 연구의 질적, 양적 수준을 획기적으로 제고함
 - 나노인프라 관련 기관들을 체계적이고, 능동적으로 활용하여, 연구의 질적 수준 제고
 - 국내 취약분야에 해외 우수 연구자들의 참여 허용 및 체계적 관리
 - 사업단이 2단계 민간투자유치 및 기술이전을 주도하는 새로운 방식의 운영전략 도입 (IMEC, SEMATECH등에 적용되는 방식임)
 - 연차별로 연구팀의 재구성이 가능하도록 사업단 내의 인사, 조직, 예산 및 기술이전 협상등에 대해 사업단장의 자율권을 최대한 보장함
- **능동적인 기술이전 및 사업화 전략:** 종래의 개인별 기술이전 장려 방식에서 사업단 중심의 기술이전으로 기술이전의 주체를 변경하고, 개별 기술이전 보다는 특허망이 구축된 package 이전으로 새로운 기술이전 전략 추구
 - 사업단에서 전담변리사를 고용, R&D 특허전략을 수립하고, 특허 로드맵을 통한 원천기술을 확보, 관리. 플랫폼기술 및 시스템집적기술 PD실에서는 각각의 세부과제 대상으로 R&D 특허전략 컨설팅을 위한 별도 연구비 확보
 - 사업단 참여연구원 및 보조연구원에 대한 특허 및 연구노트 작성교육을 실시
 - 사업단에서 2단계 사업비 유치 및 package deal을 통한 기술이전 책임을 가지고, 지적재산권을 통합관리 함.
 - 기술자문위원회, 변리사로 구성된 특허관리위원회를 구성, 사업단에서 통합관리할 특허의 선정 및 등급 평가를 담당함으로써, 지적재산권의 질적수준 제고
- **세부사업 간의 융합연구와 연구의 질적수준 제고를 위한 교육프로그램 개발, 융합 working group 운영, 인센티브제 실시**
 - 연 2회 정기 사업단 워크숍을 통해 플랫폼기술 PD실과 시스템집적기술 PD실 간의 기술 교류 실시 및 중간평가/연차평가 실시
 - 플랫폼기술의 세부과제에서 개발된 기초 단계의 소자집적 기술이 조기에 높은 집적도의 하드웨어 구현 및 초저전력 응용시스템 개발로 연계될 수 있도록 두 개의 PD실 산하 기획팀 주체의 상시적인 기술 교류 실시
 - 각 PD실은 연 1회 계절학교를 개최하여 서로 다른 분야에 속한 세부사업 연구자들과 학생참여연구원들이 타 분야에 대한 이해도를 높일 수 있는 교육 프로그램 운영
 - 사업 수행 기간 중에 발생할 수 있는 글로벌 반도체 주요 기술/시장의 변화에 적극적인 대응을 위해 주요 기술적 쟁점 분야에 대한 working group 구성을 유도하고 별도 지원
 - 주요 기술/시장의 변화가 사업 수행에 위협 요인으로 작용할 가능성이 높을 경우, 사업단장이 글로벌기술자문위원회의 자문을 받아 일부 세부사업들의 연구 목표 및 내용을 수정변경할 수 있도록 PD실 및 사업지원본부와 협의
- **유연한 연구목표 관리 및 과제 운영:** 엄정한 평가를 통해 특허 및 연구성과의 질적 우수성에

근거하여 차년도 계속 지원여부 결정

- 매년 기술자문위원회를 중심으로 연차평가와 중간평가를 실시
- 중간평가는 과제진도관리, 기술적 쟁점에 대한 자문, 연구목표 수정에 대한 피드백 전달을 주 목적으로 함
- 연차평가는 각 과제별로 객관적인 진도 평가 및 피드백, 과제의 계속 여부, 지원 예산의 적절성에 대해 판단함. 실적부진 과제에 대해서는 사업단내 의사결정과정을 거쳐 경고, 지원 중단등의 조치를 취할 수 있도록함
- 각 세부과제 책임자는 기술/시장 변화 요인의 발생 및 글로벌 경쟁 그룹의 연구 동향에 따라 연구 목표의 부분적인 수정 필요성을 제시하고 차년도에 승인을 요청할 수 있음
- 2단계(5년) 사업 진행 여부는 민간자본 투자 유치 여부에 따라 지속 지원을 결정

○ **차별화된 세부과제 RFP 발굴 및 목표지향적 연구관리:** 기존 정부지원사업으로 진행되고 있는 개인성 과제와 달리 top down 소자 기술이 긴밀한 협업을 통해 본 사업의 목표 달성이 가능하도록 기획

- 초절전 ICT 기술 7대 중점 연구개발 분야는 단기 및 초창기연구를 제외하고 5년 이내에 획기적인 소모전력 저감에 가능성이 높고, 상용화 제품에 적용 가능해야 함
- top down 소자 기술은 독립적인 연구목표를 지양하고, 기술개발 직후 제품 개발을 통해 ‘소모전력 1/1000 이하, 메모리 저장능력 및 정보처리 속도 100배 이상’을 실현할 수 있는 구체적인 RFP 발굴
- 사업초기 ‘1/1000 이하 및 100배 이상’ 달성을 위해 top down 소자 세부과제의 핵심기술을 상호 이해하고 최종 제품개발을 위한 집적화를 중요한 평가 지표로 제시
- 사업(부)단장 선임 후 top down 소자 기술의 집적화를 위한 집단연구 체계를 구축하고, 사업비참여 외부전문가와 전산모사 전문가를 활용하여 ‘1/1000 이하 및 100배 이상’ 달성을 위한 top down 소자 기술 세부과제의 역할 및 미션을 지속적으로 발굴
- 사업(부)단장은 bottom-up소자기술의 개발상황 및 기술적 발전가능성을 평가하여, 운영위원회에 보고하고, 시스템개발 사업과 통합운영할 수 있도록 관리
- 1단계(5년) 중 2차년도 종료 시점에서 본 사업의 최종 목표 달성의 가능성, 초저전압시스템 집적의 가능성 등을 별도로 평가하여 low level의 중규모 소자집적 목표의 연구를 지속할 것인지, 높은 집적도의 하드웨어 구현으로 제품개발을 지향하는 연구로 전환할 것인지 구분
- 사업단장은 1단계 3차년도부터 ‘1/1000 이하 및 100배 이상’의 목표를 위한 집적화의 가능성이 높은 세부과제들의 융합연구를 위한 연구팀 재구성 및 연구비 상향 조정

■ 사업수행 체계

○ 사업단 내에 플랫폼기술 PD실과 시스템집적기술 PD실 별로 세부과제를 기획, 선정, 추진하며, 각 사업의 성격과 후보 세부과제의 개념 정의는 아래와 같음. (그림 6.2 참조)



그림 6.2. 사업수행 흐름도

○ 플랫폼기술 PD 실

- Low level에서의 중규모 소자집적을 목표로 함
- top down 소자 (초저전압 소자, Monolithic 3D, 자기재구성 소자, 다차로직 소자, 로직-인-메모리 소자, 광배선 소자, 뉴로모픽 소자)의 단위 소자 레벨 구현 및 array 수준 의 중규모 집적을 위한 플랫폼 기술 개발
- bottom up 소자 기술은 기술혁신과 창의적 아이디어에 의한 새로운 기술발전 가능성을 수용하기 위해 별도의 예산을 할당, 매년 사업을 공모하고, 1-2년정도의 평가기간을 거쳐, 본 사업으

로 편입하는 과정을 관리함

- 상기의 단위/모듈 공정 기술은 국내의 나노패브 중심의 나노집적 인프라를 이용하며, 세부과제 수행 필요 시 나노패브와 연계하여 과제 신청을 유도
- 일부 선진국 대비 뒤쳐진 핵심 공정/집적 기술은 적극적인 국제협력과제를 통한 공동개발로 진행

○ 국제협력사업

- R&D 초기 표준화 대응 부족으로 300mm 제품 개발 지연, 표준시스템 적용상 추가 부담, 특히 애로의 세계시장 규모 확대 및 시장 선점의 실패를 답습하지 않도록 초저전력 반도체소자 기술의 세계 최고수준 설계 및 공정기술에 부합하는 국제표준화 리더쉽 확보 전략
- 2단계 사업에 참여하는 민간기업 및 국내 기관을 대상으로 3개 분야별 표준화 그룹(장비, 소재, 소자)을 운영하여 국내 반도체산업 표준화 사업의 통합기구이자 국제 표준협력의 창구 역할을 수행

	국내	국외
장비 분야	장비 표준화 그룹	IMEC(EU), LETI(EU)
소재 분야	소재 표준화 그룹	SEMI(USA) 웨이퍼 워칭 그룹
소자 분야	소자 표준화 그룹	JEDEC(USA), ITRS 기술 로드맵

<분야별 국제표준 협력 연계방안>

- 전면적 국제 표준 선점을 통해 국내 소자업계 글로벌 기술 리더쉽 확보 및 국내 장비, 소재업계 경쟁력 향상 전략
- 플랫폼기술개발 사업의 일환으로 국제공동연구를 수행하여 2단계 사업에서 진행될 글로벌 컨소시엄 구성 및 기술표준화를 위한 국제협력사업으로 진행
- 미래반도체 기술분야의 정부 R&D 프로그램과 EU의 ICT31 및 E2CDA 프로그램 간의 네트워크 구성
- 1단계 내에서 글로벌 오픈이노베이션 사업 활성화에 이어 2단계에서 민간기업이 참여 및 기술이전을 시작
- 사업단 중심의 글로벌 컨소시엄을 구성하고 시제품 개발 및 기술표준화 작업 실시
- 3단계 진입과 동시에 글로벌 컨소시엄을 확장, 차세대기술표준화 및 사업화를 위한 2단계 기술이전

○ 시스템집적기술 PD실

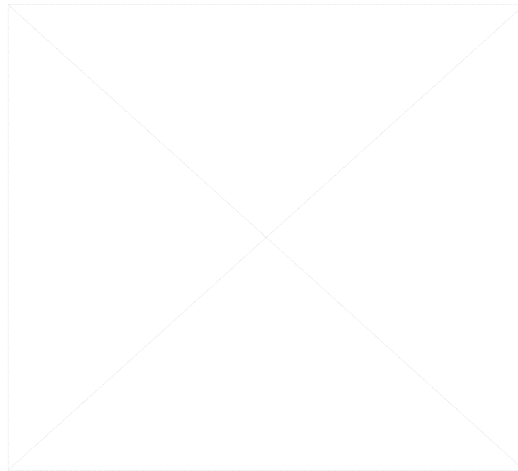
- 플랫폼기술개발 사업을 통해 개발되고 검증된 소자 및 공정 플랫폼을 이용하여 초저 전력 응용시스템개발
- 플랫폼기술개발 사업에서 시험된 수준보다 집적도가 높은 하드웨어 구현
- 초저전력 반도체칩의 제품화 가능성을 검증할 수 있는 회로를 의미하며 이러한 응용 시스템의 제작을 위하여 필요한 설계, 시뮬레이션, 제품화 기술
- 본 사업에서는 미래사회에 필요한 초저전압시스템, 뉴로모픽 시스템, mW급 프로세서에 집중

- 하여 이들의 제품화 가능성을 검증하기 위한 회로의 시현
- 이와 같은 회로의 설계를 구현하기 위한 CAD 기술 및 핵심소자의 융합 최적 아키텍처의 개발

■ 강한 특허 창출 및 활용 전략

○ PIPE(Product based IP Exercise): 전략적 특허활용

- 제품/부품/요소기술별 특허포트폴리오화 시스템 구축 및 중점분야 특허포트폴리오 강화를 통한 특허가치 및 대형 기술이전 극대화 추구
- 전체 IP를 제품/부품/요소기술별로 구분하여 활용전략 수립
- 기술별 특허활용 전략 수립
- 기술별 특허포트폴리오별 특허분석을 통한 특허의 중요도 평가
- 특허포트폴리오 강화 지원
- 특허포트폴리오 활용을 통한 대형기술이전 추진



- 기술별 특허 포트폴리오 관리 및 시스템 구축 (PMS: Patent Management System)
 - 분류 기준 확정(제품/부품/요소기술)
 - 향후 출원될 특허에 대한 자동분류 시스템 마련
 - 특허포트폴리오 기술군별 현황 관리
 - 특허포트폴리오별 관련 연구부서에 상시현황 조회시스템 운영
- 포트폴리오별 지재산 전략 수립 방향 제시
 - 전체 기본 포트폴리오군을 중요도에 따라서 S, A, B, C 로 분류
 - 특허 기술의 특허 포트폴리오별 경향에 따라서 세부전략수립을 위한 기본방향제시
- 전략 유형화 및 통합
 - 특허 포트폴리오를 비슷한 유형으로 분류 및 매칭

<특허 포트폴리오 유형별 전략 수립 방향 예시>

특허포트폴리오 유형	특징	필요 전략
------------	----	-------

상용화기술 (기술이전 가능형)	대기업	기술이전 가능성이 높음 각 요소기술별 패키지 특허 구축 필요 신규사업진출형과 요소기술이전형 으로 분류하여 전략 구축 대기업에 기술이전 가능한 비교적 대규모의 활용제품	특허 창출 전략 수립 특허 포트폴리오 구축 해외출원 / PCT 출원 활용
	중소기업	기술이전 가능성이 높음 각 요소기술별 패키지 특허 구축 필요 신규사업진출형과 요소기술이전형 으로 분류하여 전략 구축 중소기업에 기술이전 가능한 비교 적 소규모의 활용제품	국내 출원만으로도 가능 일부 핵심건만 해외출원
특허라이센스형	외국기업	세계적으로 광범위한 시장이 있고 핵심기술 위주로 개량	일부 핵심건 위주의 양질의 해외출원 획득 필요
	국내 대기업	국내대기업이 관심있는 시장 관련 핵심 기술	핵심특허 위주 IP Positioning
	국내 중소기업	국내 중소기업이 관심있는 시장 관련 핵심기술	핵심특허 위주 IP Positioning
미상용화기술	미래 유망	현재는 미 상용화된 상태이지만 5-10년 후에 상용화 가능성이 높 음	잠재고객 보유기술 및 강점, 취약한 기술 분석 협력대상 기업고객의 발굴 기술개발 트렌드 분석
	불투명	현재는 미상용화된 상태, 5-10년 후에 상용화 가능성이 낮음	
STAR 특허군		상용화 또는 미상용화 상태이지만 세계원천기술로 인정받은 분야	핵심원천기술의 탐색 및 회피 기술 탐색 경쟁기관/기술 장단점 분석 개발대상기술 성숙도 평가 특허자산확보가능성 분석

- 기대효과

- STAR 포트폴리오 발굴 및 육성 체계화를 통한 지식재산 부가가치 제고
- 세부과제 연구자와 지식재산관리자의 컨센서스 강화 효과
- 지속가능한 지식재산 관리 시스템화를 통해 지식재산 관리 효과성 및 효율성 제고

- 1 단계 추진 계획

- 특허 포트폴리오 관리를 위한 patient management system (PMS) 구축 완료
- 특허포트폴리오 유형별 분류 작업 완료 : 기술이전/특허라이센스/STAR 특허군 구 분 완료
- 중요 특허포트폴리오에 대한 사업화 전략 수립
- 중요 특허포트폴리오에 대한 세부 특허 분석을 통한 전략 특허 발굴
- 기술마케팅/특허 라이선싱 추진

- 2 단계 추진 계획

- 중요 특허포트폴리오에 대한 사업화 전략 수립
- 중요 특허포트폴리오에 대한 세부 특허 분석을 통한 전략 특허 발굴

- 기술마케팅/특허 라이선싱 추진

6.3 과제선정 및 연차평가시스템

6.3.1. 평가의 기본방향

■ 과제선정평가

- '초저전력 미래반도체 원천기술' 로드맵에 근거하여 top-down 방식의 과제와 bottom-up 방식의 과제 구분 없이 기술목표달성에 적합한 과제 수행전략 및 과제 수행능력을 중심으로 평가
 - 시장지배력 확보 가능성, 기술혁신 기여도, 세계적 수준의 연구결과 도출가능성 평가
 - 연구팀의 수월성 및 개발하고자 하는 기술의 사회경제적 파급력, 학제간·이종기술 연구자간의 역할분담의 적절성, 향후 초저전력반도체 분야 원천 특허 및 기술의 확보 가능성 등을 평가
- 서면 및 발표 평가의 기본 방향
 - RFP 부합성 (top-down 방식의 과제에 해당)
 - 연구 계획의 창의성 및 도전성
 - 연구 목표의 명확성 및 타당성
 - 원천 기술의 확보 및 사업화 가능성
 - 연구진의 우수성 및 선행 연구 경험
- 국제협력과제 평가의 기본 방향
 - 국내 파트너와 협력연구의 가능성, 필요성 및 2단계부터 국내외 민간기업으로의 기술이전을 위한 사업화 가능성
 - 해외거점연구팀은 해당 분야 요소기술 연구를 수행하고, 플랫폼 기술은 국내 연구팀이 개발하며 전체 연구성과를 통합하도록 구성
 - 예비계획서에서 국내 및 해외 연구팀의 우수성과 공동연구 네트워크 구축 정도를 중심으로 평가
 - 본 사업계획서에서 국내-해외 연구팀 간 유기적 연계, 역할분담 및 단계별 목표 달성 등 연구계획 중심으로 평가
 - 기 선정된 세부과제를 중 상기의 요건에 따라 국제협력과제 대상 여부를 평가하고, 글로벌기술자문위원회에서 사업단의 사업화 및 글로벌 컨소시움을 위한 대표적 성과 가능성을 고려하여 최종 선정
 - 국제협력과제로 선정된 세부과제에 한하여 해외거점연구팀과의 네트워크 구축 및 공동연구 수행을 위한 추가적 연구비 지원 규모를 별도로 평가하여 1단계 2차년도부터 지원

■ 연차 및 단계 평가

- 연차 및 단계 평가의 기본 방향
 - 연구 초기(1-2년)의 연차 평가는 성과 위주의 정량적 성과와 도전성을 집중적으로 평가하되, 중기 이후(3-5년)에는 연구개발된 성과의 원천성 및 특허 확보를 집중적으로 평가
 - 1단계 평가 결과를 반영한 2단계 연구비의 조정 운영 시행
 - 2단계의 민간투자가 가능한 글로벌 컨소시움 구성을 고려하여 1단계 세부과제 중 선별하고, 필요에 따라 연구 그룹의 범위를 조정하여 단계 전환을 유도

- 단계 평가는 1-3년 동안의 연차평가의 결과를 70% 반영하고, 1단계 완료 시점에 4년 연차 평가와 함께 시행
- 3단계 진입 세부과제는 top-down과 bottom-up 과제의 구분없이 민간기업으로의 기술이전이 가능한 사업화 과제와 사업단 중심의 글로벌 산학연 컨소시엄 구성에 포함 대상인 과제만을 선정

6.3.2. 과제 선정 프로세스

■ 과제선정 평가단 구성

- 신규선정과 수시 선정은 동일한 평가 시스템 적용 (1단계 평가)
 - 사업단장 선정, 부단장선정 및 3개월 간의 사업준비기간을 거친 후 본 사업 시작 시 신규과제 선정 진행.
 - 준비기간 동안 운영위원회, 기술자문위원회를 구성하고, 각 위원회 중심으로 신규과제 및 수신 과제 선정
 - 반기별, 연차별 평가를 통해 탈락과제, 보완과제에 대한 수시선정 진행
- 신규과제의 선정은 기술자문위원회 중심의 평가단에서 1차 평가 후, 기술자문위원회에서 2차 서면 평가 후 사업단 운영위원회에서 최종결정
- 잠재적 투자기업의 대표를 평가단에 포함시키고, 1인 이상의 특허 전문가를 포함하여 특허가치에 대한 평가시행

■ 선정 평가 방법

- 사업계획서 제출 이전에 5 페이지 이내로 작성된 예비계획서를 제출하도록 하여, 핵심적인 연구개발 목표, 문제해결 방안, 최종 성과물 중심으로 예비선정
 - 각 사업 부단장 및 기술자문위원회의 검토로 접수된 예비계획서 하위 20% 탈락
 - 상위 80%의 사업계획서를 접수하여 서면 검토 후 연구개발 목표 및 내용 등의 구체성을 요하는 서면심사 의견을 작성/취합하여 피평가자로 하여금 소명 혹은 보완이 발표평가 시에 반영되도록 함
- 서면 검토 : 평가 관련 자료 사전검토
 - 평가위원은 평가 대상과제의 평가관련 자료에 대해 사전에 심층적인 검토를 하고, 과제별 질의 및 검토사항을 사전에 작성하여 발표평가 시 활용
 - 사업지원본부에서는 평가 대상과제의 중복성, 국내 유사 정부지원과제 및 기 과제의 단순 개량 여부, 확보한 원천특허의 기술 수준 및 발전가능성 등에 대한 사전 검토 실시
 - 서면 검토를 통한 과제별 질의 및 검토사항은 사업단에서 취합, 평가위원간 사전 공유
 - 서면 검토에서 각 과제별 핵심 내용 및 미흡한 부분에 대한 질의를 세부과제 책임자로부터 소명 및 답변을 전달 받아 발표 평가 시에 구체적인 논의
- 발표 평가
 - 기술자문위원회 중심으로 평가위원회 운영. 수시선정은 반기별 워크샵과 병행하여 진행
 - 공정한 심사 결과 제고를 위하여 발표 평가 후 심사위원 간 합의에 따른 점수 산정을 배제하고 각 심사위원의 개별 점수만을 입력하고 평가위원회에서 추후 합산
 - 발표 평가 대상과제의 정량 점수를 입력하는 심사위원 외에 특허 및 기술사업화 가능성에 대한 정성 평가를 담당할 전문가가 심사에 참여하도록 함
 - 가점 및 감점 점수 반영하고, 발표 평가 결과 동점인 과제에 대하여 기술사업화의 가능성이 높

은 세부과제를 선정

- 심사 결과점수의 절대적 평가를 통해 65점 이상인 경우에는 “선정가능”으로 분류하고, 65점 미만인 경우에는 “선정불가능”으로 구분하여, 해당 RFP의 수정 필요성 검토 후 수시 선정을 통해 재선정



그림 6.3. 세부과제 선정 프로세스

6.3.3. 연차 평가, 컨설팅 및 단계 평가 프로세스

■ 과제별 컨설팅

- 과제별 컨설팅 시행
 - 연차별 연구개시후 6개월이 지난 시점에서, 반기별 워크샵과 동시에 기술컨설팅 실시
 - 기술적 평가, 특히 평가가 가능한 전문가로 컨설팅 팀 구성
- 과제별 컨설팅 내용
 - 연차평가에 대비한 기술적 보완의견 제시 (연차평가 시 보완의견 반영수준 평가)
 - 특허전략에 대한 자문 (정부R&D특허전략사업과 연계 검토)

■ 연차 평가

- 서면 검토: 연차실적 계획서 서면평가
 - 연구 종료 시점 한 달 전에 전담기관이 총괄하여 모든 세부과제를 대상으로 발표 평가를 실시하며, 평가 시 패널 토의와 국가R&D 조사분석평가(조분평)에 연구팀이 등록한 정량적 성과를 중심으로 평가 점수를 정량적으로 산출
 - 중간평가결과에 대한 피드백의 충실도 평가
 - 평가위원은 평가 대상과제의 평가관련 자료에 대해 사전에 심층적인 검토를 하고, 과제별 질의 및 검토사항을 사전에 작성하여 발표평가 시 활용
 - 서면 검토를 통한 과제별 질의 및 검토사항은 사업단에서 취합, 평가위원간 사전공유

- 서면 검토에서 각 과제별 핵심 내용 및 미흡한 부분에 대한 질의를 세부과제 책임자로부터 소명 및 답변을 전달 받아 발표 평가 시에 구체적인 논의

○ 발표 평가

- 연차평가워크숍시 기술자문위원회 중심으로 평가위원회 운영.
- 평가위원회는 각 과제별로 평가, 계속지원여부, 예산 조정에 대한 의견 제시

○ 평가 후속조치

- 평가결과를 사업부 부단장의 승인을 받은 후, 후속조치 결정, 최종 조정결과는 사업단 운영위원회에서 결정함

■ 단계 평가

○ 단계 평가

- 1단계(4년)에서 얻은 모든 연구개발 결과를 세부과제 별로 발표 평가를 하되, 평가 점수 산출은 매년 실시한 연차 평가 결과와 마지막 연도의 평가 점수를 합산하여 산출
- 2단계(3년) 사업 세부과제 선정 평가는 1단계 선정 평가 지표를 동일하게 적용하되, 1단계 평가 결과와 2단계 민간자본 투자기업에서 필요로 하는 연구개발의 경우 가산점을 부여하여 평가 점수를 산출
- 세부과제 별 1단계 평가 후 운영위원회 주관 하에 민간자본 투자 의향이 있는 기업을 대상으로 세부과제 설명회를 개최하고 투자 대상 세부과제를 선별하도록 함
- 1단계 평가를 A, B, C, D 등급으로 구분하고, 아래의 표과 같이 조치

구분	A 등급	B 등급	C 등급	D 등급
점수	> 85	75 - 85	60 - 75	< 50
조치	2단계 진입	2단계 선정 평가	조정된 연구비로 2단계 선정 평가 시 감점	지원 중단

표 6.1. 1단계 평가 등급별 조치

- 2단계 종료 시점의 단계 평가는 2단계 사업 수행 세부과제 중 국내외 민간 기업의 지속적인 투자 대상인 과제만을 선별하여 선정하고, 민간 기업의 투자 대상이 아니라도 글로벌컨소시엄 및 기술표준화를 위한 과제에 한해 3단계 사업을 수행

6.3.4. 종료프로세스

■ 세부과제 종료 단계 평가 후 최종 연구개발 보고서 작성 및 발간

■ 최종 연구개발 보고서는 플랫폼기술개발 사업부와 시스템집적기술개발 사업부에서 각각의 세부과제 보고서를 취합하여 총괄 작성

■ 사업단 운영성과 평가(평가자 : 연구재단 및 이사회, 피평가자 : 단장 및 부단장)

■ 사업단의 최종 연구성과 발표를 위한 열린보고회 개최

- 연구성과 발표를 아래와 같은 내용
- 기술사업화 추진 실적

- 기술료 징수 및 관리 실적
- 연구개발 결과의 활용 실적
- 우수 연구개발 사례집 배포 및 홍보
- 국제협력과제 성공 사례 홍보
- 사업화 기술 홍보
- 투자기관 및 기술이전 대상 과제 및 특허 소개

■ 사업단의 연구성과 관리 지원 방안

- 우수한 연구 및 특허 성과를 창출한 세부과제는 타부처를 포함한 사업화 연구로 이어 질 수 있도록 지속적 지원
- 홈페이지 및 각종 언론 매체를 통한 홍보 및 기업대상 기술 설명회를 상시운영
- 사업 단장은 국외의 기업과 국외의 국제학회를 통한 홍보수행

6.4 사업 후 관리 및 연구성과 확산 방안

6.4.1 지적재산권 관리전략

■ 일관성 있는 연구성과 관리를 위해 사업단내 지원센터 설립 및 후속 개발지원

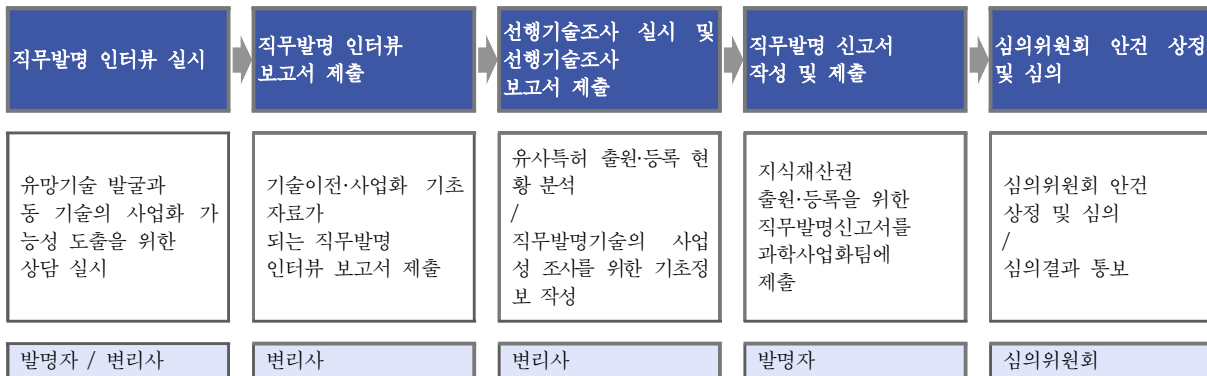
- 기존의 대학 산학협력단의 지적재산권 관리 체계는 여러 분야의 지적재산권을 동시에 관리하고 있어서, 특정분야 특허망의 구성 및 기술이전에 어려움이 있으므로, 연구 성과의 일관성 있는 관리 체계 구축 및 기술 실용화 활성화를 위해 사업단 내에 성과지원 센터 설립하여 대학과 지적재산권 소유를 공유 하며 관리 효율 증대
- 실용화 가능성 점검 및 특허포트폴리오 구축 등 전문컨설팅, 해외특허지원, 분쟁조정, 법률특허자문, 성과홍보 등의 기본적인 기능 외에 원천특허 결과를 표준화, 산업화로 연계하는 중심 기관으로 활용
- 특허청 R&D특허센터, 인텔렉추얼 디스커버리 등과 업무 제휴
- 유망기술 지원방안 수립
 - 전담 특허대리인 지정 : 각 사업단 별로 전문성을 갖춘 전담특허사무소와 계약을 체결하여 운용 하되, 세부과제에서 창출되는 특허 성과 관리는 전담특허사무소가 아니라 전담변리사를 지정하여 1:1 제도로 운영함으로써 기술적 전문성을 유지하고, 업무의 일관성을 강화
 - 전담 특허대리인 기술교육 진행 : 전담 변리사에 대한 과제 소개 및 관련 기술 교육
 - 발명자 면담강화
 - 시기 : 직무발명서 작성 전
 - 내용 : 특허출원 방향 설정 및 특허클레임 전략 마련
 - 기술별 담당자 및 전담 특허대리인
 - A+ 등급 출원 신설 : S급에 준하는 국내 특허출원 지원
 - 대리인 선정 : 국내 및 해외 대리인 지정(기술별 담당자)

■ 사업단내 지원센터의 구체적 기능 및 업무

- 특허 성과 출원을 위한 발명인터뷰 및 IP 사업화 목표 및 추진 전략 수립

－ 사업단 내의 성과지원 센터 중심의 특허심의위원회 운영 (1차 발명인터뷰)

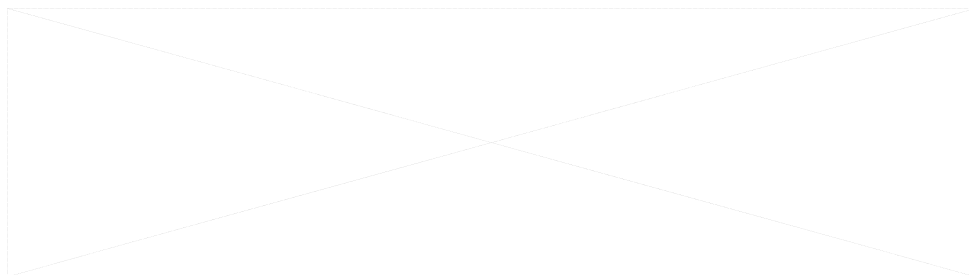
- 특허관리의 기반 마련
- 엄정한 발명평가 심의로 우수특허 선별력 및 연구자 평가결과 수용성 강화
- 국외출원 대상 2차 발표심의 및 외부전문가 심의 참여
- 발명평가 이외 (B급 등) 해외출원 불허
- 선별력 강화로 A급 이상(국외출원) 비율 감소 및 특허경비 절감



<1차 발명인터뷰 추진체계>

－ 유망 특허 발굴을 위한 라운드테이블 운영 (2차 심화 발명인터뷰)

- 기술의 기술성 뿐 아니라 제품화 가능성, 시장성, 권리성 등에 관하여 관련 분야의 전문가 그룹에 의한 종합적인 기술 보급·확산 전략 추진
- 기술마케팅을 위한 기능/부분별 전문가를 활용, 기술가치 고도화 및 기술의 사업화 가능성 제고



<2차 발명인터뷰 추진체계>

－ 1차 발명인터뷰의 특허심의위원회와 별도의 위원회를 구성하여 대상기술 선정(기술분야 전문가, IP전문가, VC로 구성)

－ 기술아이템의 유망성 평가

- 기술아이템 특허평가(권리성, 기술성, 시장성 항목평가)

- 등록특허와 유사특허군 분석 / 논문 및 특허동향 조사·분석
 - 기술로드맵 기준 기술개발, 정책 및 관련 산업 환경 분석
 - 기술개발, 투자 및 정책 동향분석
 - 미래 기술 수요, 시장수요 분석
- 사업화 추진 성공 가능성 평가
- 평가 결과 S급 (2개국 국외출원 가능), A급 (1개국 국외출원 가능)
- 라운드테이블 구성은 선정된 기술아이템에 대하여, 체계적으로 기술이전 전략수립을 추진할 수 있도록 연구자와 1인의 Facilitator, 자금분야 (1명, 벤처캐피탈, 외부), 제조분야 (1명, 외부), 기술권리성 분야 (1명, 외부), 기술거래 전문가(1명, 외부) 등 총 6~7명으로 구성
- 전주기적 성과관리를 위한 연구성과 통합추적관리시스템 구축·운영
 - 연구성과 실시간 조사·분석·추적 관리시스템, 논문 및 특허 등 성과검증시스템, 기술이전 및 기술마케팅 지원 성과 활용 시스템을 구축 및 운영
- 연구성과 확산 전문컨설팅 지원사업
 - 사업단이 창출한 연구성과의 확산 및 실용화 촉진을 위한 전문컨설팅 수요를 발굴하고, 해당 컨설팅을 제공할 기관을 선정하여 용역 수행경비 지원
 - 해당 소재기술에 대한 특허조사·분석 및 권리화 전략을 수립하고, 기술 및 시장동향을 조사·분석하며, 사업성·기술가치를 평가하여 기술이전·사업화에 대한 전략을 수립
 - 기술이전 수요를 탐색 및 발굴하고, 발굴된 수요에 상응하는 기술마케팅 자료준비와 기술이전 협상대행 및 자문 수행
 - 실용화까지 진행되는 사업단의 경우 사업단장이 직접 기업으로 파견되어 기술이전 할 수 있는 프로그램 및 비용을 지원하고 특히 연구자 소속 기관이 검직을 허용하지 않는 경우가 많으므로, 관련 법규정 개정 지원업무 수행
- 특허관련 경비 지원사업
 - 해외특허 출원·등록·유지를 위해, 과제 종료 후에도 지속적으로 막대한 비용이 지불될 것을 예상되며, 경우에 따라 특허권리에 대한 법정분쟁이 있을 것으로 예상됨
 - 본 사업의 연구성과 중 해외특허출원 중이거나 출원 준비 중인 기술로서 기술적 가치가 탁월하여 권리성 등의 제고를 위한 특별지원이 필요한 우수기술에 대해 경비지원 사업 수행
 - 상기 특허경비 지원사업에 선정되지 않은 특허 전체가 사장되는 것을 방지하기 위해, 본 사업의 사업단을 유치하는 기관이 본 사업 관련 간접비의 25% 내외에서 확보하도록 되어있는 사업단의 지식재산권 비용을 본 사업이 창출한 특허 출원·등록·유지 비용으로 사용하도록 관리·감독 수행
 - 사업의 연구성과 중 법적대응의 정당성이 인정되고 접수일 현재 진행중이거나 준비중인 특허분쟁에 대해 연구성과의 보호 및 분쟁조정에 대한 법률자문, 심판단계별 분쟁대응 비용의 일부 지원
- 연구성과 통합 홍보·확산
 - 홈페이지 홍보 및 연구분야별 기업대상 설명회 개최 등 사업단의 연구성과에 대한통합적 홍보체계를 구축하고 우수성과 발굴과 홍보를 수행



그림 6.4. 연구지원센터의 업무

■ 기술 이전 체계 개선

- 기존 연구과제는 아래에 요약한 것과 같이 우발적인 창의성에 의존하는 형태로서, 유효 지적재산권 창출이 어려움.
- 기존의 과제 추진체계에서는 지적재산권의 관리주체가 개별 산학협력단이기 때문에 개별연구자 수준에서 기술이전을 시도하지만, 협상력도 떨어지고, 기술이전효율도 낮음.
- 수요기업에서는 지재권의 방어력이 떨어져서, 기술이전의 실질적 효과가 없다는 것도 기술이전이 활성화되지 못하는 요인이 됨
- 우수 지재권 확보위해, 지재권 창출/기술이전 체계의 개선이 필요함

	현행방식	개선방향
지재권 창출	연구자의 개인적 창의성에 의존,	집단 연구/집단 학습을 통해 시너지 효과 창출 과제지원과의 직접연계, 인센티브 강화를 통한 동기부여
특허작성	개별 연구자 중심	전문특허 작성서비스 지원, 특허의 가치를 제고 (사업단)
지재권 가치 평가	산학협력단 (개별 연구자)	사업단내 특허가치평가팀 별도 운영 (산업계 전문가 참여)
출원자	산학협력단	사업단 (특허 출원 및 관리비용 별도 산정)
기술이전	산학협력단, 개별 특허 중심	사업단 중심의 기술이전 (기술이전 협상력 제고) 특허 package형태의 집단 기술 이전으로 기술이전 수익성 제고 사업단의 IP 전문기업화로 미래 가치 창출

표 6.2. 기술 이전 체계 개선

- 여타 분야와는 달리, 나노전자소자 기술은 소재, 장비, 설계, 소자기업등 기존의 산업이 활성화되어 있는 상태이기 때문에, 수요기업에서 요구하는 수준의 지재권을 확보하고, 집단협상을 한다면,

기술이전효율을 획기적으로 제고할 수 있을 것임

■ 효율적 지적재산권 창출 및 이전을 위한 독립법인 형태의 과제조직



<기존 모델>

<제안모델>

그림 6.5. 과제 수행 모델 개선 방법

- 유효 지적재산권 창출전략
 - 초기 지적재산권 아이디어 창출단계에서 공백기술분야 분석 (수요기업활용)
 - 공백기술분야에 대해 개별 연구자뿐 아니라 집단 창작 방식의 지재권 창출
 - 지재권의 검증, 구현을 목표로 한 개별 /집단 과제수행으로 지재권의 가치를 높임
 - 지적재산권 filing시부터 수요기업과의 긴밀한 논의를 통해 유효지재권 확보
 - 유효 지적재산권을 대상으로 지적재산권 망구출을 위한 내부과제 운영
 - 위의 과정이 선순환되면서, 유효 지적재산권 망이 구축됨
- 유효지적재산권의 관리 및 이전 전략
 - 지적재산권을 관리하기 위해 사업단을 별도 기술지주법인으로 등록
 - 지적재산권은 사업단 소유로 이전 (개별 산학협력단은 지분 소유에 대해 초기부터 합의 후 과제 참여, 글로벌 프론티어 사업단의 모델과 유사함)
 - 지적재산권을 망형태로 집단 이전하고, 그 수익은 개별연구자, 산학협력단에 돌려줌. 재단은 지재권 구입 비용, 지재권 등록/관리비용으로 수익을 활용함.
- 유효지적재산권의 보안관리 전략
 - 포대와 웹 관리 시스템 도입을 통한 이중 보안 관리
 - 출입문 2중관리 시스템 및 보안파쇄기 도입
 - 2년에 1회 폐기 서류는 파쇄업체에 의뢰하여 개인 정보가 유출되지 않도록 함
 - 파일이 유실될 염려가 없으며 보안성이 탁월한 인터넷 데이터 센터 서버를 이용함

■ 기대효과

- 창조경제시대에 적합한 새로운 형태의 연구프로그램 모델/ 지적재산권 이전 모델 창출
- 연구결과로 산출된 IP는 개발자 소유로 하여 연구개발 촉진

- Membership으로 참여한 기업에게 통상실시권 부여로 투자 동기 부여
- 창의적인 연구개발로 핵심기술 IP확보 및 축소되고 있는 반도체 우수 전문인력 양성 가능
- 소자기술 강국으로 도약할 수 있는 발판 기반 마련
- 컨소시엄으로 선순환적 자생기반의 반도체 연구개발 풍토 조성
- 소자산업의 외연확대로 새로운 고용창출을 통한 청년실업 해소에 기여

6.4.2 주요 성과 후속 사업화 지원 전략

■ 기술이전 및 사업화

- 사업단의 혁신적 아이디어나 연구개발 성과의 성공적 상업화가 경제 성장과 사회발전을 위한 핵심적 추진력이므로 효율적으로 기술이전을 시작으로 궁극적으로 상업화 유도
- 기술이전·사업화는 응용·개발 연구뿐만 아니라 대학 및 연구소 등에서 수행되는 기초연구 성과 관리·활용·확산체계가 매우 중요
- 사업의 결과물로 다수의 원천 특허를 효율적으로 시장에 진입할 수 있도록 산업체의 시장 주도형 사업과 연계
- 공공기관이나 대학에서 기술이전에 의한 상업화를 전략적으로 관리할 수 있는 전문가 양성 및 체계 구축
- 사업단 및 성과 관리 센터에서 연구개발 기간 중 및 종료 후 지속적으로 산업계에 연구개발 방법론을 전파·확산하여, 국가연구개발의 효과가 산업계로 이어질 수 있는 브릿지를 형성
- 기술이전 수요를 탐색 및 발굴하고, 발굴된 수요에 상응하는 기술마케팅 자료준비와 기술이전 협상 대행 및 자문 수행기술이전 및 기술료 실시 등을 통하여 산업계가 필요로 기술 개발에 기여

■ 단계별 전략

- 1 단계는 창의적인 기초원천기술 및 산업원천기술을 독립적으로 창출 하고 2단계는 기술 고도화를 통해 국내반도체산업의 도약을 위한 기반 마련



그림 6.6. 단계별 핵심 전략(4+3+3에 부합되도록 수정 필요)

- 1단계는 최초 4년간 과제 기간으로, 학·연·관 주도로 초저전력 반도체 소자와 핵심 요소 기술과 반도체산업에 파급효과가 큰 원천기술을 독립적이고 창의적으로 연구 수행
- 2단계는 이후 3년간 과제 기간으로, 일부 사업화에 근접한 각 사업단의 세부과제를 대상으로 산업체가 학·연·관 컨소시엄에 membership 형태로 참여하여 핵심요소기술 및 원천기술 고도화를 위한 연구 방향 설정 및 기술 이전을 위한 기반 구축
- 3단계는 이후 최종 3년간 과제 기간으로 실용화에 근접한 세부과제만을 2단계 종료 시에 선정하고 이를 대상으로 학·연·관 컨소시엄 membership 형태로 참여, 연구개발의 성과로 얻어진 특허, 노하우 등을 수요 기업체로 이전하여 실용화 연구 개발 추진
- 타부처 사업으로 후속 연계하여 실용화 연구 개발 추진 가능

구분	기초원천 기술	산업원천 기술	총개발기간	종료시점 TRL
1단계 (가능성검토 단계)	3년	2년	4년	3단계
2단계 (활성화 단계)	0년	3년	3년	4단계
3단계 (사업화 단계)	0년	3년	3년	5단계

－ TRL(Technology Readiness Level)은 5단계까지 지원

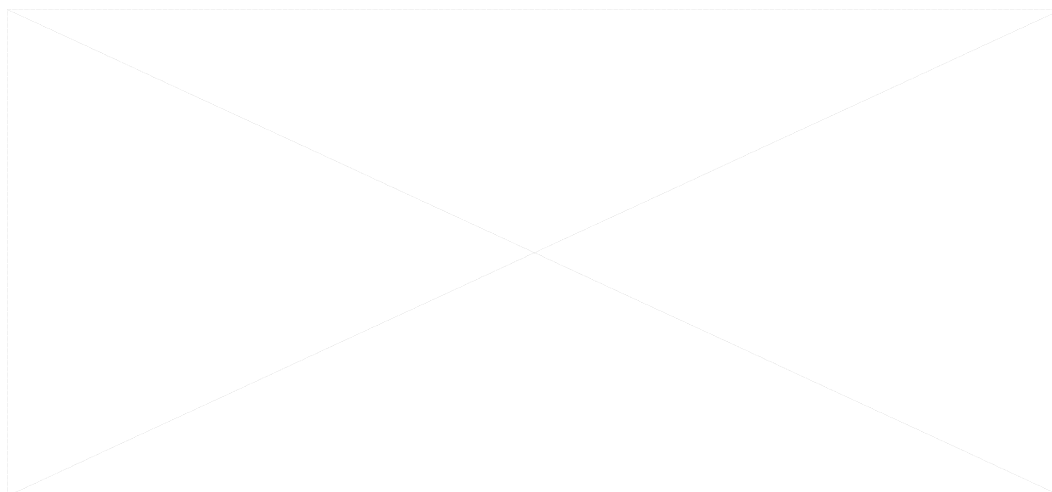


그림 6.7. 각 단계별 계획

■ 2단계 및 3단계 진입 시 사업화를 위한 글로벌 컨소시엄 구성

- 사업단을 중심으로 2단계 진입 시 국내 대학 전문가, 출연연(KIST, ETRI), 나노인프라 기관, 주요기업 연구소, 해외 연구기관, 해외기업이 참여하는 글로벌 산학연 컨소시엄 구성
- 대형 팹을 직접 소유/관리하는 IMEC과는 달리 기존의 나노인프라 기관들을 체계적으로 활용하여 연구를 수행하는 조직구성
- 글로벌 컨소시엄의 지적재산권 관리방식을 준용하고, 참여기업들을 중심으로 지적재산권 이전 및 활용을 활성화하는 기술이전 수익모델 활용

- 1단계에서는 한-EU 협력사업 등을 활용하여 IMEC, LETI 등 유럽 지역 연구기관들과 공동협력 체계를 구축하고, 중국, 일본, 미국 등으로 컨소시움 범위를 점진적으로 확대
- 연구범위를 非정부지원 분야(중장기 연구)로 점진적으로 확대하여 국내외 기업들의 컨소시움형 연구 참여를 유도

■ 글로벌 컨소시움 구성 시 기대효과/파급효과

- 국내 최초로 정부 R&D 투자결과로 한국주도의 글로벌 리더쉽을 갖춘 컨소시움을 구성하여, 투자 대비 효율을 획기적으로 제고하는 새로운 R&D 모델 구현
- 국내 참여 연구인력들이 글로벌 컨소시움형 연구를 수행하게 됨에 따라 국내 연구진의 국제 인지도 및 연구 경쟁력이 획기적으로 제고됨
 - 글로벌 연구네트웍을 주도하는 과정에서 한국형 로드맵 추진가능
- 원천 선도 기술개발을 주도하여 사업에 참여하는 국내 기업에게 소재, 장비, 설계 IP를 선점할 수 있는 기회 제공

7. 타당성분석

7.1 정책적 타당성 분석

7.1.1 사업추진의 시의성

- 전력문제 (생산 및 사용) 해결 관련 기술이 최근의 모든 분야의 산업에 필수적으로 요구되어 지고 있으며 특히 반도체 산업 분야에서도 전력 사용 문제 해결을 위한 새로운 패러다임이 요구되고 이를 통해 신 시장을 창출할 수 있는 도전적이고 창의적인 연구가 필요함.
- ICT 기술이 발전함에 따라, 컴퓨터, 네트워크 시설 등 정보처리기기에서 소요되는 에너지의 총량이 기하급수적으로 증가될 것으로 전망되고 있음
- 그림 7.1은 미국 내 데이터센터에서 소모되는 전력비용의 증가추세를 보여줌. 2013년 데이터센터에 쓰이는 전력량은 원자력발전소 27기의 발전량에 해당함.
- 2020년에는 개인용 IT기기에서의 사용량을 포함하면, 전체 에너지소모의 12~15%가 정보처리에 소모될 것으로 추정됨
- 이는 기존 ICT기술의 기반이 되고 있는 반도체 기술이 1960년대 이후 미세화 일변도로 발전되면서, 에너지효율을 개선하기 위한 연구가 부족했던 것이 주요 원인임



그림 7.1. 미국의 데이터센터에서 소모되는 전력 비용

- 전력 문제 해결은 더 많은 전력을 생산/저장하는 접근 방법 이외에 전력을 소비하는 개별 디바이스를 에너지 효율이 높게 만드는 전략이 있음. 예를 들면, 다양한 ICT 산업군에 필요한 연료 및 이차전지와 같은 에너지 생산 및 저장 기술이외에 많은 제품을 구동시키는 반도체소자의 소비 전력을 줄일 수 있는 초저전력 반도체에 대한 연구가 필요하며 이 분야는 전세계적으로 아직 초기 또는 연구되지 않는 분야이므로 2020년 이후 새로운 산업 창출과 선점이 가능함 분야로 이에 대한 사업 지원이 필요함.
- 지금까지 민간에 의존해온 반도체 분야의 연구는 단기적 결과에 치우친 연구에 국한되었고 중장기 연구에 대한 연구가 미흡한 상태로 정부의 지원이 필요함.
- 미, EU는 미국주도의 기술개발체계가 취약해진 시점에서, 반도체 분야의 기술 주도권을 확보하기위해 정부차원에서 지원을 하고 있으며, 후발 주자인 중국은 현재의 반도체 산업에

진입을 하기 위해 정부차원에서 많은 지원을 하고 있는 상황임.

- 이러한 상황을 극복하기 위해 새로운 산업을 창출할수 있는 초저전력 미래반도체 분야에 대한 정부 지원으로 기존의 반도체 강자와 신흥 국가를 따돌리고 주도권을 선점할 수 있도록 정부 차원을 지원이 절실히 필요함.

7.1.2 정부지원의 필요성

■ 국고지원 요건 및 필요성

- 법적 근거·요건
 - 기술개발촉진법 제7조 (특정연구개발사업의 추진 등) ② 제1항의 규정에 의한 연구에 필요한 비용은 정부 또는 정부외의 자의 출연금 그 밖에 기업의 연구개발비로 충당함
 - * 동 법은 현재 「기초연구진흥 및 기술개발지원에 관한 법률」로 통합되어 개정 중
- High risk, high return 형 차세대 기술은 세계적으로 정부주도의 연구프로그램에 의해 선행개발되고 있음. 미국, EU등 경쟁국가들은 2016년부터 본격적인 정부주도형 투자를 시작함

표 7.1 반도체 산업보유국가들의 주요 반도체 연구프로그램 투자규모>

국가	상용연구시기			총 연구 금액 (억)
	5년 이내	5 - 15년 이 내	15 년 이후	
미국	843 (5%)	13,916 (75%)	3,796 (20%)	18,555
EU	614 (2%)	30,497 (85%)	5,022 (13%)	36,133
일본	656 (4%)	12,818 (88%)	1,058 (8%)	14,532
한국	205 (20%)	380 (38%)	427 (42%)	1,012

- 국내 반도체기업들은 미세화 기술경쟁의 가속화와 R&D 투자비용의 급증으로 인해 중장기연구에 대한 투자여력이 부족한 상황
 - 기술장벽이 심화됨에 따라 국내 기업들의 주요 기술도입 통로였던 IMEC, SEMATECH등의 민간기술 컨소시움의 약화로 중장기기술 확보가 어려워짐
- 본 사업은 특정제품 기술개발이 아니라 공정, 소재, 장비, 설계기술등 반도체 제조산업의 전후방산업 파급효과가 매우 큰 사업이기 때문에, 민간기업이 전체 사업을 초기부터 기획하고, 관리할 수 없는 구조여서 정부투자가 필수적임
 - 기술표준화방향에 따라 신기술채택여부가 결정되기 때문에 민간기업이 본격적인 장기선행투자를 진행하기 어려움
- 2020년대 중후반 시장이 열릴 것으로 예측되는 신개념 나노-반도체 융합기술은 경쟁국에서도 아직 기술적 우위를 확보하지 못한 상태여서 정부주도의 기반기술 투자를 통해, 반도체 산업전반의 기술경쟁력을 확보한다면 매우 큰 산업파급효과를 기대할 수 있음

7.1.3 국가 중장기 R&D 계획과의 부합성

■ 본 사업은 아래와 같은 중장기상위계획과 밀접한 관련이 있음

상위 계획	관련항목	관련성이 높은 항목	본 사업과의 부합성
제3차 과학기술기 본계획	- High2: 국가전략 기술개발 - 5대추진분야(IT 융합 신산업창출) - High3: 중장기 창의역량강화(과학기술 글로벌화) - High4: 신산업 창출지원(기술이전/ 사업화촉진)	- CPND기반 ICT 혁신역량강화 - 전략분야국제공동연구활성화 - 국제과학기술허브구축 - 국제협력 인프라조성 - 지식재산활용촉진	지능형반도체, 자율주행자동차, 인공지능, 슈퍼컴퓨터등에 소모되는 전력을 획기적으로 저감하여, 기술경쟁력을 제고함 글로벌 정부 R&D 네트워크 구축 (1단계), 글로벌 R&D 컨소시엄 구축 (2단계)을 통해 미래반도체분야 공동연구 활성화 초저전력 미래반도체 R&D 컨소시엄의 본부를 한국에 설치하여, 기술리더쉽 확보 국내외 나노인프라기관들을 연결하여 공동연구가 가능한 인프라구축 2단계 사업진입시 1단계 정부투자에 의해 발생된 지적재산권을 package 형태로 이전하는 새로운 형태의 기술이전 방식 도입
제4기 나노기술종 합발전계획	- 전략 1: 혁신주도 나노산업화 확산 - 전략 2: 미래선도기술확보	- 나노융합확산인프라강화 - 차세대 초절전 집적기술 플랫폼개발 4대 나노챌린지기술 - 초저전력 미래반도체	플랫폼공정을 본 사업의 집적공정개발에 연계할 계획임 본 기획은 해당 사업의 실행을 위해 수행된 과제임
제4차 지방과학기술 진흥종합 계획	지역R&D 투자 특성화·내실화'특구별	특화산업분야 지정·육성 - 선행공정개발사업	나노인프라시설에서 개발된 선행플랫폼공정들을 본 사업의 집적공정개발에 연계할 계획임

■ 과학기술기본계획과의 부합성

- 3차 과학기술기본계획 (2013~2017)은 창조적 과학 기술로 여는 희망의 새시대의 비전을 가지고 연구개발 경제 성장 기여율 40%, 신규 일자리 64만개 창출, 과학 기술 혁신 역량 세계 top 7 달성을 목표를 가지고 있음.
- 5대 국가 전략 기술: IT 융합 신산업, 미래 성장 동력 확충, 깨끗하고 편리한 생활, 건강 장수시대 구현, 걱정없는 안전 사회 실현
- 2016년도에는 5대 전략 (R&D 투자 확대, 국가전략기술 개발, 중장기 창의역량 강화, 신산업 창출 지원, 과학기술기반 일자리 확대) 중 국가전략기술 개발, 중장기 창의역량 강화, 신산업 창출지원을 집중 추진 예정임.

- 본 사업은 기존의 산업을 강화하는 연구 전략이 아니라 새로운 시장이 예상되는 IT융합 신산업 분야 선도적으로 대응하기 위한 나노-반도체 융합기술로 5대 국가 전략 기술에 부합하는 R&D 계획임.
- 국가 전략 기술 수준 및 예산 증감률의 예를 보면 (아래 표), 경제 지속 성장 견인의 ICT융합 신산업 창출, 미래 성장 동력 확충은 선진국 대비 기술적 성숙도가 상대적으로 열약하여 기술 수준 향상을 위한 예산 배정 금액이 타 분야 보다 큰 것으로 판단하건대 ICT 융합 신산업 창출과 미래성장 동력 확충의 목표를 삼고 본 사업의 중요가 현재 국가 과학기술기본계획의 방향과 부합한다고 판단됨.

추진과제		기술 수준		예산 (억원)	
		2014년	2017년(목표)	'15년	'16년
경제 지속 성장 견인	ICT 융합 신산업 창출	81.2%	85%	20,072	21,166
	미래 성장 동력 확충	76.2%	80%	56,243	58,158
삶의 질 향상 기여	깨끗하고 편리한 환경 조성	77.8%	80%	5,230	5,025
	건강 장수 시대 구현	77.4%	85%	2,290	2,349
	걱정 없는 안전 사회 구축	75.2%	80%	4,390	4,158

*최고 기술 보유국의 기술수준 대비 상대적 기술 수준 (2014년도 기술수준 평가 결과 활용)

- 또한, 본 사업의 결과로 공정, 소재, 장비, 설계 기술 등 반도체 제조 산업의 전후방산업 파급효과가 매우 크기 때문에 국가 과학기술기본계획의 추진 과제의 방향성 중 신규 일자리 창출과 과학 기술 혁신 역량 세계 top 7 달성을 목표 달성에 기여 할 수 있을것으로 판단됨.

■ 기초연구진흥 종합계획과의 부합성

- 기초연구진흥 종합계획 ('13~'17)의 기초연구를 통한 미래 창조사회 구현의 비전을 가지고 아래 내용과 같이 계획됨.
 - 투자 목표: 정부 R&D '12년 35.2% → '17년 40% (정부 R&D 기초연구 투자 비중)
 - 성과 목표: ① SCI 피인용 상위 1% 논문 수 세계 10위권 달성, ②세계 최고수준 선도 연구자 육성
 - 정책과제: ① 세계를 선도하는 창의·도전적 기초 연구 활성화, ②기초연구를 통한 미래 성장기반 확충, ③기초 연구 생태계 구축, ④기초연구성과 활용·확산 강화
- 본 사업의 목표는 현재의 나노전자소자 분야 시장의 확대 뿐만 아니라 새로운 신산업 창출을 위해 창의·도전적인 재료, 공정, 설계, 장비 등 많은 분야의 기초 연구를 포함하여 새로운 반도체 및 나노 전자 분야의 신 생태계를 구축하고 이를 활용·확산 하는데 목표가 있기에 과제의 성격과 목표는 현재 정부의 기초연구진흥 종합계획의 정책과제와 부합함.
- 본 사업은 창의·도전적인 많은 세부 연구 과제 수행으로 양질의 다수 SCI 논문 및 IP 창출이 예상되며 이를 통해 피인용 상위 논문 수 확보 및 세계 최고 수준의 선도 연구자 육성이 가능함. 따라서, 사업의 성격과 목표는 기초연구진흥 종합계획의 정책과제 뿐만 아니라 성과 목표에도 잘 부합함.

■ 국가융합발전기본계획과의 부합성

- 1차 ('09~'13) & 2차 ('14~'18) 국가융합발전기본계획은 정책적으로 추진할 융합기술 발전 전략에 대한 내용을 담고 있음.
- 1차 계획: 융합기술 (converging technology)의 체계적 발전을 통한 의료·건강, 안전, 에너지·환경 문제의 해결 및 신성장 융합 신산업 육성
 - 원천융합기술 조기확보, 창조적 융합기술 전문인력 양성, 융합 신산업 발굴 및 지원 강화, 융합 기술 기반 산업 고도화, 개방형 공동연구 강화, 부처간 연계·협력·조정 체계 강화
- 2차 계획: 융합기술 연구 개발과 관련한 계획으로 경제적·사회적 가치 평가등을 통한 경제성장 및 5대기술·미래상 (고성장 스마트 기술, 미래융합기술, 건강한 삶, 지속가능한 생활, 걱정 없는 안심 사회) 및 15대 국가 전략 융합 기술 선정과 미래 유망 원천 기술 개발 및 사회적 문제 해결 연구의 융합 기술
 - 미래유망 원천 기술 개발 및 기술 사업화 촉진, 사회적 문제해결을 위한 융합 기술 연구 본격 추진, 인문학과 과학기술과의 융합 확대, 창의적 융합인재 양성, 융합 인프라 고도화

표 7.2. 15대국가전략 융합 기술 (창조경제 실현을 위한 융합 기술 발전 전략)

구분	기술·미래상	기술개발 방향 및 전략
경제 성장 (7개)	고성장 스마트 기술	① 빅데이터, ② 차세대 반도체, ③ 융합형콘텐츠, ④ 스마트 자동차
	미래 유망 융합 기술	⑤ 서비스 로봇, ⑥ 생산 시스템 및 생산성 향상, ⑦ 차세대 소재
국민 행복 (8개)	건강한 삶	⑧ 건강관리 서비스, ⑨ 유전체 정보 이용, ⑩ 신체 기능 복원 및 재활 치료
	지속 가능한 청정 생활	⑪ 지구 환경 통합 모니터 관리, ⑫ 오염 물질 제어 및 처리, ⑬ 신재생 에너지
	걱정 없는 안전 사회	⑭ 식량 자원 보존 및 식품 안정성 평가, ⑮ 재난·재해 예측·대응

- 본 사업은 소재, 공정, 설계, 장비 등 많은 분야의 병렬적 융합적 개발의 성격을 가지고 있기에 다양한 분야의 융합적 신산업 창출이 가능함. 특히, 경제 성장 7대 분야의 중 차세대 반도체, 스마트 자동차, 차세대 소재에 직접적인 관련이 있으며 타 분야의 시스템을 구축하는데 있어 본 사업의 연구 결과가 기본 platform으로 제공될 수 있음.
- 특히, 제안된 사업은 신사업 창출 및 선점의 기본 목표는 5개 기술·미래상 구현을 위한 5대전략, 21개 범부처 추진 방안 중 “미래 유망 원천 기술 개발 및 기술화 추진”에 정확히 부합하고 있으며, “창의적 융합인재 양성”과 “융합 인프라 고도화” 내용도 본 사업 진행시 연구 인력 양성과 국가 나노인프라 기관의 활용 측면에서 잘 부합된다고 판단됨.

■ 신성장동력 종합추진계획과의 부합성

- 본 사업은 새로운 시장 창출 및 선점을 위한 소재, 공정, 설계, 장비 등의 융합 과제로 신성장동력 종합추진계획의 주력 연구 분야와 잘 부합함.

- 웨어러블 스마트 디바이스, 자율주행 자동차, IoT, 스마트바이오 생산 시스템, 착용형 스마트 기기, 융복합소재 반도체, 빅데이터 등과 같은 새로운 신성장 동력 산업군에 적용 가능한 다양한 나노 전자 반도체에 관련된 연구 내용을 통해 2020년 이후 새로운 성장동력이 될 수 있는 사업임

7.1.4 기존사업과의 차별성 및 연계성

■ 기존 사업과의 차별성 분석

- 본 사업은 타부처 (산업부)에서 현 시장 지배력 강화, 국산화 목적으로 기업 중심으로 추진하고 있는 대규모 산업화 관점의 반도체 기술 사업들과 달리, 차세대 반도체 산업의 글로벌 기술경쟁력을 확보하기 위해 공공부문 연구주체의 창의적인 혁신역량을 집약하여 최단기간내 상용화 수준의 기술을 개발하는 사업임
- 산업부에서 추진중인 미래소자원천기술개발사업은 상용화시점기준 5년이내의 단기연구를 대상으로 하고, 본 사업은 상용화까지 5-15년정도가 소요되는 중장기 기술을 대상으로 함
- 미래부에서 추진중인 나노소재원천기술 개발사업중 반도체부분은 본사업에서 제안하고 있는 7개원천소자기술을 선행개발하는 시범사업의 성격을 가지고 있음.
 - 소자원천기술 개발의 시급성을 고려하고, 소자개발과 시스템집적기술 개발과제사이에 1-3 년 정도의 선행개발기간을 두기위한 전략임

구분	동 사업	미래소자원천 기술개발사업 (산업부)	나노소재원천 기술사업 (미래부)	지능형반도체사 업
총사업비 (억원)	4,500	500 (정부) 500 (민간)	250	850 (가변적임)
기투자액	0	300	50	45
사업기간	`18-`27 (5년+5년)	`13-`21	5년	`14-`19
사업목적	미래반도체 소자, 단위공정, 집적공 정, 설계기술 및 시스템개발	단위 반도체 소 자, 신공정, 설계 기술개발	단위 신소자 개발 및 집적공정, 아 키텍처 연구	ICT 융합 제품 에서 SW와 SoC를 기반으로 인지, 연산, 제 어, 통신 등의 지능형 서비스 기능을 수행하 는 핵심부품개 발
세부내용	7대 원천소자기술 중심으로 집적설계 플랫폼 및 인프라 구축을 통한 차세 대 시스템 개발	실리콘 및 비실 리콘 계열 물질 의 단위 반도체 소자원천기술 개 발	신소자 기술을 이 용한 시스템 전력 소모 극단적 절감	SOC 소프트웨 어 및 CMOS기 반 센서등
차별성	중장기과제중심	단기과제중심	중장기과제중심	신 소 자 기 술 을 사용하지 않음

- 본 사업은 국가기간산업인 반도체산업의 미래경쟁력을 획기적으로 제고하기위한 창조혁신형 기초원천 연구개발 사업이며, 원천특허를 확보하는 것을 주 목적으로 하며, 응용개발, 실용화 개발까지 연계가 가능한 사업임
- 소자기술을 중심으로 소재, 공정, 집적기술은 물론 설계, 아키텍처까지 종래 순차적으로 개발되어온 기술을 CAD기술의 발전을 기반으로 병렬로 개발하는 사업구조임

- 짧은 시간 내에 선도적 기술을 개발하기 위해서는 종래의 R&D 방식을 탈피하여, 혁신적이고 도전적인 기술개발 체계를 도입해야함.

- 아래 그림은 기본소자기술의 기술적 복잡도(신규기술이용정도), 목표상용화시점을 기준으로 본 사업과 기존사업간의 차별성을 도식화한 것임. 이 차트에서 소자기술 상용화시점이 지난 지능형반도체 과제는 이미 상용화된 실리콘 CMOS기반의 소자기술을 이용하는 대신 소프트웨어를 고도화하여 응용시스템을 개발하고 있는 과제라는 것을 볼 수 있음.



- 본 사업에서는 아래와 같은 방식으로 소자기술에서 시스템설계기술까지의 개발기간을 최대한 단축함으로써, 경쟁국대비 압도적인 기술 경쟁력을 확보하고, 선진국 대비 열세인 소자 및 설계기술 분야의 도약적 발전을 달성하고자 함
 - 조기에 원천기술을 확보하기 위해, **기술발전 가능성을 검토하는 수요조사를 거쳐 7대 초저전력 미래반도체 소자기술 선정** (Monolithic 3D 기술, 초저전압 소자 및 회로 기술, 자기 재구성 로직 소자기술, 다치로직 소자기술, 로직-인-메모리 소자기술, 광배선 소자기술, 뉴로모픽 소자기술)
 - 소자기술의 개발, 검증기간동안 이상적인 소자모델을 적용한 설계 및 아키텍처 연구를 병행하고, 이상적인 모델을 점진적으로 현실적인 모델로 바뀌어나가면서 시스템 설계 기술의 완성도를 제고하는 병렬형 사업구조 채택
 - 국가 나노인프라시설을 적극적으로 활용, 국내 학계의 소자 및 공정 연구수준을 획기적으로 제고함. 이를 위해 사업단과 나노인프라 기관간의 밀접한 협력체계를 구축함
 - 소자, 공정 등 플랫폼 기술개발 부문의 개발리스크를 줄이고 투자효율을 높이기 위해 해외 유사 연구프로그램과의 적극적 네트워크를 구성하고, 나아가 글로벌 컨소시움을 구성하여 민간자본을 유치할 수 있는 수준까지 발전시킴
 - CAD 기반기술의 해외의존을 탈피하고, 자체 설계 시스템을 개발, 설계 IP를 확보함으로써, 반도체 산업의 고질적인 문제점인 설계 기술 경쟁력을 제고함.
 - 소자에서 시스템설계까지의 개발과정을 단일사업단으로 총괄 관리함으로써 개별사업에서 발생할 수 있는 협력부재, 융합기술 부재 등의 문제점을 극복함

■ 타사업과의 연계성

- 본 사업은 ICT 산업의 기반이 되는 반도체 기술을 획기적으로 혁신하여, 소모전력을 극단적으로 절감할 수 있는 기술을 개발하는 것을 목적으로 함
- 따라서 소모전력의 감소, 또는 같은 소모전력에서 더 많은 기능을 구현함으로써, 기술을 혁신하거나, 산업경쟁력을 제고할 수 있는 사업에 기여할 수 있는 기반 기술임
- 예를 들어 인공지능기술의 경우, 인공지능구현을 위한 초고성능 컴퓨터는 너무 많은 전력을 사용하기 때문에 활용도가 제한됨(알파고 17만W vs 이세돌 20W). 본 사업의 결과로 도출되는 초저전력반도체기술을 적용하면, 알파고기능을 170W (백열등 2개수준)로 구현할 수 있게되므로 인공지능의 활용도를 획기적으로 제고하게 됨.
- 슈퍼컴퓨터 개발사업의 경우 소모전력을 1/1000로 줄이면 획기적인 경쟁력을 확보할 수 있음.
- 지능형자동차의 경우, 같은 소모전력을 활용하면서도 더 다양한 센서, 더 복잡한 연산기능을 활용함으로써, 기술 고도화가 가능해짐.
- 본 사업단의 결과물을 활용할 수 있는 타사업단의 need를 공유하고 정기적으로 교류할 계획임.
- 대규모 예산이 투입될 예정인 인공지능 기술의 경우, 슈퍼컴퓨터를 이동형으로 만들 수 있게됨에 따라 지금으로서는 상상할 수 없는 새로운 형태의 응용이 가능해지고, 소프트웨어기반에서 하드웨어기반으로의 기술패러다임 전환이 가능해짐
- 뿐만아니라, 글로벌 기술경쟁력, 리더쉽을 확보함에 따라 산업부에서 추진중인 각종 장비, 소재, 팹리스 지원사업등도 새로운 기술경쟁력을 확보할 수 있을 것임.

■ 사업추진상의 위험요인 및 대응방안

위험요인	모니터링 방법	모니터링 주기	발생시 대응방안
성능목표 미달성	중간컨설팅, 연차평가 진도보고서 단계별 성과평가		• 1회 발생시 연구개발방향에 대한 컨설팅 • 강화 통한 연구 지원 • 2회째 발생시 연구팀 교체 또는 연구팀 • 보강이나 추가연구비 투입
기존 기술의 성능한계 극복	정책연구 통해 기술동향 분석 통한 점검		• 기획연구를 수행하여 성능한계 극복의 • 추세를 예측 • 성능한계 극복 수준이 본 연구의 목표와 • 비교하여 미약할 것으로 예상되면 연구를 • 지속하고, 우수할 것으로 예상되면 본 • 과제의 중단 후 관련 기술에 대한 연구 추진
경쟁기술 등장	정책연구 통해 기술동향 분석 통한 점검		• 해당 기술의 원천성과 경제성에 대한 • 심층분석 통한 본 과제의 중단 여부 결정 • 후 경쟁기술 연구로 전환 또는 경쟁기술의 • 연구 병렬 추진
시장 미성숙	정책연구 통해 기술동향 분석 통한 점검		• 기획연구를 수행하여 시장 창출시기를 예측 • 계획 대비 5년 이내의 비교적 단기간에 • 시장이 창출될 것으로 예측되는 경우 본 • 과제를 중단하고 교육과학기술부의 타 • 사업으로 전환하여 투자
경쟁국의 앞선 사업화	정책연구 통해 경쟁기관 기술개발동향 분석 통한 점검		• 기획연구를 수행하여 경쟁국 개발 기술의 • 특히 포트폴리오를 분석 • 선진국 특허침해 가능성 있는 경우 본

			• 과제를 중단하며 회피 가능성 있는 경우 • 이를 반영하여 해당 연구방향으로 전환하고 • 관련 특히 포트폴리오 구축을 강화
의사소통 및 협업의 어려움	총괄연구책임자 주관 성과향상 워크숍에서 연구팀 대상 의견 수렴 및 자문위원회 평가		• 공동연구자에게 즉시 통보하고 의사소통 • 채널 확대 또는 개선, 연구인력 교체 등 • 추진
일정 준수의 어려움	총괄연구책임자 주관 자체 평가 워크샵(자문위원회 참석)을 통해 연구목표 달성 여부 점검		• 1회 발생시 연구개발방향에 대한 컨설팅 • 강화 통한 연구 지원 • 2회째 발생시 연구팀 교체 또는 연구팀 • 보강이나 추가연구비 투입
예산 부족	단계 예산수립 시기마다 교육과학기술부 담당자 통한 의사소통		• 교육과학기술부, 기획재정부 등 예산계획 • 수립 담당부처 대상 홍보 통한 예산 증액 • 추진

■ 사업추진상의 위험요인별 관리방안: 위험요인에 효과적으로 대응하기 위한 위험요인 발생 모니터링 계획 및 발생시 대응계획

○ 성능목표 미달성

- 매년말 진도보고서 및 단계별 성과평가를 통해서 한국연구재단의 본 사업 담당자와 연구단장이 성능목표 달성여부를 정기적으로 점검
- 한국연구재단의 본 사업담당자는 성능목표를 달성하지 못하는 경우, 최초 1회 발생시 연구개발방향에 대한 컨설팅 강화를 통해 해당 연구팀의 연구개발을 지원하고, 2회째 발생시에는 정밀 평가를 통해 연구팀 교체 또는 연구팀 보강이나 추가연구비 투입 의사결정을 하고 이를 시행

○ 기존 기술의 성능한계 극복

- 단계주기(3년) 마다 한국연구재단이 시행하는 본 사업 관련 정책연구를 통해서 기술동향을 분석함으로써 기존 기술의 성능한계 극복 여부를 한국연구재단의 본 사업 담당자와 총괄연구책임자가 정기적으로 점검
- 한국연구재단의 본 사업담당자는 기존 기술이 성능한계를 극복하는 경우에는 이에 대한 기획 연구를 수행하여 성능한계 극복의 추세를 예측
- 성능한계 극복 수준이 본 연구의 목표와 비교하여 미약할 것으로 예상되면 연구를 지속하고, 우수할 것으로 예상되면 본 과제의 중단 후 관련 기술에 대한 연구 추진

○ 경쟁기술 등장

- 연구단이 목표로 하는 소재와 동일한 물성의 소재가 개발된 경우, 단기 기획을 통해 새로운 물성의 소재개발에 도전하는 moving target 전략의 연구단 운영
- 해외 연구그룹의 특허권 선점에 대응하기 위해 지속적으로 주요 경쟁자의 특허포트폴리오를 분석하여 각 연구단의 포트폴리오 전략계획 재수립

- 단계주기(3년) 마다 한국연구재단이 시행하는 본 사업 관련 정책연구를 통해서 기술동향을 분석함으로써 경쟁기술의 등장 정도를 한국연구재단의 본 사업 담당자와 연구단장이 정기적으로 점검
- 한국연구재단의 본 사업담당자는 경쟁기술이 등장하는 경우에는 등장한 경쟁 기술의 원천성과 경제성을 심층적으로 분석
- 이 결과를 바탕으로 본 과제의 중단 여부를 결정하고 경쟁기술 연구로 전환하거나 또는 본 연구와 함께 경쟁기술의 연구를 병렬적으로 추진
- 시장 미성숙
 - 단계주기(3년) 마다 한국연구재단이 시행하는 본 사업 관련 정책연구를 통해서 본 과제가 창출할 수 있는 시장의 성장동향을 한국연구재단의 본 사업 담당자와 총괄 연구책임자가 정기적으로 분석하여 점검
 - 한국연구재단의 본 사업담당자는 본 과제가 창출할 수 있는 시장이 예상보다 늦게 창출될 것으로 분석되는 경우 관련 기획연구를 수행하여 시장 창출시기를 보다 구체적으로 예측
 - 계획 대비 5년 이내의 비교적 단기간에 시장이 창출될 것으로 예측되는 경우에는 본 과제를 중단하고 해당하는 연구를 교육과학기술부의 타 사업으로 전환하여 지속적으로 연구개발을 추진
- 의사소통 및 협업의 어려움
 - 년 2회 연구단장 주관으로 시행되는 성과향상 워크숍에서 연구단장 및 자문위원회가 융합연구 수행과정을 평가하고 연구팀을 대상으로 의견 수렴
 - 의사소통 및 협업의 어려움 발생 시 총괄연구책임자는 연구책임자에게 즉시 통보하여 의사소통 채널 확대 또는 개선, 연구인력 교체 등 추진
- 일정 준수의 어려움
 - 매년 12월 성과평가 정기 워크숍을 개최하여 연구단장 및 자문위원회가 기한 내 연구목표 달성 여부를 정기적으로 점검
 - 연구단장은 일정 미준수 1회 발생 시에 연구개발방향에 대한 자문위원회의 연구개발 컨설팅을 강화하여 연구팀의 연구개발 활동을 지원
 - 2회째 발생 시에는 한국연구재단의 사업 담당자와 자문위원회, 연구단장의 협의를 통해 연구팀 교체 또는 연구팀 보강이나 추가연구비 투입 등을 추진
- 예산 부족
 - 단계주기마다 한국연구재단의 본 사업담당자는 교육과학기술부 담당자와 의사소통을 통해 차 단계 예산의 충분한 확보 여부를 정기적으로 점검
 - 충분한 예산 확보가 어려운 것으로 예상되는 경우 한국연구재단의 본 사업 담당자와 연구단장, 자문위원회는 교육과학기술부, 기획재정부 등 예산계획 수립 담당부처를 대상으로 한 투자의 당위성, 그간의 연구성과, 예산 미확보시 나타날 어려움등에 대한 홍보를 수행하여 예산 증액을 추진

7.2 정책대안에 대한 타당성분석

■ [대안 1] 정부 투자를 하지 않는 대안

- 차세대 반도체 기술개발을 민간기업에 전담시키는 방법으로 기존 R&D 사업수준의 정부투자만 진행하는 방법
- 산업부 미래소자원천기술개발사업의 경우, 단중기 연구를 목표로 했으나, 민간기업의 단기연구선호로 인해 중장기연구 체계 구축이 어려운 상황임
- 선진국의 차세대 반도체 기술 장벽으로 인해, 기존 반도체 소자기업은 물론 장비, 설계 기업등 후방산업까지도 차세대 반도체 산업에서의 경쟁력상실
- 결과적으로 중국의 추격을 허용함으로써, 60조 규모의 반도체 소자 산업은 물론 전,후방산업의 동반 몰락이 예상됨.

■ [대안 2] 기존 R&D 사업 예산을 확대하는 대안

- 유사한 규모의 R&D예산을 교과부와 지경부의 기존 R&D 사업 또는 타 R&D 사업에 투입하는 대안을 생각할 수 있음
- 산발적인 소자연구, 집중화되지 않은 나노인프라 공정, 통합설계기술연구 체계가 갖추어져있지 않는 상황에서는 대규모 투자의 효율성을 담보할 수 없음
- 특히, IMEC, LETI, CNSE 등 대규모 연구소와 안정화된 팹를 기반으로 집중적인 연구를 하고 있는 선진국과의 경쟁시 기술적 대표성을 확보할 수 없어서, 기술리더쉽을 확보할 수 없음
- 선진국주도의 차세대 기술표준화를 따라갈 경우, 대안 1에서 제시한 것과 같이 기술장벽문제를 해결하기 어렵게 도미

7.3 비용효과 분석

■ 비용효과 분석 요약

- 타당성 분석은 실물옵션(Real Option) 프레임워크에 의하여 수행됨. 실물옵션 프레임워크에서는 시장에서의 경쟁구조, 거시적 시장 환경 등 불확실성이 큰 기업의 경영 상황에서 기업의 투자에 관한 의사결정이 유연하게 이루어질 수밖에 없는 상황을 반영할 수 있음.
- 사업의 순 옵션가치는 약 187억 원임. 따라서 본 사업은 타당성이 있음. 향후 5년간 투입되는 사업비와 시범사업비와의 비율을 계산하면 약 8%의 수익률(옵션 프리미엄)을 예상.
- 사업의 순 옵션가치가 187억 원이므로 사업의 총 가치는 향후 5년간 투입되는 투자비의 현재가치인 2232억 원과 187억 원의 합, 즉 2419억 원이 됨. 이를 옵션 프리미엄으로 환산하면 $187/2232$, 약 8%의 수익률이 됨.
- 따라서 본 사업은 반드시 수행되어야 하는 가치 있는 사업임.

■ 비용효과 시뮬레이션

- 본 사업 옵션가치의 확률분포는 다음과 같음. 확률분포를 구하기 위하여 사업이 옵션가치를 총 10^5 회 시뮬레이션을 하였음. 확률분포는 아래 그림과 표를 참고.

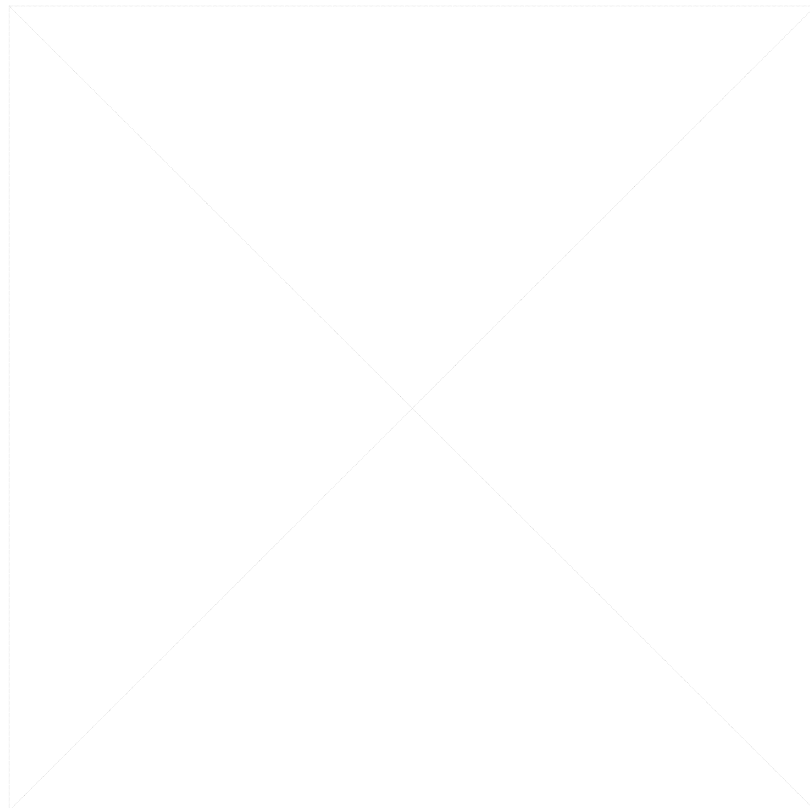


그림 7.2. Option value distribution. Blue and red lines indicate mean and median of the simulated option values respectively. The number of simulation is 10^5 .

	Simulated Project Option Values (105 runs)
min	-2,010.946
max	25,664.25
median	-466.6303
mean	187.8443
std.dev	2040.581
skewness	2.602308
kurtosis	11.63693

- 참고로 중위수(median)는 음수로 약 -466.6억 원인데 이는 기술금융의 전형적인 패턴이기 때문에 우려할 필요가 없음. 벤처캐피탈 등 기술금융이 가장 발달한 미국에서도 벤처의 성공확률은 25%이하임. 이는 중위수익률(median return)이 음수임을 뜻함. 그러나 소수의 성공하는 사업에서 대단히 큰 수익을 창출하므로 전체 사업 포트폴리오의 수익률은 양수가 되는 것임.
- 본 사업에 대한 타당성 조사도 비슷한 패턴을 보임. 사업의 가치는 대단히 오른쪽으로 꼬리가 늘어지는 분포(right-skewed distribution) 형태임(Skewness = 2.6). 즉 이 사업은 여타의 기술벤처의 경우와 같이 잠재력이 크지만 실패하는 경우도 존재할 수 있음을 시사. 그러나 성공할 경우 대단히 큰 가치를 창출하게 될 것임.
- 타당성 분석을 위한 모형은 전력 절감에 관한 목표인 2021년까지 1/10, 2023년까지 1/100, 2027까지 1/1000가 달성된다는 가정 이외에 다른 모든 가정은 대단히 보수적으로 하였음.
- 목표 달성에 관한 위의 가정에 관하여 실패할 가능성도 명시적으로 타당성 모형에서 고려함. 본 사업이 기대했던 만큼의 가치를 창출하지 못할 경우 사업이 청산됨을 가정. 청산 후 가치도 없다고 대단히 보수적으로 가정함.
- 사업이 청산되더라도 논문 게재 등으로 발생하는 과학 성과와 탁월성 성과 등이 발생함. 이와 같은 학술적 성과를 청산비용에 감안할 경우 본 연구의 가치는 바로 그 성과의 현재 가치만큼 상승할 것임. (현재 본 연구진은 타당성 분석을 최대한으로 보수적으로 수행하기 위하여 이러한 학술적 성과는 일단 무시한 것임)
- 사업의 변동성이 커질수록 사업의 가치가 향상됨. 이는 현재 사업이 실물옵션 특성을 가지고 있으므로 당연. 따라서 공격적인 R&D를 장려할 필요가 있음.
- 사업가치가 동일한 확률로 초과 달성되거나 미달할 경우를 가정함. 성과가 -1% 미달하는 경우부터 +1% 초과하는 경우까지 균일분포(uniform distribution)를 따른다고 가정할 경우 본 사업의 옵션가치의 확률 분포는 다음과 같음.

	Simulated Project Option Values (105 runs) under Performance Uncertainty
min	-2,028.790189
max	29,179.851919
median	-444.397426
mean	1,336.940367
std.dev	3,788.249699
skewness	1.806871

kurtosis	5.884371
----------	----------

- 위 표에서 보듯 사업성과의 위험이 있을 경우 본 사업의 옵션가치의 중위수는 조금 증가하고 1,337억 원으로 오히려 크게 증가함.
- 성과 위험의 존재로 사업의 변동성은 당연히 증가. Standard deviation이 2041억 원에서 3788억 원으로 크게 증가함.
- 이러한 성과 위험으로 인한 가치 증가는 대단히 강력하여 설령 사업이 관련 산업에 창출하는 연관효과가 평균 50% 하락하더라도 최초의 187억 원 보다 여전히 높은 933억 원의 옵션가치를 보임. 참고로 연관효과만 50%로 하락하면 사업의 순 가치는 -69억 원으로 순 손실이 발생.
- 위험의 증가로 인하여 이와 같이 성과가 큰 폭으로 증가하는 것은 실물옵션 분석에서 대단히 자연스럽고 잘 알려진 현상임. 본 사업의 가치평가에는 실물옵션 프레임워크를 적용하였는데 그 이유는 사업을 중간에 청산할 수 있는 권리가 모형에 반영하기 위해서임. 사업을 중간에 청산할 수 있다면 위험의 증가는 오히려 사업의 가치를 향상시킬 수 있음. 청산이 일종의 위험관리 전략(risk management strategy)로 볼 수 있기 때문임.
- 위험이 증가한다는 것은 사업의 성과가 더 좋아질 수도 있고 더욱 나빠질 수도 있음을 의미. 그런데 의사결정 시점에서 사업을 청산할 수 있으므로 사업의 성과가 나빠질 것 같으면 더 이상 사업을 추진하지 않으면 됨. 반대로 사업이 좋아질 것 같으면 사업을 진행하면 된다. 결국 사업을 청산할 수 있는 권리는 사업의 성과달성 위험이 증가할수록 증가함. 따라서 본 사업의 가치도 성과달성의 위험이 증가할수록 더욱 증가.
- 이는 대단히 중요한 시사점을 제시. 사업을 관리함에 있어서 지나치게 안정 지향적으로 사업이 진행되지 않도록 해야 함. 사업을 실제로 추진하는 엔지니어 입장에서는 사업이 계속 진행되는 것이 좋음. 그렇다면 위험을 줄이고 사업을 안정적 성과달성에만 관심이 있을 수 있음. 그러나 이 사업을 펀딩하는 정부의 입장에서는 엔지니어들의 이러한 보수적인 태도는 사업의 가치를 오히려 하락 시킬 수 있음.
- 정부 등 사업 관리자들은 엔지니어들이 최대한 공격적인 R&D를 할 수 있도록 장려하되 사업추진을 유연성있게 하고 적절한 시점에서 사업의 목표를 수정 한다던가 극단적으로 사업을 청산할 수 있게 함으로서 사업의 가치를 크게 증가시킬 수 있음.
- 이자율 위험, 배당 위험, 본 사업의 관련 산업에의 연관성에 관한 위험을 모두 분석하였으며 비슷한 결과를 관찰함.
- 반도체, 통신서비스, 하드웨어를 본 프로젝트의 관련 산업으로 정의하고 관련 지수를 사용하여 통계분석을 실시함. 각 관련산업의 FnGuide Symbol은 FI27.62.00 (반도체), FI27.70.00 (통신서비스), FI27.61.00 (하드웨어)임.

8. 연구원 구성 및 전문가 활용현황결과 보고

8.1 참여연구원

성명	소속	직위	기획분야	e-mail
이병훈	GIST	교수	연구책임자	bhl@gist.ac.kr
안진호	한양대학교	교수	공동연구책임자	jhahn@hanyang.ac.kr
장준연	KIST 차세대 반도체 연구소	소장	공동연구책임자	presto@kist.re.kr
함문호	GIST	부교수	간사	mham@gist.ac.kr
전상훈	고려대학교	부교수	간사	jeonsh@korea.ac.kr
김형섭	성균관대학교	교수	공정/장비	hsubkim@skku.edu
조지영	GIST	조교수	투자계획	jjyo@gist.ac.kr
최리노	인하대학교	부교수	시스템집적	Rino.Choi@inha.ac.kr
최창환	한양대학교	부교수	국내외환경분석	cchoi@hanyang.ac.kr
김형준	KIST 차세대 반도체 연구소	박사	운영체계	mbeqd@kist.re.kr
강석형	UNIST	조교수	시스템집적	shkang@unist.ac.kr
제민규	KAIST	부교수	설계	mkje@kaist.ac.kr
장익준	경희대	부교수	설계	ichang@khu.ac.kr
황현상	포항공대	교수	뉴로모픽소자	hwanghs@postech.ac.kr
최우영	서강대학교	교수	초저전압소자	wchoi@sogang.ac.kr
권기원	성균관대학교	교수	자기재구성소자	keewkwon@skku.edu
김경록	UNIST	부교수	다치로직소자	krkim@unist.ac.kr
황현상	포항공대	교수	뉴로모픽소자	hwanghs@postech.ac.kr
이종무	ETRI	박사	광배선	jongmool@etri.re.kr
오정우	연세대학교	부교수	광배선	jungwoo.oh@yonsei.ac.kr
김정우	나노종합기술원	부장	나노인프라	jwkim@nnfc.re.kr
박경호	한국나노기술원	실장	나노인프라	kyungho.park@kanc.re.kr
신훈규	나노융합기술원	실장	나노인프라	shinhk@postech.ac.kr
고기영	한국발명진흥회	박사	기술사업화분석	kyko@hanyang.ac.kr
안기현	반도체연구조합	본부장	정부사업분석	khahn@ksia.or.kr
황현준	GIST	박사	보고서 취합	hhjune@gist.ac.kr

8.2 전문가 활용실적

성명	소속	직위	자문분야	e-mail
조중휘	인천대학교	교수	과제운영구조 및 경영전략	jcho@inu.ac.kr
김지영	U. of Texas at Dallas	교수	해외연구동향보고서 작성	jiyoung.kim@utdallas.edu
유현용	고려대학교	부교수	해외 대형연구사업 운영체계	yuhykr@gmail.com
강형구	한양대학교	교수	경제성평가(타당성 분석)	hyoung.kang@live.com
빈기범	명지대학교	교수	경제성평가	bink1@daum.net

첨부

수정·보완요구사항 반영내역

□ 과제명 : 에너지한계 극복 나노정보소자 개발사업 예타기획 연구

□ 주관연구기관(책임자) : 광주과학기술원(이병훈)

전문기관의 수정·보완요구사항	수정·보완요구사항 반영내용 요약	적용 페이지
○사업의 목표로 제시하고 있는 전력절감 목표 수치의 설정 근거를 논리적으로 제시할 필요가 있음. 즉, 초저전압 시스템(전력절감 1/10), 뉴로모픽 시스템(전력절감 1/100), mW급 프로세서(전력절감 1/1000)로 설정하고 있는데, 목표하는 전력절감을 달성하게 되면 어떤 결과가 나오기에 혹은, 무엇을 목표로 1/10, 1/100, 1/1000라는 수치가 설정되었는가?	- 본 사업은 기존의 CMOS기술을 활용하면서, 신소자기술을 BEOL 부분에 추가하여, 전체 소모전력을 감소하는 방식을 기반으로 하고 있음. - 이에 따라 여러 가지 기술을 조합하여, 1/10, 1/100, 1/1000의 목표를 달성할 수 있기 때문에, 개별소자기술로 달성할 수 있는 최대 목표치를 제시하는 것으로 수치적 근거제시를 대신했음. 각 기술별 소모전력 절감목표는 기술로드맵에 제시되어 있음. 이 논의를 로드맵 설명 부분에 추가했음. - 절감목표가 높을 수로 여러기술이 융합되어야하므로, 기술개발 난이도가 높아지고, 응용분야도 광범위해지므로, 단계적인 시스템개발 및 상용화를 위해, 중간단계에 해당하는 1/10, 1/100 목표를 별도로 설정하고, 이를 추구하는 하부연구프로그램을 별도로 제시한 것임. - 각 목표별로 응용가능한 제품군을 일부 제시했으나, 기획보고서상에 응용분야를 미리 확정하는 것은 무리라고 판단됨. - 이에 대한 설명은 보고서 쪽에 제시되어 있음	p.9
○초저전력 반도체 신소재 부분의 원천기술 확보를 위한, bottom up 방식의 전략에 대한 보완이 필요함	- 본 보고서에는 위의 답변내용과 관련된 최신 기술동향을 분석하고, 활용가능한 소자기술들을 선택, 집중하기위한 개발프로그램을 제시하고 있으며, 현재 알려진 기술중 본 사업의 목적에 부합하는 기술들을 top down 기술로 제시했음. - 그럼에도 불구하고 기술혁신과 창의적 아이디어에 의한 새로운 기술발전 가능성을 수용하기위해 bottom -up 프로그램을 제시하고 있음	

	- 다만, 새로운 소자기술이 정의되고, 검증되고, 실용화되는 데에는 적어도 10-15년이 걸린다는 점을 고려할 때, 현 시점에서 가시화되거나 개념이 제안되지 않은 기술이 시스템 적용가능기술로 새롭게 도입될 가능성은 극히 낮기 때문에, bottom up 프로그램은 현재 제안된 수준이 적절하다고 판단됨 - 기존 기술과 새로운 기술의 발전상황에 따른 연구주제의 신규설정, 과제중단을 플랫폼 PD실의 기능에 추가하여 상술하고, 사업단 차원의 검증 및 평가를 통해 관리하도록 수정	p.201, p.202
○중장기 기술개발 계획이므로 소재/소자/SW/시스템 레벨의 세부 과제별로 동시에 추진하는 것이 타당한지에 대한 검토가 필요함	- 새로운 소자기반의 아키텍처에 기반한 시스템연구이므로 심화된 기초연구가 필요하고, 국내 전문인력이 극히 부족한 상황이기 때문에 전문인력육성 측면을 고려하여, 각 분야별 과제를 조기에 시작하는 전략을 수립한 것임. - 다만, 평가의견에서 제시된 바와 같이 과제집중도 및 중요도 측면에서 차이가 있을 수 있으므로, 세부과제별 예산배분 및 목표설정시 이를 고려하여 지원할 필요가 있음 - 이 부분에 대해 주의할 측면이 있다는 것을 보완된 사업운영방안에 반영하였음.	
○현재 어떤 소자가 미래 반도체 소자로 개발되어 최종적인 상용화에 진입할 것인지를 예측하는 것이 쉽지 않기 때문에, 연구개발 전체 단계에서 산학연 전문가들의 의견을 반영하여 기술개발 방향에 대한 점검이 필요하고, 새롭게 대두되는 기술을 포함하여 연구할 필요가 있음	- 기존 기술과 새로운 기술의 발전상황에 따른 연구주제의 신규설정, 과제중단은 사업단의 다양한 검증 및 평가기능에 충분히 반영되어 있음 (P.198-210 참조)	
○산업체와의 협력을 강화하기 위한 후속 또는 연계 사업을 잘 정의해 둘 필요가 있음	- 본 사업은 2단계부터 산업체의 직접 참여를 통해, 연구 프로그램을 정의하는 컨소시엄 형태로 운영될 것이므로, 컨소시엄 구성과정에서 충분히 논의될 수 있는 사항인 것으로 판단됨	