

반도체분야 미래유망 핵심기술확보를 위한
신규 대형 중장기 R&D 프로그램 기획연구

한국반도체연구조합

한국연구재단

제 출 문

한국연구재단 이사장 귀하

본 보고서를 “반도체분야 미래유망 핵심기술확보를 위한 신규 대형 중장기 R&D 프로그램 기획연구”의 최종보고서로 제출합니다.

2018. 5.

< 목 차 >

제1장 추진배경 및 필요성	1
1.1 개념 및 특성	1
1.2 기술개요	4
1.3 기술개발 필요성	8
제2장 4차 산업혁명시대의 특징 및 주요국 동향	13
2.1 개요 및 특성	13
2.2 주요국 동향	15
제3장 지능형 반도체 기술 개발사업	19
3.1 국내외 기술개발 동향	19
3.2 시장동향	80
3.3 국내외 정책동향	105
3.4 특허분석	112
3.5 국내 역량분석	116
3.6 기존 R&D 분석	123
제4장 개발 목표	128
4.1 개발목표 및 내용	128
4.2 개발 내용	129
4.3 개발 기간 및 소요예산	137
제5장 추진 전략 및 체계	140
5.1 추진 전략	140
5.2 추진 체계	143
5.3 추진 근거	152

제6장 개발기간 및 소요예산	161
제7장 타당성 분석 및 기대효과	162
7.1 정책적 타당성	162
7.2 기술적 타당성	168
7.3 경제적 타당성	171
7.4 기대효과 및 파급효과	182
부록1. 기획위원회 명단	183
부록2. 기술수요 조사표	185
부록3. 기술수요 조사 리스트	309

< 표 차례 >

<표 1> 새로운 미국혁신전략의 주요 내용	15
<표 2> 제 4차 산업혁명에 대한 일본정부의 7가지 대응방침	16
<표 3> 중국의 인공지능 정책 방향	18
<표 4> 주요국의 4차 산업혁명에 대한 대응전략 비교	18
<표 5> 국내 프로세서 관련 기술 개발 실적	24
<표 6> 자율 주행을 위한 NVIDIA의 프로세서 기반 시스템	26
<표 7> 신경세포 모방소자 국내 연구 개발 동향	49
<표 8> 신경세포 모방소자 국외 연구동향	50
<표 9> 국내 음성기반에 지능형 IoT 서비스	56
<표 10> 개방형 플랫폼 관련 협의체 현황 및 기술현황	62
<표 11> 인텔리전트 엣지 단말 운영체제	64
<표 12> 글로벌 기업들의 AI 확보를 위한 플랫폼 사례	65
<표 13> 글로벌 기업들의 기술력 확보를 위한 인수사례	67
<표 14> 국내 팹리스와 파운드리 기업의 관계	68
<표 15> 세계 인공지능 시장	81
<표 16> 지역별 인공지능 시장	81
<표 17> APAC지역 국가별 인공지능 시장	81
<표 18> 세계 Microcomponent 시장 전망	82
<표 19> Microprocessor Embedded 지역별 시장	82
<표 20> 아태지역 Microprocessor Embedded 세계시장 비중	82
<표 21> 세계 뉴로모픽 칩 시장	84
<표 22> 지역별 뉴로모픽 칩 시장	84
<표 23> 아태지역 뉴로모픽 칩 시장	85
<표 24> 한국의 뉴로모픽 칩 세계시장 비중	85
<표 25> 세계 인지 소프트웨어 시장	86
<표 26> 세계 AI-Driven Hardware 시장	86

<표 27> 지역별 AI-Driven CPU 시장	86
<표 28> 아태지역 AI-Driven GPU Chip 세계시장 비중	87
<표 29> 지역별 AI-Driven GPU Chip 시장	87
<표 30> 아태지역 AI-Driven GPU Chip 세계시장 비중	87
<표 31> 세계 3D IC 시장	87
<표 32> 지역별 모노리식 3D IC 시장	88
<표 33> 아태지역 모노리식 3D IC 세계시장 비중	88
<표 34> 기술 분야별 인공지능 관련 매출액 전망	89
<표 35> 낸드 플래시 응용 제품 시장 규모	93
<표 36> 저장 솔루션 시장 규모	93
<표 37> 세계 IoT 반도체 시장 실적 및 전망	94
<표 38> IoT 반도체 연도별 시장 성장률 전망	95
<표 39> IoT 반도체 분야별 마켓 규모	95
<표 40> 프로세서 분야 상세 시장 분석	96
<표 41> 서비스에 따른 프로세서 분야 상세 시장 분석	96
<표 42> IoT 반도체 시장별 규모 전망	98
<표 43> IoT 디바이스의 처리분야 반도체 매출 전망	99
<표 44> IoT 반도체 분야의 산업별 시장전망	100
<표 45> 국내 음성기반에 지능형 IoT 서비스	101
<표 46> IoT 반도체 차량 분야의 시장전망	102
<표 47> IoT 빌딩 오토메이션 분야의 시장전망	102
<표 48> IoT 빌딩 오토메이션 분야의 반도체 시장전망	103
<표 49> Moonshot 요소기술	106
<표 50> 중국 주요 반도체산업 지원정책	107
<표 51> HBP의 연구내용	109
<표 52> HBP의 ICT 플랫폼	109
<표 53> 인공지능기술 R&D 예산 현황	111
<표 54> 시스템반도체 매출 상위 기업	119
<표 55> 글로벌 팹리스 기업과 국내 기업의 ‘16년 인력, 매출, R&D투자 비교	120
<표 56> 인공지능 반도체 SWOT 분석	121

<표 57> 인공지능기술 R&D 예산 현황	123
<표 58> 반도체분야 주요사업 분석	124
<표 59> 전자정보디바이스사업 주요 투자분야	125
<표 60> 시스템반도체상용화기술개발사업 주요 투자분야	125
<표 61> 시스템반도체 분야 주요성과 과제	125
<표 62> 공정장비 분야 주요성과 과제	126
<표 63> 시스템반도체상용화사업 주요성과 과제	126
<표 64> 인공지능 반도체의 기술개발 내용 분류 및 단계별 목표	130
<표 65> 인공지능 반도체 사업 연구비	137
<표 66> 반도체 설계 세부기술	137
<표 67> 반도체 소자·공정 세부기술	138
<표 68> 사업 추진방향	141
<표 69> 인공지능 반도체 사업단의 역할	144
<표 70> 인공지능 반도체 사업단의 주요역할	146
<표 71> 기술이전 체계 개선	151
<표 72> 미래성장동력(산업엔진 포함) 19대 분야	154
<표 73> 미래창조과학부 지능형반도체 2022 전략 핵심기술	158
<표 74> 인공지능 반도체 사업 연구비	161
<표 75> 기존 사업과의 비교	170
<표 76> 지능형반도체 세계시장규모	177
<표 77> 세부추진과제별 시장점유율	178
<표 78> 편익분석 지표 요율 종합	179
<표 79> Cognitive Computing 연도별 편익 분석 결과	180
<표 80> Intelligent Edge 연도별 편익 분석 결과	180
<표 81> 반도체장비/재료 연도별 편익 분석 결과	181
<표 82> 본 사업의 세부추진과제별 B/C 분석 결과	181

< 그림 차례 >

<그림 1> 4차 산업혁명 혁신 서비스와 지능형 반도체 및 소프트웨어	2
<그림 2> 지능형 반도체의 개념과 응용 분야	3
<그림 3> 인공지능 기술개발 역사와 지능형 반도체	4
<그림 4> Alan Turing	4
<그림 5> 인공지능 서비스가 요구하는 성능 및 전력 소모량	5
<그림 6> 하드웨어 기반 인공지능 시스템	6
<그림 7> 지능형 반도체의 현재와 미래 혁신 방향	9
<그림 8> 4차 산업혁명 서비스를 기반으로 하는 지능형 반도체의 기술혁신 및 산업도약	12
<그림 9> 딥 러닝이 적용된 뇌-컴퓨터 인터페이스	21
<그림 10> 딥러닝을 활용한 뇌신호 분석 (출처: 고려대학교 이성환 교수 연구실)	21
<그림 11> ExoBrain 프로젝트 구성도 및 장학퀴즈 대결	23
<그림 12> SW26010	25
<그림 13> ADAS 기능 예	26
<그림 14> 파스칼 SM 아키텍처	27
<그림 15> Google의 TPU	27
<그림 16> Xavier Chip 구조 및 개발 보드	27
<그림 17> Snapdragon 835 Block Diagram	29
<그림 18> 자동차용 Nauto	29
<그림 19> CEVA DNN의 동작 개념	30
<그림 20> Cambricon ISA 및 Pipeline Architecture	30
<그림 21> Cambricon Chip Area & Power Summary	31
<그림 22> Myriad2 칩과 SHAVE VLIW프로세서 구조	31
<그림 23> Myriad 2 Software Stack	32
<그림 24> Neon과 Caffe간의 Computing Time 비교	33
<그림 25> 애플의 A11 바이오닉스 프로세서	33
<그림 26> 화웨이의 Kirin 970	34

<그림 27> 영상기반 객체인식용 인공지능신경망 층수 추세	34
<그림 28> 최근의 인공지능용 하드웨어 시스템의 형태 및 소비 에너지	35
<그림 29> Micron의 오토마타 프로세서	36
<그림 30> Venray의 TOMI (2012–2014)	36
<그림 31> University of Illinois, Urbana–Champaign의 SRAM과 프로세서를 이용한 PIM	37
<그림 32> University of California, Santa Barbara에서 개발한 DNN을 위한 ReRAM 기반의 PIM 구조	37
<그림 33> Toshiba의 SRAM 혹은 ReRAM 기반의 PIM	38
<그림 34> SRAM 타입의 CMOS 시냅스	40
<그림 35> Floating gate 타입의 CMOS 시냅스	40
<그림 36> straintronic spin 뉴런의 형태	42
<그림 37> ONN회로를 사용한 패턴인식	42
<그림 38> CMOL 회로 구현 형태	43
<그림 39> 상변화 메모리 소자를 시냅스로 사용한 패턴인식 시스템	44
<그림 40> CMOS회로와 강유전체 맴리스터를 결합한 구조	44
<그림 41> Hirerachical AER I&F Array 트랜시버	45
<그림 42> Brains in Silicon 그룹의 NeuroGrid	46
<그림 43> IBM의 True North 구성	46
<그림 44> 실시간으로 동작하는 다중 물체 인식 시스템	47
<그림 45> University of Heidelberg의 HICANN 연상장치와 웨이퍼 scale 모듈	47
<그림 46> University of Manchester의 SpiNNaker 연산장치	48
<그림 47> ROLLS 뉴로모픽 프로세서와 물체인식 시스템	48
<그림 48> General Vision, Neuromen	51
<그림 49> Intel – Quark™ SE Micro-controller	51
<그림 50> Qualcomm-NPU	52
<그림 51> Intel-Loihi	52
<그림 52> 인텔의 CNN 전용처리칩인 Arria10과 2세대 Quark Prime	53
<그림 53> 해외 멀티모달 센서 신호처리 연구의 예	54
<그림 54> 해외 멀티모달 System VLSI 연구 결과	54
<그림 55> 멀티모달 정보를 이용한 클라우드 및 네트워크연결 시제품	55
<그림 56> MCU기반에 음성기반의 API와 결합된 음성 인지 플랫폼	56

<그림 57> RISC-V 오픈코어 지원 기업 및 오픈그룹들	57
<그림 58> RISC-V와 패리스	57
<그림 59> PULPion 프로젝트의 개념도	58
<그림 60> Microsemi RISC-V IP 설계/검증용 FPGA 보드	58
<그림 61> 아두이노와 이클립스 환경에서의 RISC-V	58
<그림 62> 삼성 ARTIK 플랫폼	59
<그림 63> OSI 단체에 소속된 오픈소스 멤버	60
<그림 64> 아두이노 재단의 ESLOV 응용 서비스 기술	62
<그림 65> 삼성 개방형 플랫폼 프로젝트 “SAMI”	66
<그림 66> 차세대 자동차를 위한 소형/저전력 Edge 기술	69
<그림 67> 시스템반도체 기본 구성 예시	70
<그림 68> 자동차용 시스템반도체 적용 예시	71
<그림 69> 차량용 반도체에 적용되는 AEC 신뢰성 표준규격	72
<그림 70> 고안전 시스템반도체의 구조(NXP, 차량용 레이더)	72
<그림 71> Renesas의 ‘Smart Analog’의 개요	74
<그림 72> 웨어러블 삽입형 센서의 예	74
<그림 73> 초실감형 UX의 다양한 적용 분야	76
<그림 74> 초실감형 UX용 반도체	77
<그림 75> HMD 타입의 증강현실 장비의 예, 헐로렌즈(좌), 메타2(우)	77
<그림 76> 국내 스마트폰 기반 VR 기기,LG 360 VR(좌), 삼성 기어 VR(우)	79
<그림 77> 한국의 아시아 지역 인공지능 시장 점유율(2014) 및 주요 기술별 시장 전망	80
<그림 78> 인공지능 산업 시장 규모 및 전망	83
<그림 79> 스마트기기 Hypercycle	83
<그림 80> 인공지능 기반 스마트 머신 시장 규모 및 전망	84
<그림 81> DRAM 시장 전망	90
<그림 82> NAND시장 전망	90
<그림 83> 2014 - 2020년 차세대 메모리 시장 전망	90
<그림 84> DRAM 제품군별 용량 점유율	91
<그림 85> 메모리 별 시장 전망	91
<그림 86> 메모리 반도체 공급업체 매출비율	92

<그림 87> (a) DRAM, (b) 낸드플래시 솔루션 별 용량 점유율	92
<그림 88> IoT 반도체 시장 전망(센서 분야 포함)	94
<그림 89> 세계 IoT용 반도체 시장전망	95
<그림 90> IoT 반도체 및 센서 시장 전망	97
<그림 91> 국외 IoT 시장 규모(左), ICT 시장 규모(右)	97
<그림 92> 국내 IoT 시장 규모 전망	98
<그림 93> 사물인터넷 응용 분야별 활용준비정도 및 성장성	99
<그림 94> 시스템반도체 산업구조	100
<그림 95> 모바일 헬스 IoT 현황	104
<그림 96> Brain Initiative 추진체계	108
<그림 97> 일본 인공지능 R&D 추진체계	110
<그림 98> 국가별 특허 출원 추이	112
<그림 99> 기술별 특허 출원 추이	113
<그림 100> 국가별 인공지능 반도체 특허 출원 추이	113
<그림 101> 인공지능 세부기술별 특허 현황	113
<그림 102> 국가별 미래소자 특허 출원 추이	114
<그림 103> 미래소자 기술별 특허 현황	114
<그림 104> 국가별 메모리 솔루션 특허 출원 추이	115
<그림 105> 메모리 솔루션 세부기술별 특허 현황	115
<그림 106> 인공지능 반도체를 활용한 스마트카 핵심 기술에 대한 각 국의 기술별 점수비교	116
<그림 107> Qualcomm Zeroth 데모	117
<그림 108> 지능형반도체 신사업 기술 트리	129
<그림 109> 초고속, 초저전력 반도체 기술 개발 개념	135
<그림 110> 세부사업-세부기술간 기술 및 산출물 간 연계 전략	136
<그림 111> 사업 추진체계	146
<그림 112> 사업수행 흐름도	150
<그림 113> 시스템반도체 및 장비산업 육성전략 개요	152
<그림 114> 제3차 과학기술기본계획 비전 및 목표	153
<그림 115> 제4차 나노기술종합발전계획의 비전 및 목표	155

1. 추진배경 및 필요성

1.1 개념 및 특성

- (지능형 반도체의 개념) 지능형 반도체는 인공지능 시스템을 효율적으로 구현하기 위해 필요한 반도체를 칭함
 - 인공지능 시스템이란 인간의 신경계를 모사하여 기억과 학습이 가능한 인공신경망이 구현된 시스템을 의미함
 - 현재의 인공지능은 인간 뇌의 기능을 소프트웨어로 모사한 인공신경망을 범용 반도체로 구성된 컴퓨터에서 구동하고 있음
- ※ 범용 반도체: CPU, GPU, DRAM 등 일반적 연산을 위해 사용되는 반도체
- 인공신경망 소프트웨어 알고리즘은 대량의 데이터에 대한 단순한 계산이 특징이므로, 연산기수가 적고 데이터 전송속도가 낮으며 전력소모가 많은 범용 반도체로는 인공신경망 알고리즘을 수행하는 것이 비효율적
- 따라서, 인공신경망 소프트웨어 알고리즘을 보다 효율적으로 처리할 수 있도록 대규모 병렬 연산과 저전력 소모가 가능한 소프트웨어 기반 인공신경망 전용 반도체의 개발이 요구됨
- ※ 소프트웨어 기반 인공신경망 전용 반도체: NPU (Neural Processing Unit), TPU (Tensor Processing Unit) 등 대규모 병렬 컴퓨팅과 저전력 연산 등을 특징으로 하는 반도체
- 궁극적으로는 인공신경망을 소프트웨어가 아닌 직접 하드웨어로 구현하는 새로운 패러다임의 하드웨어 기반 인공신경망 전용 반도체 개발이 필요함
 - 이를 위해서는 뇌의 단위 신경세포 기능을 물리적으로 모사하는 신경세포 모방소자의 개발이 선행되어야 함
 - 이러한 반도체는 인공지능 시스템을 초저가격, 빠른 학습시간, 초저전력 소비 등의 특성을 갖게 하고, 이는 인공지능 서비스의 개인화를 가능케 할 것임
- ※ 신경세포 모방소자: 뇌의 생물학적 단위 신경세포인 뉴런과 시냅스의 기능을 물리적/전기적으로 모사하는 반도체 소자
- (4차 산업혁명 시대와 인공지능 기술의 중요성) 제 4차 산업혁명의 핵심기술인 인공지능은 산업, 사회, 경제, 문화 등 다양한 분야에 응용될 것으로 전망
- 제 4차 산업혁명은 인공지능, 로봇공학, 사물인터넷, 무인운송수단, 3차원 인쇄, 나노기술과 같은 6대 분야를 포함하며, 단순한 기술의 발전을 넘어서 현재 전 세계 모든 산업 구조에 변화를 가져와 사회경제적, 지정학적, 인구학적으로 단절되었던 모든 분야에 대한 경계를 허물고 융합적인 트렌드의 플랫폼으로서 영향력을 강화해 나갈 것임
- 특히, 6대 기술 중 가장 핵심인 분야는 인공지능으로 그 중심에는 반도체와 소프트웨어가 있으며, 인공지능 기술의 발전에 따라 제품의 혁신, 생산공정 혁신, 새로운 서비스 창출 등 응용 분야가 폭발적으로 증가할 전망

- 인공지능 기술의 발전은 제조업/서비스업을 막론한 전 산업 분야에 고도화된 인간의 전문적 지식과 판단을 뛰어 넘는 지능화를 촉진하여 사회혁신을 가져올 것으로 예상
- (인공지능 기술의 발전) 현재까지 컴퓨팅은 인간이 만든 알고리즘에 따라 정형적이고 반복적인 일에 한정되어 활용되어 왔지만, 인공지능 기술의 발전과 더불어 인간 고유의 영역이라 여겨졌던 학습, 인식, 추론 등이 가능하게 됨
 - 최근 인공지능 기술의 발전은 학습에 필요한 막대한 데이터의 확보 및 반도체 기술의 발전에 의한 계산능력의 획기적 개선에 힘입음
 - 빅데이터를 활용해 컴퓨터 스스로 패턴을 인식하고 해결방법을 찾아가는 기계학습 방법론들이 도입됨으로 인공지능의 유연성과 적용성이 크게 높아졌고 적용할 수 있는 분야가 확대되고 있음
 - 학습 및 인식, 추론 등이 가능하다는 점에서 질병 진단, 금융 관련 투자 및 신용평가 등 산업 예의 적용뿐만 아니라 문화, 예술 등 인간이 수행할 수 있는 거의 모든 분야의 활동에서 인공지능 기술이 활용 가능할 것으로 예상됨
- (사회혁신 가속 반도체 기술) 지능형 반도체는 사회 서비스의 혁신을 가져올 것으로 전망
 - 4차 산업혁명에서의 서비스 혁신은 교통, 도시, 국방, 흄, 의료, 교육, 금융, 관광, 제조, 에너지, 농축수산 등 사회 전반에서 동시다발적으로 발생하는 지능정보 서비스의 혁신을 지칭



<그림 1> 4차 산업혁명 혁신 서비스와 지능형 반도체 및 소프트웨어

- 서비스의 혁신은 ICT 시스템, 즉, IoT, UHD, 통신, 클라우드, 빅데이터, 보안, SW플랫폼, 디바이스, 콘텐츠 등의 시스템 구현 혁신으로부터 시작되며 모든 시스템과 서비스의 지능화가 시스템 혁신의 핵심 개념이며, 이의 효율적 구현을 위한 반도체와 소프트웨어 기술 개발이 절대적으로 필요
 - 인공지능 시스템은 자동차, 의료기기, 산업기기 등으로 응용 분야를 확장해 갈 것으로 예상되며¹⁾, 자율주행, 드론, VR/AR과 같은 미래 서비스의 대중화를 이루는 근간이 될 것임²⁾
 - 인간의 두뇌를 모방하여 병렬처리가 가능한 컴퓨팅 아키텍처의 필요성이 커지고 있으며, 지능형 반도체의 고성능화·저전력화와 더불어 뇌모방형 프로세서 기술이 경쟁할 것으로 전망됨
- (지능형 반도체의 구현 목표) 지능형 반도체는 센싱, 인지, 사고·추론, 반응, 저장 등의 기능을 반도체로 구현한 것을 말하며, 인간두뇌 수준의 전력소모로 인간두뇌 이상의 우수한 지능을 구현하는 것이 궁극적인 목표
- 상황정보 또는 환경정보를 입력받는 센싱, 입력된 정보에서 사물과 물체를 구별하는 인지, 응용 및 서비스에 최적화된 사고 및 추론, 행동 및 동작을 구현하는 반응 기능을 인간보다 우수한 성능으로 구현하는 것



<그림 2> 지능형 반도체의 개념과 응용 분야

- 지능형 반도체는 인공지능의 개인서비스를 위한 디바이스(모바일 기기, 지능형 스마트폰 등), 자율이동체(자율주행 자동차, 자율이동형 드론, 물품 수송), 서버형 딥러닝 가속기, 지능형 헬스케어(인공지능 의사, 원격 진료, 웨어러블 헬스케어 기기), 군용장비(무인비행체, 탐지형 로봇), 사회 서비스(금융·예측서비스, 범죄 감시) 등 사회, 경제 전 분야에 응용

1) 출처: Semiconductor Engineering, 2016

2) NVIDIA의 Jenson Wang의 연설, 2016

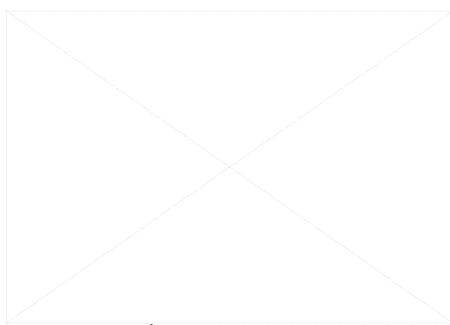
1.2 기술개요

□ 인공지능 기술 개발 개요



<그림 3> 인공지능 기술개발 역사와 지능형 반도체

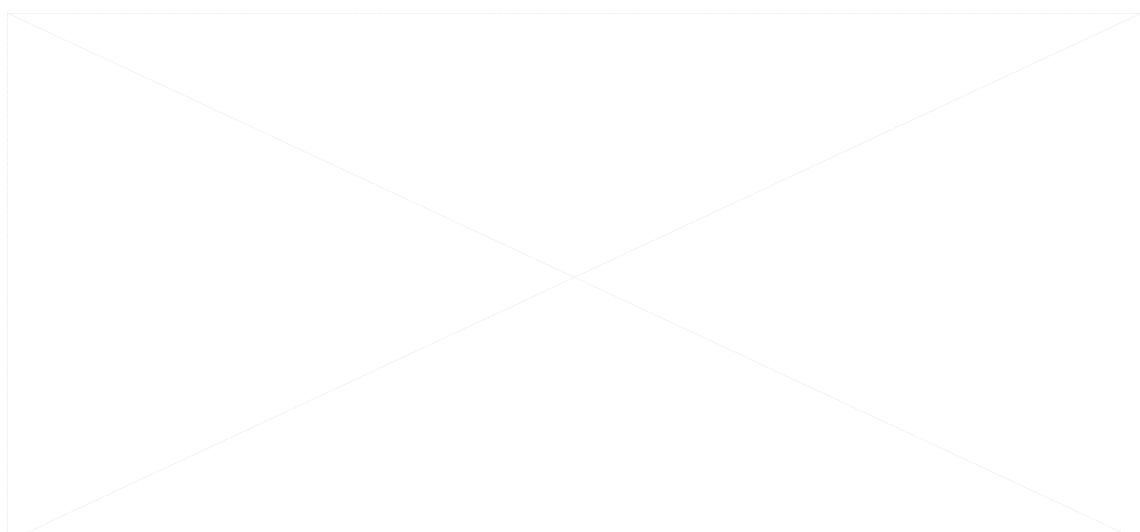
- 인공지능 기술은 영국의 Alan Turing이 1950년대에 튜링 테스트 (이미테이션 게임이라고도 부름)의 개념을 제시한 이후 요구되는 컴퓨팅 성능이 매우 크다는 것을 발견한 이후 장기간의 침체기를 겪어왔음
- 다층신경회로망(MLP; Multi-Layer Perceptron) 개념의 도입, 신경망 회로(Neural Net)의 개념이 도입되면서 인공지능 기술의 응용 분야가 다양화되기 시작하였으며, 반도체 기술의 발전과 더불어 소형 컴퓨터에서도 사용가능한(Available) 컴퓨팅 성능이 급격히 증가하면서 각광을 받게 됨



<그림 4> Alan Turing

- 영상인식 분야의 저명한 학회에서 열리는 영상인식 알고리즘 대회인 ImageNet에서 Alex Krizhevsky와 Hinton 교수가 개발한 "두 개의 GPU에서 구현한 신경망 회로인 AlexNet"이 인식률에서 1등을 거머쥐면서 인공지능의 새로운 도약기 마련

- 기계학습(Machine Learning)은 기계가 일일이 명시하지 않은 동작을 데이터로부터 학습하여 실행할 수 있도록 하는 알고리즘이며 결정 트리 학습, 연관 규칙 학습, 서포트 벡터 머신(SVM, Support Vector Machine), 인공신경망 등의 다양한 학습방법이 존재
- 2011년 이후 수 많은 신경망 회로와 이의 다양한 응용분야가 개발되었으며, 다수의 레이어로 구성된 네트워크 구조로 되어 있어 이를 레이어가 많은 넷에서 학습한다고 하여 딥러닝(DL, Deep Learning)이라고 부르게 됨
- 딥러닝은 기계학습의 한 방법으로서 비선형 변환기법의 조합을 통해 높은 수준의 추상화를 시도하는 알고리즘의 집합으로 인공신경망(ANN, Artificial Neural Network)을 기반으로 설계되며, 신경망의 계층이 2개 이상일 경우 심층신경망(DNN, Deep Neural Network)이라 칭함
 - 합성곱 신경망(CNN, Convolutional Neural Network), 순환 신경망 (RNN, Recurrent Neural Network), 심층 Q-네트워크 (Deep Q-network) 등의 기술이 최근 많은 관심을 받고 다양한 연구 개발이 진행 중
- 그러나 딥러닝 기반의 인공지능은 현재 가장 빠른 모바일 프로세서보다 1,000배 이상의 성능을 요구하며, 이를 구현하기 위하여 현재 제공되는 인공지능 음성비서 서비스의 전력 소모량 역시 수 kW 이상의 전력을 소모



<그림 5> 인공지능 서비스가 요구하는 성능 및 전력 소모량

- (소프트웨어 기반 인공신경망 전용 반도체) 인공신경망 모사 소프트웨어를 보다 효율적으로 처리할 수 있도록 대규모 병렬 컴퓨팅과 저전력 연산이 가능한 인공지능 전용 반도체
- 현재는 인공신경망을 소프트웨어를 통해 구현하고 이를 기존 중앙연산장치(CPU)와 그래픽 처리장치(GPU)와 같은 범용 반도체를 사용한 컴퓨터를 이용하여 연산하는 것이 대세이나 독립적인 처리·기억장치 인터페이스를 가짐으로써 나타나는 병목현상에 의해 큰 전력소모, 저속 동작이라는 한계를 보이기 시작하면서 학습을 효율적으로 진행하기 위한 ‘특수한 목적을 가진 전용 지능형 반도체인 NPU, TPU가 2015년부터 등장
 - 전용 지능형 반도체는 현재 양산되는 메모리를 사용하거나 데이터 전송 대역폭을 넓힌 메모리가 사용되고, 특히 현재 메모리에 연산기를 집적하는 형태가 사용될 것으로 예상됨

- 인공지능 가속 반도체, 초병렬 프로세서를 사용하여 programmability를 최대화하고 다양한 인공지능 알고리즘의 통합적인 병렬 구현이 가능한 기술임
 - 초고성능의 병렬 프로세서 시장 안정화 및 차세대 메모리 기술의 출현에 따른 프로세서와 메모리 통합 거대 병렬 컴퓨팅 시장이 성장하고 있으며, 메모리 내부 및 인근에 연산을 포함한 로직을 추가하여 데이터 처리 대역폭 및 에너지 효율을 획기적으로 향상시키는 기술인 PIM(Processing In Memory)에 대한 연구가 활발히 진행
 - 인공지능 알고리즘 중 최근 각광받고 있는 딥러닝 알고리즘을 구현하는 DNN은 외부 메모리로부터 대량의 시냅스 데이터를 읽어 인지정보 처리를 수행하는 데이터 집약적인 특성을 가지므로 메모리 대역폭을 감소시키기 위한 기술이 매우 중요
- (하드웨어 기반 인공신경망 전용 반도체) 인공신경망을 소프트웨어가 아닌 직접 하드웨어로 구현하는 새로운 패러다임의 반도체
- 소프트웨어 기반의 인공지능 시스템은 뇌의 시냅스와 뉴런의 기능을 수식적으로 정의하고 코딩하여 기존 폰노이만 구조의 컴퓨터를 통해 연산하기 때문에 전용 지능형 반도체를 채용한다 하더라도 궁극적으로는 컴퓨터 가격, 학습시간, 소비전력 면에서 한계를 보일 것임
 - 이러한 한계를 해결하기 위해, 뇌의 시냅스와 뉴런의 기능을 모방한 하드웨어 기반 인공지능 시스템 기술이 부각됨
 - 이는 뉴런과 시냅스의 기능을 수학적 연산이 아니라 신경세포 모방소자의 물리적 특성으로 모사하기 때문에, 잡음이 있고 변화하는 환경에서 빠른 학습시간과 적은 에너지 소모로 높은 효율의 성능을 보여줌



<그림 6> 하드웨어 기반 인공지능 시스템

- 인간의 뇌는 1,000억개의 뉴런과 100조개 이상의 시냅스가 존재함. 따라서 뇌-모방 (Brain-like) 형태인 인공지능 시스템을 구현하기 위해서는 뉴런/시냅스를 고집적도로 구현하는 것이 매우 중요함. 따라서 실제 두뇌의 뉴런/시냅스 용량 수준으로 모사가 가능한 새로운 반도체 소자(신경세포 모방소자)의 개발이 하드웨어 인공지능 시스템 분야에서 필수적임

- 인공지능 하드웨어의 기본 구성요소인 뉴런과 시냅스에 기존의 수학적 연산을 위한 소자와 회로를 벗어나, 스파이킹 인공 신경망(SNN, Spiking Neural Network) 기반의 새로운 개념이 도입되고, 시스템 설계에서도 새로운 아키텍처와 구현 방식에 기반을 두고 있어 컴퓨팅 기술에 패러다임 변화가 일어날 것으로 예상
 - 생물학적 시냅스를 모방하는 소자에 기존 메모리를 창의적으로 변형하여 사용하거나 새로운 형태의 메모리 소자가 필요하고, 뉴런모방 소자/회로와 아키텍처, 그리고 알고리즘이 하나의 시스템으로 융합하는 형태로 발전
 - 현재의 기술은 CMOS 기반의 SRAM, floating gate을 시냅스로 활용하는 신경 세포 모방 회로 기술과 멤리스터, 스핀트로닉스 등의 이미징 소자를 뉴런 또는 시냅스로 사용하는 신경 세포 모방 소자 기술로 구분 할 수 있음
- (지능형 반도체 기술의 최종 목표) 가격, 성능, 전력문제를 동시에 해결하기 위한 반도체 기술을 개발하여 “모든 ICT 기기에 인공지능을 부여하는” 사회로의 발전을 위한 기반적인 기술을 실현하는 것
- 4차 산업혁명에서의 핵심기술은 지능형 반도체와 인공지능 소프트웨어이며, 이는 사회 전반에 걸쳐서 정보기기화 혁명(IDX, Intelligent Digital Transformation)이 발생한다는 것을 의미함
 - 현재의 인공지능 서비스는 빅데이터 서버와 서비스 클라이언트가 상호 연결된 서비스로서, 예를 들어 음성비서 서비스를 한번 사용할 때마다 작은 배터리 한개 만큼의 에너지가 지속적으로 사용되는 상황이 발생
 - 서버-클라이언트 수준의 인공지능 서비스를 넘어서 작은 반도체에 완전한 인공지능을 구현할 수 있는 기술을 개발해야만 진정한 인공지능 기반의 4차 산업혁명에 의한 사회 구현 가능

1.3 기술개발 필요성

- (인공지능 서비스의 대중화) 이를 위해서는 현재의 모바일 AP보다 1,000배 이상의 고성능을 가지면서 전력소모량은 획기적으로 줄이는 기술 개발이 필요
 - 현재의 반도체 기술은 스케일링 한계점에 도달하여 이를 극복하기 위한 기술 혁신이 필요
 - 4차 산업혁명의 대두와 더불어 초고성능 컴퓨팅을 요구하는 서비스가 등장하고 있어서 인공지능을 위한 새로운 컴퓨팅 패러다임의 변화가 필요
 - 빅데이터 처리, 분석을 기반으로 효율적인 판단을 내리는 인공지능 기술에 최적화된 새로운 구조의 컴퓨터 구조의 개발 필요성이 점차 커지고 있음
 - 기존 폰 노이만(von Neumann) 구조 기반 고성능 연산 능력 향상에서 탈피하여 데이터의 저장과 분석을 기반으로 효율적인 판단을 내리는 인공지능 기술에 최적화된 새로운 컴퓨터 구조 개발의 필요성이 증대되고 있음
 - 폰 노이만 구조는 산술연산 장치와 저장 장치가 분리되어 있어, 연산을 담당하는 프로세서의 고성능화에도 불구하고 산술연산 장치와 저장 장치 간의 병목 현상으로 인해, 인공지능과 빅데이터에 사용되는 기하급수적인 데이터의 증가에 제대로 대처하지 못하고 있음
 - 실제 시스템에서 인공 신경망을 수행하기 위해서는 알고리즘의 정확도 손상 없이 계산량을 최소화하는 최적화가 필수적이며, 이는 고성능을 유지하면서 서버의 전력 소비량을 감소시키는 역할을 함
 - 인공신경망 전용 반도체는 신경 구조와 유사한 구조를 가진 하드웨어를 의미하며, 병렬처리를 이용해 ‘학습’ 동작을 수행하여 기존의 구조보다 훨씬 빠른 데이터 처리할 수 있음
- (하드웨어 기반의 인공지능 시스템) 4차 산업혁명 시대의 인공지능 시스템은 현재의 “범용 반도체를 사용한 고성능 빅데이터 서버 인공지능 컴퓨팅”에서 “인공지능 시스템 전용 반도체를 채용한 아키텍처”를 거쳐 “신경세포 모방 소자를 사용한 하드웨어 기반 인공지능 시스템”으로 발전 전망
 - 현재의 지능형 반도체 기술은 도입기에 속하며 인공신경망을 소프트웨어로 구현한 서버 프로세서 기반의 인공지능 서버와 클라이언트로 구현되어 AI 음성비서 등의 상용 서비스를 구현하여 서비스 중
 - 인공지능 기술의 혁신기와 더불어 자율주행차, 인더스트리 4.0(생산체계 혁신), 휴머노이드, 인공지능 개인형 디바이스, AR/VR 등의 서비스를 제공하는 모든 ICT 디바이스에 인공지능 컴퓨팅 환경을 구현하기 위한 인공지능 시스템 전용 반도체 개발이 필요함
 - 국내외 글로벌 기업과 연구소에서 다양한 형태의 인공지능 시스템 아키텍처 개발이 이루어질 것이나, ICT 디바이스 별로 요구하는 다양한 형태의 컴퓨팅 요구 성능에 최적화된 전용 반도체와 소프트웨어가 개발될 것임



<그림 7> 지능형 반도체의 현재와 미래 혁신 방향

- 신사회 지능형 반도체 기술을 주도하기 위한 원천 기술은 지능형 반도체 설계기술, 소자공정 기술 등이며, 4차 산업혁명 대응을 위하여 이를 위한 적극적인 기술 개발이 필요
 - 도약기에는 매니코어 프로세서, 신소자 기술, 신소자 공정 기술 분야에서 핵심 원천기술이 개발되고, 변혁기에는 이를 기반으로 한 병렬 컴퓨팅 AI 프로세서가 서비스됨과 동시에 이를 융합한 뉴메모리 융합 프로세서, 패키징/원자단위공정 기술이 개발되고, 신사회에 이를 기반으로 한 두뇌기능모사 AI 컴퓨터가 본격 서비스 될 예정
 - 뇌와 같이 복잡하고 집적도가 높은 구조의 하드웨어 기반 인공지능 시스템 개발을 위해선 신경동작 메커니즘에 대한 기초연구에 근거한 시냅스/뉴런을 모사한 소자/소재 개발 및 시냅스/뉴런 소자를 적용한 지능형 집적회로에 대한 종합적인 융합연구가 필요함. 뿐만 아니라, 하드웨어 기반 인공지능 시스템은 컴퓨팅 패러다임을 바꿀 수 있는 혁신 기술로서 난이도가 높기 때문에 기업과 정부의 지속적인 투자가 필요
- (인공지능용 하드웨어 플랫폼) 인공지능을 실현하기 위한 하드웨어 플랫폼의 확보가 절대 우선으로 중요하며, 다양한 응용 분야에서 원활한 인공지능 기술 적용을 위해 고성능 저전력 하드웨어 플랫폼의 개발이 필요
- 퀄컴, IBM, NVIDIA, CEVA 등 인공지능 분야의 선두 업체에서는 다양한 플랫폼 기술을 개발

하여 다양한 분야에 활용하기 위한 응용 플랫폼 구축에 집중하고 있는 상황이며, 한국의 반도체 분야 경쟁력을 지속적으로 유지하기 위해서는 최신의 지능형 반도체 기술 개발이 절대적으로 필요한 상황임

- 퀼컴은 “Zeroth”라는 뇌·모방 컴퓨팅 플랫폼을 이용하여 모바일 환경에서 딥러닝을 사용할 수 있게 하여 이를 통해 영상, 음성 인식 응용 프로그램을 개발할 수 있으며, 이는 신경 처리 장치라고 불리는 인공지능 가속기 칩과 이를 사용하기 위한 소프트웨어 플랫폼으로 이루어져 있음
- IBM의 “TrueNorth”는 뇌를 모방한 뉴런과 시냅스에 해당하는 부분으로 구성되어 있기 때문에 70mW 초저전력으로 동작할 수 있으며 모바일 기기나 센서에 임베디드 되어 시각, 청각, 복합감각과 같은 인지 어플리케이션에 사용될 수 있음
- NVIDIA DRIVETM PX2는 자율주행 차량의 생산을 가속화 할 수 있도록 지원하는 개방형 자동차 AI 플랫폼으로, LiDAR³⁾, RADAR, 초음파 센서는 물론 여러 대의 카메라를 통해 데이터를 수신, 병합할 수 있는 융합기술을 통해 자동차 주변의 정적, 동적 물체에 대한 데이터를 만들 수 있음
- CEVA는 저전력 임베디드 시스템에 딥 러닝 기능을 제공하는 DSP 기반 제품을 선보이고 있는데, 임베디드 시스템에서 3D 비전, 컴퓨터 활용 사진 기술, 시각적 인지 및 분석 등의 작업을 수행

□ (반도체 기반 신경세포 모방소자) 인공지능 시스템의 하드웨어적 구현을 위해서는 고에너지 효율 반도체 소자, 차세대 메모리, 재구성 가능 논리 회로, 삼차원 집적 구조, 초병렬 컴퓨팅 구조, 인간 뇌의 시냅스와 뉴런을 반도체 기술로 구현한 신경세포 모방소자 기술 개발이 필요

- 인간의 뇌는 1,000억개의 뉴런과 뉴런 당 100조개 정도의 시냅스가 존재하므로 이를 반도체 기술로 모사하기 위해서는 뇌의 집적도, 에너지 효율, 삼차원 구조, 정보처리 메커니즘을 모방해야 하나, 이러한 요구 조건을 만족하는 반도체 소자가 아직까지 개발되지 않고 있어 기술적 돌파구가 절실한 상황
- 지능형 반도체 기술의 원천기술 및 경쟁력 확보를 위해서는 기존의 소프트웨어 기반의 방법에서 벗어나 하드웨어 기반의 원천 반도체 소자 기술을 확보하고 인간 뇌세포를 모사하는 초병렬 고속연산을 구현하는 신경세포 모방 반도체 기술의 확보가 필수적임
- 미국과 유럽은 2008년부터 SyNAPSE (Systems of Neuromorphic Adaptive Plastic Scalable Electronics), FET (Future and Emerging Technologies of the EU)를 중심으로 두뇌의 구조와 동작을 모방한 지능형 반도체의 원천기술 연구를 진행하고 있음
- 중국도 2014년부터 기업 중심으로 인공지능센터 설립과 미국/유럽의 인재를 스카웃하여 원천기술을 개발하고 있음
- 반면 한국은 일부 대학중심의 소규모 연구가 진행되고 있으나 초기적인 성과에 머무르고 있는 상황이므로 정부와 기업의 지원이 절실한 상황임

□ (3차원 집적화 기술의 적용) 초고성능의 지능형 컴퓨팅과 고도의 데이터 대역폭을 가지는 고속

3) Light detection and ranging

메모리를 병목현상 없이 집적하기 위해서는 고도의 3차원 집적(3D Integration)기술 개발이 필요

- 기존의 반도체 시장 성장의 주된 엔진은 트랜지스터의 소형화 기술, 즉 2차원 scaling 기술의 발전이 핵심으로 작용하였음. 그러나 트랜지스터의 크기가 극단적으로 작아지면서 이들 간의 연결이 전체 성능 향상을 제한하게 되었으며, 이를 극복하기 위하여 3차원 집적 기술이 연구 개발되고 있음
- 3차원 집적화 기술은 3차원 웨이퍼 레벨 패키징, 2.5/3차원 인터포저 기반 집적, 3차원 스택 IC(3D-SIC), 모노리식 3차원 IC, 3차원 이종 집적, 3차원 시스템 집적 등 다양한 기술을 포함하고 있음. 기존에는 상대적으로 큰 사이즈를 갖는 TSV(Through Silicon Via)를 이용하여 다이를 적층하거나 인터포저를 사용하여 다이를 연결하는 등의 방식에서, 점차 통합된 한 번의 공정을 통해 via 수준의 고밀도로 층간 연결이 가능한 모노리식 3차원 집적 기술이 개발되고 있음
 - Xilinx는 2013년 28nm 공정을 사용한 FPGA와, 65nm 공정으로 제작된 실리콘 인터포저, 마이크로 범프 기술에 기반한 3D IC 기술을 사용하여 다이 사이의 대역폭과 단위 전력당 대역폭 모두를 향상시킨 최초의 3D FPGA인 UltraScale을 발표하였음
 - 삼성은 3차원 원통형 CTF(Charge Trap Flash) 셀 기술과 3차원 수직적층 공정 기술을 개발함으로써, 2013년에 세계 최초로 3차원 수직 구조의 NAND 플래시 메모리 양산을 시작하였으며, 이후 메모리 분야에서의 모노리식 3차원 집적 기술을 선도하고 있음. 그러나 컴퓨팅 (로직) 반도체 분야에서는 두각을 드러내지 못하고 있음
 - CEA-Leti는 SOI(Silicon-On-Insulator) 기반의 상부 실리콘막을 선택적으로 전사하여 둘째 층으로 사용하는 기술을 바탕으로 모노리식 3차원 집적 기술을 선도하고 있으며, 2015년에는 하부 층에 텅스텐 배선 이후 SOI 기판을 본딩하고 지지기판을 제거하여 실리콘막을 남긴 후 상부 공정을 계속해서 진행하는 CoolCube™ 기술을 공개하였음
- 3차원 집적화 기술은 공정 자체의 개발뿐만 아니라 열 방출, 설계 방법론 및 소프트웨어 지원, 불량 평가, 표준화 등 다양한 문제들을 해결해야 하며, 이를 위해 메모리 통합/이미지 센서 통합, 이종 반도체 3차원 집적, 확장형 반도체 집적, 모노리식 3차원 집적, 저전력/저발열/열방출 고려 설계 기술 개발이 절실함

□ (신산업을 발판으로 한 국내 반도체 산업의 재도약) 4차 산업혁명의 핵심기술인 지능형 반도체에 집중 투자를 통하여 국내 반도체 산업의 재도약을 도모하며, 핵심기술 개발을 통하여 반도체 전후방 산업의 동반 성장

- 지난 수십 년간 반도체 산업의 발전을 지배해 왔던 '무어의 법칙'은 반도체 제작 공정의 스케일링을 지속적으로 가능하게 해 왔으나, 7nm 수준에서 물리적 한계에 부딪히며 발전이 정체된 상황
- 국내의 경우 메모리 반도체 기술의 발전이 강하게 이루어지면서 국내 반도체 산업 성장의 견인차 역할을 해 왔고, 국내 수출의 상당부분을 차지하고 있지만 현재의 호황이 지속되리라는 보장을 누구도 하지 못하고 있음
- 반면, 4차 산업혁명으로 촉발된 인공지능 기술의 대중화를 위해서는 현재의 모바일 AP보다

1,000배 이상의 고성능을 가지면서 전력소모량은 획기적으로 줄이는 기술 개발이 필요하나, 현재의 CMOS 반도체는 스케일링의 한계점에 다가가고 있어 이를 극복하기 위한 기술 혁신이 필요한 시점

- 국내에서 강점을 가지고 있는 메모리 반도체 기술 역시 지능형 반도체를 위해서는 현재의 메모리 대역폭 보다 100배 이상의 대역폭을 구현한 새로운 형태의 메모리 기술이 필요한 시점에 있음
- 지능형 반도체는 현재의 반도체의 시장 성장 한계를 극복하고, 국내 반도체 산업의 재도약을 위한 신산업을 위한 신기술로서 전반적인 전후방 산업 활성화 기술
- 4차 산업혁명을 필두로 하는 신서비스를 사회 보편적으로 확산하기 위하여 지능형 반도체의 개발을 통하여 모든 디바이스에 인공지능 컴퓨팅 기능을 부여함으로써 사회전반적인 산업혁명
- 지능형 반도체는 지능정보 컴퓨팅의 요구 성능별로 적합한 구조의 반도체 개발이 가능하므로 서비스의 특성, 요구 성능, 전력소모량의 다양성에 따라서 수많은 종류의 지능형 반도체 개발이 가능함
- 지능형 반도체는 아키텍처, 반도체 설계, 반도체 회로, 제조 공정 등 반도체 산업 전 분야에서의 혁신을 이끄는 사업으로서 국내 반도체 산업의 재도약을 도모



<그림 8> 4차 산업혁명 서비스를 기반으로 하는 지능형 반도체의 기술혁신 및 산업도약

2. 4차 산업혁명시대의 특징 및 주요국 분석

2.1 개요 및 특성

- (4차 산업혁명의 개요) 우리 사회는 1,2차 산업혁명을 거쳐 현재 3차 산업혁명시대를 살고 있으며 4차 산업 혁명의 도래를 목전에 두고 있음
 - 18세기 중반 증기기관의 등장으로 비롯된 산업의 기계화가 초래한 1차 산업혁명에 이어, 전기 에너지의 도입에 따른 대량생산 체제 구축과 이에 의한 2차 산업혁명을 경험한 바 있음
 - 현재 우리는 반도체 및 컴퓨터의 발명과 확산을 통한 ICT 산업의 형성과 정보화 사회로 진입하는 등, 우리 사회가 디지털 정보체제로 전환함에 따른 3차 산업혁명의 시대를 살고 있음
 - 디지털 세계의 급격한 확산과 데이터의 대량 생산과 유통은 실제 세계와 가상공간의 경계의 구분을 모호하게 하는 새로운 융합의 세계로 우리를 유도하고 있으며, 2016년 1월 다보스 포럼에서는 이 같은 사회현상을 제 4차 산업혁명의 시작점이 될 것으로 전망한 바 있음
 - 이에 따라 미래학 전문가 및 관련 주요 연구기관들은 제 4차 산업혁명과 미래사회의 전망들을 활발히 논의하기 시작했으며 독일, 미국 등 주요 국가들도 도래할 미래사회를 선도하기 위한 국가차원의 전략과 정책 수립을 추진 중에 있고 우리나라도 정부 및 민간영역에서 다양한 대응방안을 수립 중에 있음
- (4차 산업혁명의 핵심 특징) 4차 산업혁명은 초연결성과 초지능화의 두 가지 핵심 요소의 융합화를 기반으로 ‘모든 것이 상호 연결되면서 동시에 보다 지능화된 사회’를 특징으로 하는 사회로 전환 시킬 것으로 전망
 - 초연결사회로의 진입
 - 사물인터넷 (IoT), 클라우드 등 ICT 산업의 발전은 인간과 인간, 인간과 사물, 사물과 사물의 연결성을 급격하게 확장시키고 있는 등, 이미 우리사회는 초연결사회의 초기단계를 지나고 있음
 - 이에 따라 인터넷과 연결된 사물의 수가 2015년 182억개에서 2020년 약 500억개로 증가하면서 이에 따른 시장규모도 2015년 5조2000억원에서 2020년 16조 5000억원에 이를 전망이며, 2020년까지 인터넷 가입자 30억명, 500억개의 디바이스가 상호 연결되는 초연결 네트워크를 형성 할 것으로 예측
 - 초지능화 사회로 전환
 - 인공지능과 빅데이터의 연계 및 융합으로 기술, 산업구조, 및 사회가 초지능화로 전환
 - 2016년 3월 인간 이세돌과 인공지능 컴퓨터 알파고와의 바둑 대결로 인공지능이 우리 생활 속이 이미 침투하고 있음을 각성하는 계기가 됨
 - ※ 2017년 한국과학기술단체총연합회에서 과학기술인을 대상으로 실시한 ‘4차 산업혁명에 대한 인식조사’에서 응답자 2,350명 가운데 89%가 ‘현재 4차 산업혁명이 진행되고 있다’라고 답변

- IBM 인공지능 컴퓨터인 왓슨의 의료기기 진출 등 산업분야에서는 이미 딥 러닝과 같은 기계학습에 의한 산업기술들이 적용되기 시작
- 이 같은 추세에 맞추어 트랙티카 보고서에 의하면 인공지능 산업시장은 2015년 2억 달러 시장에서 2024년에는 약 111억 달러로 급성장 할 것으로 전망 (Tractica, 2015) 할 뿐 아니라, 인공지능이 탑재된 스마트 머신의 시장규모는 2024년 412억 달러에 이를 것으로 예측 (BCC Research, 2014)

- 보다 신속하고 광범위한 혁명의 전개

- 과거 1~3차 산업혁명의 발아와 전개는 오랜 기간이 소요되었으나, 4차 산업혁명은 이들을 떠받치고 있는 주요 기술 즉, 반도체, ICT, 컴퓨터/SW 등의 핵심 기술들이 클라우드, IoT, 빅데이터, 네트워크, 및 초고속 통신기술과의 결합이 용이하여 이에 따라 보다 신속한 적용과 폭넓은 확산이 전개 될 것으로 기대됨

□ (4차 산업혁명에 의한 미래사회 변화) 4차 산업혁명은 산업구조, 사회, 및 문화 등 생활전반의 근본적인 변혁을 초래 할 것으로 전망

- 기술·산업 구조적 측면

- 초연결성과 초지능화의 실현은 CPS (Cyber Physical System) 기반의 스마트 팩토리 (Smart Factory)의 출현 등 새로운 스마트 비즈니스 모델을 창출할 것으로 기대됨
- 특히 제조업 분야에서는 인간의 노동력을 대체하는 수단이 등장함에 따른 리쇼어링 등 벌써부터 산업 생태계의 변화조짐마저 나타나고 있으며 독일의 경우, 2011년부터 제조업 혁신을 위한 인더스트리 4.0 (Industry 4.) 정책을 수립하여 추진하고 있음
- 이와 함께 사물인터넷 및 클라우드 등 초연결성을 기반한 플랫폼의 발전으로 O2O(Online to Offline) 비즈니스가 등장하는 한편, 공유경제 (Sharing Economy) 및 온디맨드 경제(On Demand Economy)와 같은 새로운 경제형태도 부각하고 있음
- 자동화의 강화로 일자리 감소를 염려하는 전망이 있는 한편, 4차산업혁명과 관련한 인공지능, 3D 프린팅, 빅 데이터, 및 산업로봇 분야에서 약 200만개의 새로운 일자리가 창출되고 그 중 65%가 신생직업이 될 것이라는 전망도 있음(GE, 2016)
- 이에 따라 컴퓨터/IT, STEM(Science, Technology, Engineering, Mathematics) 분야에서의 보다 혁신적이고 다학제적인 창의적 인재양성과 고급 전문 인력 육성 프로그램 개발 또한 요구되고 있음

- 사회 문화적 측면

- 지능정보기술을 기반으로 한 새로운 의사결정 시스템이 도입되면서 개인의 생활, 각종 사회 단체 및 조직의 운영체제 등 사회 문화 전반에 걸쳐 비용감소, 서비스의 고도화, 편의성을 제공함과 함께, 알고리즘 의존적인 체계가 유발할 수 있는 비의도적인 차별성, 편향성, 비윤리성, 편협성 등의 역기능에 대한 사회-윤리적 잇슈가 새롭게 대두 될 것으로 예상
- 빅데이터, 클라우드 등 초연결시대의 도래로 온-오프라인 간의 ‘더 많은 연결’과 ‘더 빠른 연결’은 더욱 가속화 될 것이며 인공지능과 로보틱스, IoT의 융합 등 사물간의 정보통신은 사람의 개입 없이도 작업의 신속하고 효율적 업무수행을 가능케 할 것임.

- 이 같은 다종, 다양한 융합 네트워크의 발전은 사이버공간에 국한되었던 기존의 위협들이 인간이나 사물 등 현실공간으로 전이가 될 위험성이 더욱 높아질 것으로 전망됨에 따라 기존의 정보보호의 패러다임에 근본적인 변혁이 요구됨
- 스스로 판단하고 의사결정을 내리는 인공지능의 적용확산은 필연적으로 인간사회와의 공존을 위한 새로운 규범 (윤리 및 법)을 요청하고 있으며 유럽연합의 경우, 이에 따른 법제화 움직임이 활발히 전개되고 있음

2.2 주요국 동향

□ 미국

- IBM의Watson, GE의 사물인터넷, Google의 인공지능기반 서비스, Tesla의 무인자동차 등 미국의 글로벌 기업은 4차 산업혁명시대의 주도권을 확보하기 위한 기술력 확보에 주력하고 있음
- 미국정부 또한 대표적으로 ‘새로운 미국혁신전략 (New Strategy for American Innovation)’을 기반으로 뇌 이니시어티브 전략, 스마트시티 전략, 첨단자동차 전략, 고성능컴퓨팅 지원전략 등 4차 산업혁명을 선도하고 첨단산업을 성장시키기 위한 국가 차원의 정책을 수립하여 시행하고 있음

<표 1> 새로운 미국혁신전략의 주요 내용

주요 전략분야	주요 전략 내용
첨단 제조업 (Advanced Manufacturing)	기업과 국민들에게 보다 많은 경제적 편익을 가져다 줄 수 있는 첨단 제조업 육성
정밀의학 (Precision Medicine)	환자 개인별 체질, 건강 상태, 질병 이력에 초점을 맞춘 효과적 치료 수단 개발
두뇌이니셔티브 (BRAIN Initiative)	인간의 뇌활동 연구를 통해 각종 뇌신경 질환을 효과적으로 진단, 치료함으로써 사회 경제적 부담 해소
스마트시티 (Smart Cities)	주요 지역 및 도시 간 협력 체제를 통한 스마트시티 구축으로 공동의 도시 문제 해결
첨단자동차 (Advanced Vehicles)	센싱, 컴퓨팅, 데이터 과학 분야의 획기적 발전으로 차량 간통신과 자율 주행이 가능해짐으로써, 운전자의 실수로 발생하는 차량사고의 90% 이상을 줄일 것으로 기대
고성능컴퓨팅 (New Frontiers in Computing)	미 정부는 '15년 7월 '국가전략컴퓨팅이니셔티브(NSCI)'를 발표, 고성능컴퓨팅을 활용한 공공 서비스 개선, 경제 성장 기여, 새로운 과학적 발견 기대

출처: NIA(2015)

- 브레인 이니셔티브 정책
 - 과학기술정책국 (OSTP) 법부처 차원의 브리엔 이니셔티브 정책을 수립하고 10년간 총 30 억 달러의 투자를 진행
 - 인간의 뇌지도 작성과 의식, 지각, 행동 등 외 활동의 전 분야에 걸쳐 진행되고 있는데, 이 중에서 기초연구가 80%, 뉴로모픽 칩 (IBM), 뇌 스캔 이미지 분석 (Inscopix), 뇌 시뮬레이션 (Google) 등이 20%비중을 차지

- OSTP에는 DARPA(국방고등연구계획국), FDA(식품의약국), NSF(국립과학재단), NIH(국립보건원)등이 참여하고 있음

□ 일본

- 장기침체를 극복하고 새로운 성장동력을 발굴하기 위한 일환으로 수립한 '일본재통전략 2016'에서는 4차 산업혁명을 핵심성장 전략으로 설정하고 정부주도의 정책으로 진행
- 일본 정부의 입장은 사물인터넷, 빅데이터, 인공지능, 로봇 등 미래 기술력을 확보하고 이를 바탕으로 최첨단 경제·사회로 전환하겠다는 전략임

<표 2> 제 4차 산업혁명에 대한 일본정부의 7가지 대응방침

대응전략		세부내용
1	데이터 이용·활용·촉진을 위한 환경 정비	<ul style="list-style-type: none"> • 데이터 플랫폼의 구축, 데이터 유통시장의 창출 • 개인 데이터의 이용·활용·촉진 • 보안기술이나 인재를 키워내는 생태계의 구조 • 제4차 산업혁명의 지적재산 정책의 방향
2	인재육성·인재획득·고용시스템의 유연성 향상	<ul style="list-style-type: none"> • 새로운 요구에 대응한 교육시스템의 구축 • 글로벌 인재의 획득 • 노동시장 및 고용제도의 유연성 향상
3	이노베이션·기술개발의 가속화(『Society 5.0』)	<ul style="list-style-type: none"> • 오픈 이노베이션 시스템의 구축 • 세계를 주도하는 이노베이션 거점의 정비 • 국가사회 실증의 가속 (인공지능 등) • 지적재산관리이나 국제표준화의 전략적 추진
4	금융조달(파이낸스) 기능의 강화	<ul style="list-style-type: none"> • 리스크 매니지먼트 공급을 위한 에퀴티 파이낸스의 강화 • 제4차 산업혁명을 향한 무형자산투자의 활성화 • 펀테크를 중심으로 하는 금융/결재 기능의 고도화
5	산업구조·취업망 전환의 원활화	<ul style="list-style-type: none"> • 신속·과단정 있는 의사결정을 가능케 하는 거버넌스 체제 구축 • 신속하고 유연한 사업재생 • 사업재생을 가능케 하는 제도 환경 정비
6	제4차 산업혁명의 중소기업, 지역경제에 파급	<ul style="list-style-type: none"> • 중소기업과 지역에 사물인터넷 등의 도입·이용·활용 기반구축
7	제4차 산업혁명을 향한 경제사회 시스템의 고도화	<ul style="list-style-type: none"> • 제4차 산업혁명에 대응한 규제 개혁의 모습 • 데이터를 활용한 행정 서비스의 향상 • 전략적인 제휴 등을 통한 글로벌 전개의 강화 • 제4차 혁명의 사회 확산

출처: 한국표준협회(2016.11.)

- 일본 정부는 인공지능 기술 및 산업화 분야의 선도적 역할을 위해 'AI 기술 전략회의'를 신설하고 제조, 물류, 의료 등 산업 전 분야에 AI를 전면적으로 적용하기 위한 로드맵을 2016년 11월 발표
- 특히 자국의 기술위위 분야인 로봇산업의 지속적인 경쟁력 유지를 위해 2015년 1월에 발표한 '로봇 신전략'에서는 인공지능을 접목하여 세계 최고수준의 로봇 활용력과 대중화를 지속적으로 선도 해 나가겠다는 전략

□ 독일

- 자국의 제조업 경쟁력 구축을 목표로 스마트 제조시스템 구현을 위한 ‘인더스트리 4.0’ 전략을 수립
- 스마트공장의 목표는 빅 데이터, AR, 3D 프린팅, 클라우드, 사이버보안, IoT, 시스템통합, 시뮬레이션, 로봇 등 지능형 첨단기술을 통해 제조업의 글로벌 경쟁력을 확보하는 것으로 독일의 SAP, 지멘스, 보쉬 등 글로벌 제조업체들이 참여
- 초기 독일 내 기업 중심으로 전략을 추진하였으나 2015년부터는 정부와 학계가 참여하는 플랫폼 4.0으로 전환하여 민-관 공동 대응방식으로 확대함으로써 실질적으로 정부의 적극적 개입과 주도 방식으로 전환
- 프라운호프연구소를 중심으로 연간 21억 유로의 예산을 투입하여 민간 및 공공분야의 위탁연구를 수행중이며 주요 연구분야로는 보건·환경, 보안·보호, 이동성·교통, 서비스의 생산·공급, 정보통신, 에너지·자원 등 6개 분야임
- 2016년 4월에 발표한 ‘디지털 전략 2025’는 디지털 경제로의 전환을 위한 망 고도화, 창업 활성화, 혁신제도, 스마트 네트워크, 정보보안, 중소기업 사업모델, 인더스트리 4.0, 혁신적 기술개발, 디지털 교육, 디지털 청 등 10대 추진과제로 추진

□ 중국

- 4차 산업혁명의 혁신기술개발을 과감히 추진함으로써 세계의 생산공장이라는 양적 성장 차원을 벗어나 질적 성장의 결정적 계기로 삼음
- 2015년 5월 중국 정부는 13차 5개년 계획 (2016~2020년)의 일환으로 ‘중국 제조 2025’를 발표하였으며 주요 내용으로는 모든 제조업 분야에서의 혁신역량 제고, 품질제고, IT·제조업과의 융합, 친환경 등 4개 과제를 제시
- 상기의 목표를 실현하기 위한 10대 중점 육성 산업으로 ICT, 로봇, 교통, 소재, 의료분야 등이 포함됨
- 또한 같은 해 모바일 인터넷, 클라우드 컴퓨팅, 빅데이터, IoT 등의 기술과 제조업의 결합, 전자상거래, 핀테크, 산업 인터넷 산업을 활성화를 위한 ‘인터넷플러스’ 정책을 발표
- 특히 2015년 3월 발표한 ‘차이나브레인’에서는 인간과 기기간의 상호작용, 드론, 무인자동차 등 미래 혁신기술 및 서비스를 포함한 산업 전반에 인공지능을 적용할 계획을 제시함

<표 3> 중국의 인공지능 정책 방향

구분	정책 방향
인공지능 신규산업 양성	<ul style="list-style-type: none"> 음성, 동영상, 지도 등의 라이브러리 구축, 인공지능의 기초 자원과 공공 서비스 등 창의적 플랫폼 건설 주요 인공지능 기술의 연구와 산업화를 추진 인공지능의 스마트 상품, 공업제조 등 영역에서의 상업화를 추진
주요 산업의 스마트화 추진	<ul style="list-style-type: none"> 가전기업의 연구개발을 통해 스마트기기로 나아가고 서비스 능력을 제고 자동차기업과 IT기업의 합작시스템을 구축하여, 스마트운전, 환경감지능력, 스마트설비 탑재 등 기술상품의 연구 개발과 응용을 가속화
단말 상품의 스마트화 제고	<ul style="list-style-type: none"> 이동단말 핵심기술의 연구개발 및 산업화 능력을 제고 스마트 기술의 로봇 영역에서의 응용을 추진하여 로봇상품의 감지, 통제 등 분야에서의 성능과 스마트 수준을 제고

출처: 한국지식재산연구원(2016.3.)

□ 주요국 대응전략 요약

<표 4> 주요국의 4차 산업혁명에 대한 대응전략 비교

구분	미국	독일	일본	중국
민간과 정부역할	<ul style="list-style-type: none"> 민간주도 정부지원 	<ul style="list-style-type: none"> 선 민간주도 후 민관공동대응 	<ul style="list-style-type: none"> 민관 공동 주도 	<ul style="list-style-type: none"> 정부주도 민간실행
거버넌스	<ul style="list-style-type: none"> 민간컨소시움 민관컨소시엄 	<ul style="list-style-type: none"> 선 인더스터리 4.0 후 플랫폼 4.0 	<ul style="list-style-type: none"> 제 4차 산업혁명 관민회의 (정부/기업/학계) 	<ul style="list-style-type: none"> 정부 (국무원, 공업신식화부)
핵심전략	<ul style="list-style-type: none"> 신미국혁신전략 AMP 2.0 	<ul style="list-style-type: none"> 인더스트리 4.0 	<ul style="list-style-type: none"> 제 4차 산업혁명 선도회의 	<ul style="list-style-type: none"> 중국제조 2025 인터넷플러스
특징	<ul style="list-style-type: none"> 기술/자금보유 글로벌기업 주도 제조업 중심 	<ul style="list-style-type: none"> 제조업과 ICT 융합 국제표준화 주도 프로운호프연구소 		<ul style="list-style-type: none"> 제조업경쟁력 제고 내수시장 중심

출처: 정보통신정책연구원(2017.5.)

3. 지능형 반도체 기술개발사업

3.1 국내외 기술개발 동향

가. 소프트웨어 기반 인공신경망 전용 반도체 동향

- (인공지능 SW프레임워크) DNN 구현을 위한 다양한 SW 프레임워크가 개발되어 배포되고 있으며, Caffe, TensorFlow, Torch, Theano 등이 있음
 - Caffe : 가장 널리 사용되는 프레임워크로 페이스북에서는 모바일기기향으로 Caffe2Go와 같은 특화 버전을 개발하고 있음
 - TensorFlow : 구글이 개발한 프레임워크로 Caffe 대비, 안정성 그리고 RNN⁴⁾을 지원하고 있으며, 구글에서 개발한 최신 뉴럴 네트워크(예, GoogLeNet v4)를 재사용하기 위해서 주로 사용됨
 - 스마트폰 등 모바일 시스템 상의 뉴럴 네트워크 설계에 사용하기 위해 TensorFlow mobile 개발이 진행되고 있으며, 메모리 및 자원의 한계를 고려하여 8bit 데이터에 기반한 뉴럴 네트워크를 지원
 - Torch : Lua 언어를 기반으로 한 머신 러닝용 프레임워크로 텐서에 대한 다양한 연산과 뉴럴 네트워크에서 사용하는 여러 연산들을 지원하며 NVIDIA에서 추가적인 확장 모듈을 개발하여 GPU 가속 지원하며 페이스북, IBM 등에서 지원
 - Theano : Python 언어의 라이브러리 형태로 제공되는 머신 러닝 프레임워크로, 수식 및 행렬 연산을 도와주는 기능들을 다수 지원하여 기존 머신러닝 알고리즘 구현에 활발하게 사용
 - Symbolic differentiation을 지원하여 텐서에 대한 수식을 기술하면 그에 대한 머신 코드를 자동으로 생성해냄
 - NVIDIA® DIGITS : Caffe, Theano, Torch 등의 다양한 딥러닝 프레임워크를 보조해주는 도구로 웹 기반의 인터페이스를 구현하여 브라우저를 통해 뉴럴 네트워크의 구현 및 시각화를 편리하게 수행할 수 있음
- 뉴럴 네트워크 최적화를 위한 다양한 알고리즘 개발이 활발히 진행되고 있음
 - 알고리즘 최적화 기술인 모델 압축(model compression)은 행렬 근사에 기반한 저차원 근사 기법(low rank approximation)과 크기가 작은 데이터에 대한 연산을 하지 않는 제거 기법(pruning)으로 분류되며 다양한 연구가 진행 중임
 - 페이스북과 뉴욕대에서는 2014년 truncated SVD⁵⁾ 방법을 적용하여 정확도는 유지하면서 fully connected layer의 모델 크기를 크게 줄일 수 있다고 발표한 이후 저차원 근사 기법에 대한 활발한 연구가 진행 중
 - 최근 마이크로소프트에서는 저차원 근사 기법으로 $D \times D$ 행렬연산을 $D \times 1$, $1 \times D$, 1×1 으로 분

4) Recurrent Neural Network

5) Singular Value Decomposition

리하여 계산량을 줄이는 기술을 제안함

- 제거 기법은 뉴럴 네트워크 연구 초기부터 제안된 방법이나 2016년 스탠포드대에서 처음으로 대규모 뉴럴 네트워크에 적용 가능한 방법을 제안한 후, NVIDIA, Baidu 등에서 실적용 준비 중
- 양자화 기술은 CPU, GPU를 위한 양자화와 하드웨어 가속기를 위한 양자화로 분류되며, 최근 개발되는 CPU, GPU에서 지원하는 8bit 단위 연산을 활용하기 위한 정수형 행렬 연산을 서버 향 CUDA 라이브러리 뿐 아니라 TensorFlow Mobile 등 모바일 향 NN 프레임워크에서도 지원하기 시작
- 하드웨어 가속기는 8bit 미만의 저정확도 연산(low precision arithmetic)을 지원하는 장점이 있으며, 이러한 저정확도 연산을 갖는 뉴럴 네트워크 최적화 방법에 대한 연구가 외국 기업과 대학 연구소에서 활발히 진행되고 있음
- Allen Institute for AI와 뉴욕대에서는 XNOR-Net을 제안하였는데, AlexNet의 경우 binary (1bit) weight를 사용할 경우에도 정확도가 그대로 유지되는 결과를 발표함 (2016.08)
- 중국의 딥러닝 기술 기업인 Face++에서는 1bit weight, 2bit activation으로도 AlexNet 정확도 저하가 10% 이내로 적다고 발표함 (2016)

□ 국내에서는 삼성전자가 기존의 Caffe를 기반으로 설계된 뉴럴 네트워크를 저차원 근사 방법으로 최적화하고 스마트폰 등 모바일 디바이스 상에서 수행할 수 있는 OpenCL 코드를 생성하는 환경인 S-DNN을 개발하였으며, 알고리즘 최적화 연구는 다양한 기업, 학교에서 활발하게 진행 중

- 인텔 물체판별 알고리즘으로 PVANET을 제안하였는데, 이는 기존 최고 알고리즘인 ResNet 기반 Faster R-CNN 대비 1% 정도의 정확도 손실로 40 배의 계산량 감소가 가능하다고 보고 함 (2016.12)
- 삼성전자에서는 저차원근사 방법으로 Tucker 방법을 적용하여 AlexNet의 경우 Galaxy S6 상의 실측 결과로 3배 이상 에너지를 감소시킴 (2016.05)
- 고려대학교 등에서는 뇌-컴퓨터 인터페이스 (BCI, Brain-Computer Interface) 기술과 접목하여 뇌 신호를 이용한 다양한 응용에 적용하는 연구를 진행 중
 - 고려대학교에서는 뇌-컴퓨터 인터페이스 연구에 인공지능 기술을 적용하여 사용자의 의도를 더 정확하게 인지할 수 있도록 temporal, spectral, spatial 정보를 해석하는 데에 딥러닝 을 적용한 연구결과를 발표



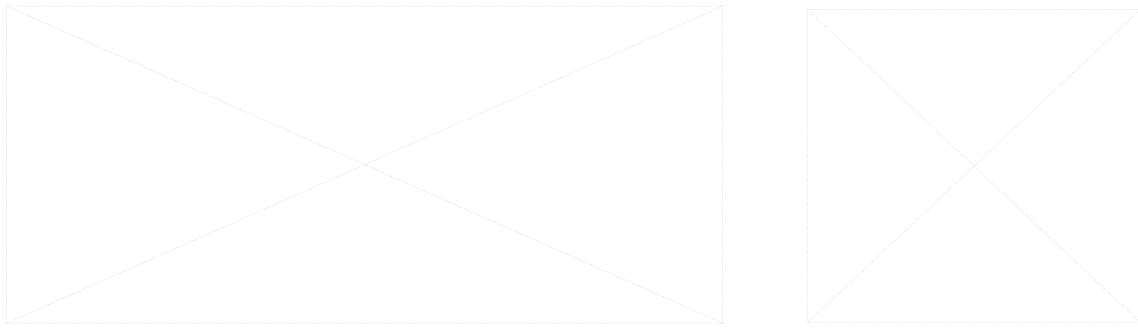
<그림 9> 딥 러닝이 적용된 뇌-컴퓨터 인터페이스
(출처: 고려대학교 이성환 교수 연구실)



<그림 10> 딥러닝을 활용한 뇌신호 분석
(출처: 고려대학교 이성환 교수 연구실)

- 보행 환경에서 딥 뉴럴 아키텍처를 기반으로 사용자의 의도를 정확하게 인지하는 실시간 BCI 시스템을 개발한 바 있으며 일반적으로 BCI의 정확한 인지 성능을 위해서는 사용자에 따른 calibration 과정 또는 pre-training 과정이 필요한데, 이와 관련하여 Bayesian framework를 기반으로 calibration 과정을 줄인 zero-training BCI도 함께 연구된 바 있음
 - BCI 뿐만 아니라, 구체적으로 뇌 신호 분석에 딥러닝을 적용한 연구결과들도 발표되었는데 이는 뇌파 측정에 있어서 다양한 잡음에도 불구하고 뇌파의 패턴을 확인하는 데 CNN 아키텍처를 적용했음
 - 또한 뇌 관련 질병의 진단과 뇌 신경망 분석을 위해 기존 방식에서 더 나아가서 머신 러닝을 적용한 연구 결과를 발표한 바 있고, 뇌에서 발생한 신호뿐만 아니라 EMG (electromyogram) 신호를 기반으로 사용자의 의도를 분석하여 인공 팔을 움직이는 데에 딥러닝 아키텍처를 적용하여 연구 결과를 발표한 바 있음
 - 서울대에서는 fixed point 양자화 기술을 개발하여 RNN에 적용하였으며(2015), 딥러닝을 위한 메모리 중심 칩 아키텍처를 연구 (2017.2)
 - 기존의 아키텍처에서 심화학습 실행의 효율성을 높이는 연구를 진행 중에 있으며, 향후 심화학습을 목표로 하는 새로운 칩 아키텍처를 개발할 계획
 - 기존 아키텍처의 메모리 액세스에 많은 에너지를 소비하는 것을 개선하고 최대한 성능을 유지할 수 있는 효율적으로 작동할 수 있게 하는 것임
- 지능정보 처리 기술의 다양한 서비스 적용을 위해서는 방대한 연산 자원을 요구하는 이론적 인공지능 알고리즘 연구와 더불어 반도체에 적합한 실용적 알고리즘 개발이 필요함
- 네이버에서는 음성에 대한 인식 및 처리를 위해 딥러닝 기술 활용을 통한 상업적인 서비스를 시작 하였으며, 딥러닝(Deep learning) 기술의 개발과 대용량 음성 데이터베이스의 활용을 통해 음성인식 기술이 사람의 인식 능력을 능가하는 수준까지 도달
 - 현재의 인공지능 알고리즘 연구는 빅데이터를 기반으로 각 응용 분야별 학습을 통한 음성, 영상, 패턴 등을 각각 인식하고 분석하는 방식에서 음성, 영상, 신호를 동시에 함께 학습하는 멀티 모달리티 방식으로 진화하고 있는 추세임
 - ETRI에서는 국내 인공지능 알고리즘의 대표적 연구로는 엑소브레인 프로젝트이며 전문가 수준의 지식 소통이 가능한 인공 지능 시스템을 개발하여 장학퀴즈에서 사람과의 대결에서 우승을 차지(2016. 11.)
 - 엑소브레인 프로젝트는 기계와 인간의 의사소통을 뛰어넘어 전문 직종의 전문가 수준의 지식 소통이 가능한 인공두뇌 SW 기술 개발이 목표

※ ETRI, 솔트룩스, KAIST 등 27개 기관이 참여하여 2023년까지 수행



<그림 11> ExoBrain 프로젝트 구성도 및 장학퀴즈 대결

- 또한 ETRI에서는 대규모 이미지 및 동영상 분석을 통해 상황을 이해하고 위험 예측을 실시간으로 수행하는 대규모 시각 빅데이터 분석 및 예측 인공지능 알고리즘 개발 진행
 - 딥러닝 프로젝트는 사진과 동영상을 통해 의미와 상황을 이해하고 예측하는 사람수준의 시각 지능 알고리즘 개발이 목표

※ ETRI, 포항공대 등 29개 기관이 참여하여 2024년까지 수행 예정

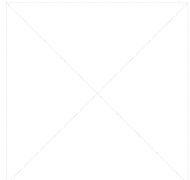
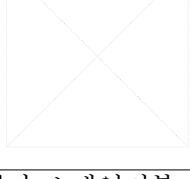
- 서울대에서는 뇌 정보처리 과정을 모델링 하여 기계 학습 기반으로 사용자 의도 예측 기술을 연구하고 이를 발전시켜 스토리 창작과 같은 고차원적 인공지능 기술을 연구 개발
- 포항공대는 “평생 기계학습 연구센터”를 설립하여 4년간 (2014~2018) 기계학습 플랫폼 개발하고, 기계학습 연구센터의 주요한 목표는 국내 머신러닝 연구 생태계를 만들고 일반 사용자도 쉽게 사용할 수 있는 머신러닝 공개SW를 개발함
- 대량의 데이터를 활용한 다수 사용자의 인공지능 학습 연구를 가속하기 위한 FPGA 기반의 서버용 모듈 기술 개발을 진행 중
- 뇌과학 분야와 ICT 기술의 융합을 통해 새로운 인공지능 모델을 만들고 이에 대한 학습 및 활용에 대한 알고리즘과 하드웨어 가능성 연구 분야 추진
- KAIST에서는 HTM* 모델을 이용한 새로운 지능정보 처리 기술의 구현을 위해 인공신경망 칩을 설계하여 발표

※ 김덕환, 송지훈, 신영수, “Hierarchical Temporal Memory 방식을 이용한 뇌 인지 기능 모사 하드웨어 구현,” 제19회 한국반도체학술대회

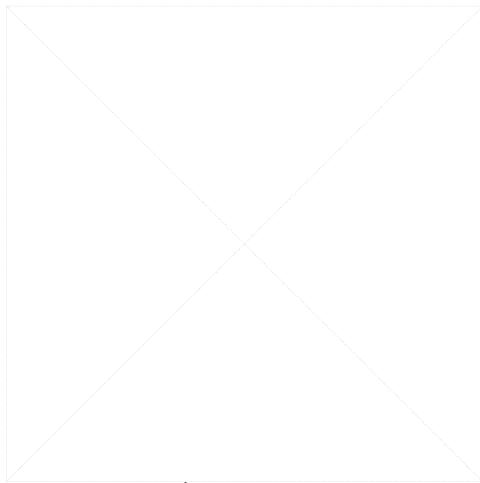
- 한동대에서는 기계 학습 기반의 딥러닝을 이용한 문자 인식 기술을 통해 기존 고전적 기술 대비 획기적인 성능 개선 결과를 발표
- 의료 데이터베이스 기반의 CNN 신경망 학습 기술을 개발하여 의료 영상 기반의 질병 진단 보조 기술을 개발 ('루닛', 백성욱)

□ (국내 인공지능 반도체 병렬프로세서 기술의 동향) 프로세서 코어 설계 기술, 컴파일러, 지능정보처리 SW 기술 등의 핵심기술은 갖추고 있는 반면, 매니코어 프로세서 핵심기술은 부족

<표 5> 국내 프로세서 관련 기술 개발 실적

매니코어핵심기술	대표 성과	세부내용
시각지능 인지프로세서 ('16~'19) 	사람수준의 인지 능력을 밀리와트급의 에너지로 실현하는 반도체 개발	<ul style="list-style-type: none"> 0 100종 이상의 범용객체를 사람의 지능 수준으로 인지하고 mW급의 에너지를 통해 모바일 장치에서 활용 가능한 시각지능 전용 칩을 실현
멀티코어프로세서 (Aldebaran, AB) ('07~'16) 	프로세서 기술 차립 및 고성능 멀티코어 기술 자체확보	<ul style="list-style-type: none"> 0 프로세서 아키텍처 독자개발 및 국내 대기업 초미세공정(28nm) 개발을 통한 프로세서 원천기술 확보 0 세계 최고 수준의 에너지 효율을 보이는 프로세서 기술 확보 0 퀘드코어, 영상처리IP, 특징점 추출에 의한 인식기능을 통합한 프로세서
초소형 신호처리 프로세서 (EMP) ('06~'10) 	영상, 음성 등의 신호를 효율적으로 처리하기 위한 저전력 초소형 프로세서 및 SW 개발	<ul style="list-style-type: none"> 0 초소형 저전력 임베디드 DSP(Digital Signal Processor) 프로세서 개발 및 기술보급에 의한 다수 양산품 개발
에너지 스케일러블 벡터 프로세서 (ESVP) ('10~'13) 	세계최고 수준 에너지 효율성을 가지며 다수코어로 확장가능한 벡터 프로세서	<ul style="list-style-type: none"> 0 차세대 프로세서 아키텍처 기술을 확보하기 위한 옥타코어(8개)급 에너지 자율제어형 모바일 멀티프로세서와 병렬컴파일러 기술 개발

- 매니코어 프로세서는 지능정보 처리의 고성능 프로세싱을 요구하는 응용 및 서비스가 등장하면서 각광을 받고, 해외 글로벌 기업은 자사의 기술을 재사용 형태로 개선하는 반면, 국내는 설계 관련 기술이 부족한 상황
 - 환경적인 요소에도 불구하고 국내 프로세서 관련 원천기술은 연구소, 기업, 학계를 중심으로 꾸준히 개발되어 왔으며, 최근 성과를 거두고 있음
- 반도체 공정 스케일링의 한계에 따른 성능향상 한계를 극복하기 위한 방안 중의 하나인 병렬 컴퓨팅 기술은 2000년대 초부터 장기간 연구가 진행되었으며, 최근 딥러닝 기술의 발전과 더불어 주목을 받고 있음

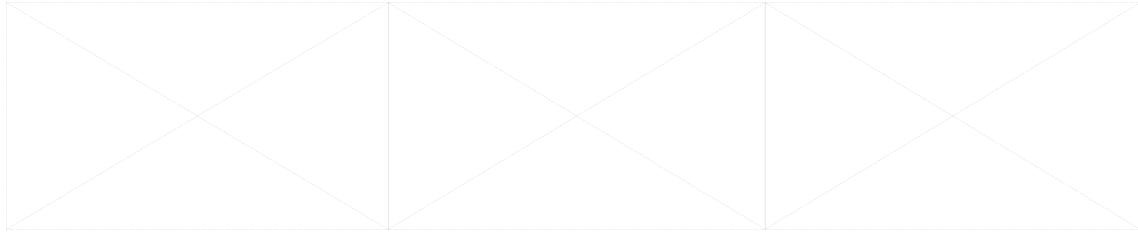


<그림 12> SW26010
(출처: Sunway report, 2018)

- 지능정보 프로세싱을 위한 정부 차원의 정책적인 지원을 바탕으로 전세계 글로벌 기업의 매니코어 프로세서 기술 선점을 위한 연구가 활발히 진행되고 있으며, 특히 중국은 CAS(국가과학원, Chinese Academy of Science)를 중심으로 연구 개발을 진행하고 있으며, 자체 개발한 매니코어 프로세서 SW26010을 적용한 슈퍼컴퓨터 “Tailhulight”를 개발하였음
 - 매니코어 프로세서 SW26010 40,960개를 장착한 Sunway Taihulight 슈퍼컴퓨터는 2018년 전세계에서 가장 빠른 슈퍼컴퓨터로서 최대 지속 성능은 93.01 페타플롭스, 피크 성능은 125.44 페타플롭스, 전력 효율은 와트당 6.051 기가플롭스임
 - 중국은 Tailhulight보다 10배 더 빠른 수퍼컴을 개발하고 있음
 - Jiangnan Computing Lab에서 SMIC 공정에서 1400MHz의 동작주파수를 가질 수 있는 (Sunway SW-2) 64-bit RISC 기반 Processor ISA를 개발하였으며, SW26010은 이 아키텍처를 기반으로 National High Performance Integrated Circuit Design Center에서 개발되었고, 260개의 코어를 장착한 매니코어 프로세서임
- (DNN 가속 반도체) 글로벌 기업은 최근 큰 주목을 받고 있는 딥러닝 기반의 인공지능 반도체 개발을 위하여 정부의 지원과 시장 지배력을 바탕으로 지능정보 처리를 위한 다양한 아키텍처의 프로세서를 개발하고 있음
 - NVIDIA는 자사의 그래픽스 처리 프로세서(GPU) 기술을 기반으로 ADAS⁶⁾ 프레임워크를 개발하고 있으며, 그래픽스 기능의 핵심인 쇼이더 코어를 응용하여 딥러닝 구현
 - 2000년대 초반, 기하쉐이더(Geometry Shader)와 픽셀쉐이더(Pixel Shader)의 개념을 처음으로 도입한 NVIDIA는 통합쉐이더(Unified Shader)로 전세계 그래픽스 시장을 장악하였으며, 그 원천 기술은 작은(Small), 다수의(Many) 코어를 L1 캐시와 L2 캐시로 상호 연결한 프로세서 기술임
 - 그래픽 처리 중심의 프로세서로 기술개발을 시작하였으나 2000년대 중반부터 작은 코어를 여러 개 탑재한 매니코어 구조의 GPU 구조에서 GPGPU라는 개념을 발전시켰으며, 이를 기반으로 다양한 어플리케이션에 적용함

6) Advanced Driver Assistance System

- 기존의 ADAS는 몇몇 물체 감지 및 단순한 분류 작업, 도로의 위험 상황에 대한 알림, 감속 또는 정지 기능 정도만 가능했으나, 현재의 ADAS는 사각지대 확인, 차선 변경 전면 추돌 경고 기능까지 추가됨



<그림 13> ADAS 기능 예

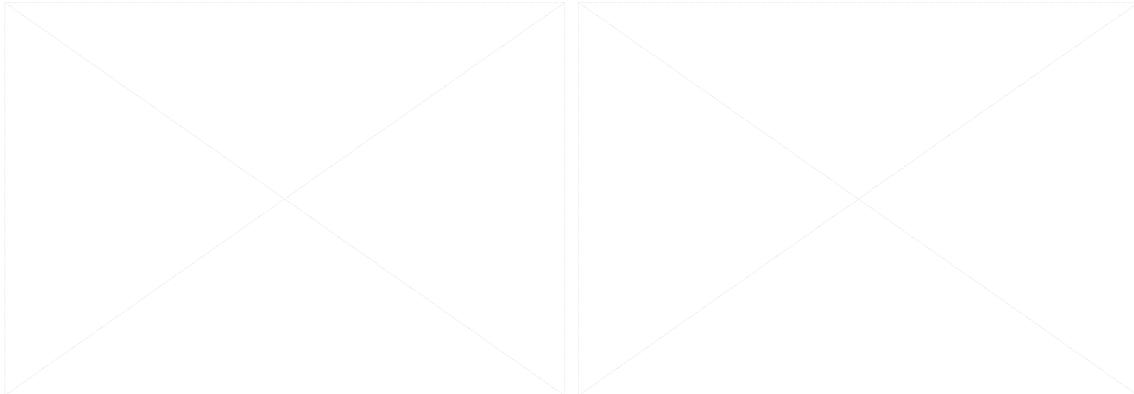
- NVIDIA는 딥러닝 기술을 활용하여 NVIDIA DRIVE™ PX2를 개발하고 DriveWorks라는 자율주행 소프트웨어 개발킷이 포함되어 있어 NVIDIA Self-Driving Car Solution을 통해 경찰차와 택시, 구급차와 택배 트럭, 주차된 차와 진입 중인 차를 구별할 수 있고, 자전거와 보행자까지 구별가능

<표 6> 자율 주행을 위한 NVIDIA의 프로세서 기반 시스템

AUTOCRUISE 용 플랫폼	
고속도로 자율주행 및 HD 맵핑 처리기능 탑재	
AUTOCHAUFFEUR 용 플랫폼	2개의 SoC와 2개의 GPU로 구성되어 있고, 출발점-도착점 설정 후의 주행을 위해 설계됨
멀티시스템 구조도	여러 개의 DRIVE PX 2로 구성된 시스템으로서 다수의 시스템에서 확보된 연산처리 성능을 완전 자율주행에 응용하기 위한 개념

- 확장성 있는 구조로 수동 냉각식 모바일 프로세서부터 2개의 개별 GPU가 있는 멀티칩까지, 완전한 자율주행을 위해 여러 개의 플랫폼을 병렬로 사용하는 등 다양한 구성이 가능함
- CES 2017에서는 아우디의 Q7 모델과, 테슬라의 Tesla Model S 등 NVIDIA DRIVE™ PX 2를 활용한 자율주행 차량들이 공개됨
- CES 2018에서는 NVIDIA는 세계적인 자동차 제조업체인 폭스바겐, 중국 시장에서의 바이두와 세계적인 자동차 부품 공급업체인 ZF와의 협업, 라이드 쇼어링 기업 우버와 자율주행 분야 선도 스타트업 오로라와 협력을 발표
- o 인공신경망 알고리즘은 생물학의 신경망을 모델로 만들어진 학습 알고리즘으로 최근에는 2개 이상의 층으로 구성된 MLP (Multi Layer Perceptron) 중에서 8개 이상의 많은 층으로 구성된 DNN이 활발히 연구됨
- DNN의 경우 대부분 십만 개 이상의 뉴런으로 구성되어 있어 연산량이 방대하지만 간단한 연산들이 반복되고 병렬성이 높기 때문에 다수의 코어를 보유하고 있는 GPU에서 효율적인 연산이 가능함
- NVIDIA사는 인공신경망 연산 전용 라이브러리 cuDNN을 제공하고 다양한 인공신경망 플랫

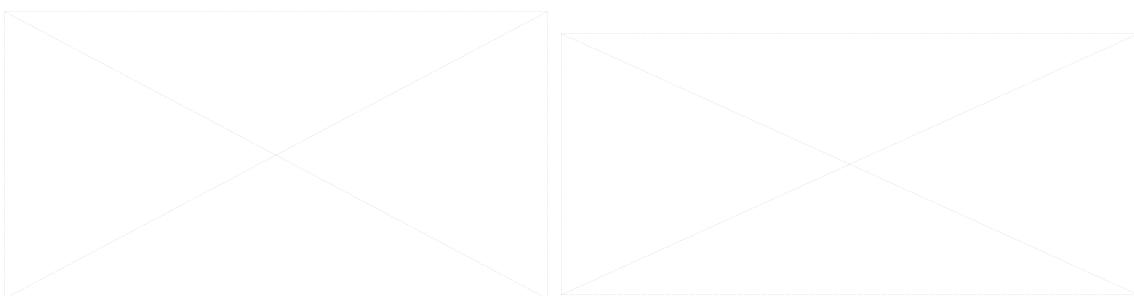
폼(TensorFlow, Caffe 등)들을 지원하며 가장 최근에 개발된 GPU 아키텍처는 파스칼 아키텍처로 공정이 기존 맥스웰(GM200)에서 24개였던 SM(Streaming Multiprocessor) 수가 56개(GP100 기준)로 늘어나 더 높은 성능을 보임



<그림 14> 파스칼 SM 아키텍처

<그림 15> Google의 TPU

- 시스템 상에서의 성능 관련 가장 큰 변화는 부동소수점 연산으로 Single-precision 연산 성능이 10.6TFLOPS로 맥스웰 대비 1.5배 향상됐으며 Double-precision 연산은 5.3TFLOPS 성능을 나타내며 DNN 연산에 널리 쓰이고 있는 Half-precision 연산 성능은 21.1TFLOPS로 개선
- 또한 NVIDIA는 GPU Technology Conference(GTC) Europe에서 자율 주행차를 위한 AI Supercomputer chip, Xavier을 발표함
 - 512 개의 Core로 구성된 Volta Architecture 기반의 GPU, 8개의 Core로 구성된 Custom ARM64 CPU, 새로운 CVA(computer vision accelerator), 그리고 Dual 8K HDR를 지원하는 Video Processor로 구성이 되어 있고 20 TOPS⁷⁾의 성능을 나타내면서 약 20W 전력을 소모
 - 자율주행차를 위한 칩이기에 차량용 안전 기준 표준인 ISO26262 functional safety specification의 ASIL C 수준의 Functional Safety를 만족



<그림 16> Xavier Chip 구조 및 개발 보드 (출처: GTC Europe 2016)

- 구글은 SW 및 빅데이터 센터 기반으로 인터넷 서비스를 전문으로 하는 기업이나 자사의 빅데이터 센터에 사용되는 서버를 기반으로 인공지능 등을 필요로 하는 특수 서비스의 필요성이 증대되면서 2015년 프로세서 반도체를 개발하기 시작
 - DNN리서치(DNN Research), 딥마인드(DeepMind), 무드스톡(Mood stocks) 등 머신러닝 기술 기업을 인수하여 내부 역량을 쌓아왔으며 2016년 3월 구글 딥마인드 챌린지 매치에서

7) Trillion Operations Per second

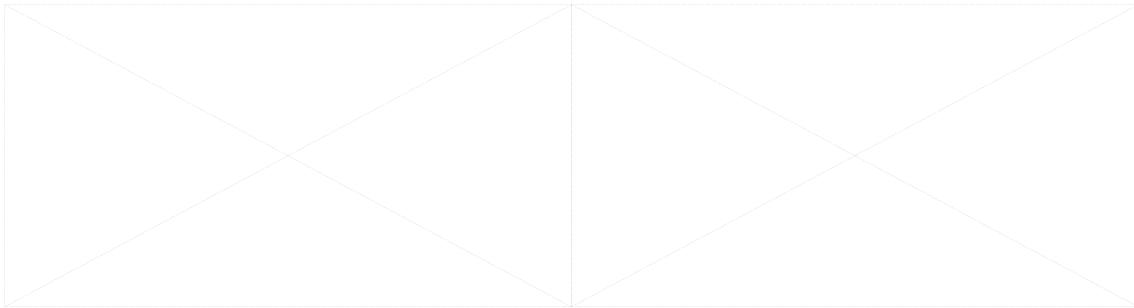
인공지능(알파고)이 바둑에서 프로기사를 처음 이기는 성과를 거둠

- 2016년 5월에 데이터 분석과 딥러닝을 위해 개발한 TPU(Tensor Processing Unit)을 공개
 - 내부 아키텍처는 공개되지 않았지만 GPGPU보다 벡터/행렬연산의 병렬처리에 더 특화되어 있으며 8비트 정수 연산을 활용한 것으로 알려졌음
 - 2017년에는 기존의 TPU를 개선하여 학습에도 사용할 수 있는 Cloud TPU와 이를 기반으로 한 TPU Pod을 발표하였음
- 인텔은 모바일 시장에서 실패한 이후, 대형, 고속의 데이터 센터 서버용 프로세서에 집중하여 다양한 프로세서 제품군을 생산 중
 - 2016년 제온 파이(Xeon Phi) 7200 시리즈를 소개하였고 제온 파이는 MIC(Many integrated core) 아키텍처로 칩 하나에 64~70개 이상의 코어를 탑재해 병렬 처리를 높였고 이전 세대와 달리 보조 프로세서가 아니라 운영체제를 부팅할 수 있으며 프로세서 하나에 3TFLOPS의 연산력을 보유
 - 2015년에는 FPGA(Field Programmable Gate Array) 선두 제조업체인 알테라(Altera)를 인수하여 FPGA의 시스템 설계자가 요구하는 대로 칩 구성이 가능하다는 장점을 이용하여 자동차, 사물인터넷(IoT), 인공지능처럼 용도에 맞게 커스텀 프로세서를 제공
 - 2016년에는 인지컴퓨팅 업체 사프론, 비전 프로세싱 솔루션 업체 모비디우스, 딥러닝 전문 업체 너바나 등을 인수하였고, 특히 너바나를 통해 차후 출시되는 인텔 제온과 제온 파이 프로세서의 딥러닝 성능을 강화할 예정
 - 2017년 AI 프로젝트와 관련 작업용으로 너바나 NNP(Nervana Neural Network Processor)를 공식 발표 함(17.10)
 - 퀄컴은 뇌모방 컴퓨팅을 위한 프로젝트인 제로스(Zeroth)를 발표하였으나, 현재는 완전한 DSP(Digital Signal Processor, 디지털 신호처리 프로세서) 중심의 뉴럴넷 컴퓨팅용 환경을 제공하는 형태로 개발 방향을 전환
 - 퀄컴의 뉴로모픽칩 개념인 NPU(Neural Processing Unit) 제로스(Zeroth)는 스냅드래곤 820에 내장되었으며 기계 학습 기술에 사용되었고 2016년에는 제로스 플랫폼을 지원하는 스냅드래곤 뉴럴 프로세싱 엔진 SDK를 개발 배포하였음
 - 2017년 1월 스냅드래곤835를 공개했고, 크라이요 280(CPU, 아드레노 540 GPU, 헥사곤 682 DSP에 Gbit급 다운로드를 제공하는 X16 롱텀에볼루션(LTE) 모뎀칩을 10나노 핀펫 미세공정으로 개발하였으며 단말기에서의 인공지능 지원을 위해 헥사곤 코어는 구글의 TensorFlow를 지원
 - Snapdragon 820 Series Processor에 NPU(Neural Processing Unit)을 통합하여 고도의 지능형 컴퓨팅을 위한 Machine Learning 알고리즘 가속을 위한 SDK를 제공(Embedded Vision Summit 2016에서 발표)
 - Nauto와 협력하여 Zeroth를 이용한 인공지능 센서를 만들고 있으며, 이 센서는 충돌 위험을 분석, 운전자의 행동 등을 기록함



<그림 17> Snapdragon 835 Block Diagram

- 2017년 12월 스냅드래곤 845는 전작 대비 보안과 연결성, 그리고 인공지능(AI) 기능이 강화됐음. 그래픽 속도와 전력 효율성은 30% 향상됐고, 디스플레이 처리 속도는 2.5배
- 공개된 스냅드래곤 845의 세부 사양은 ▲X20 롱텀에볼루션(LTE) 모뎀 ▲헥사곤(Hexagon) 685 디지털 신호 프로세서(DSP) ▲크라이오(Kryo) 385 중앙처리장치(CPU) ▲어쿠스틱 오디오(aqstic audio) ▲아드레노(Adreno) 630 그래픽처리장치(GPU) ▲스펙트라(Spectra) 이미지 신호 프로세서(ISP) 등이 있음



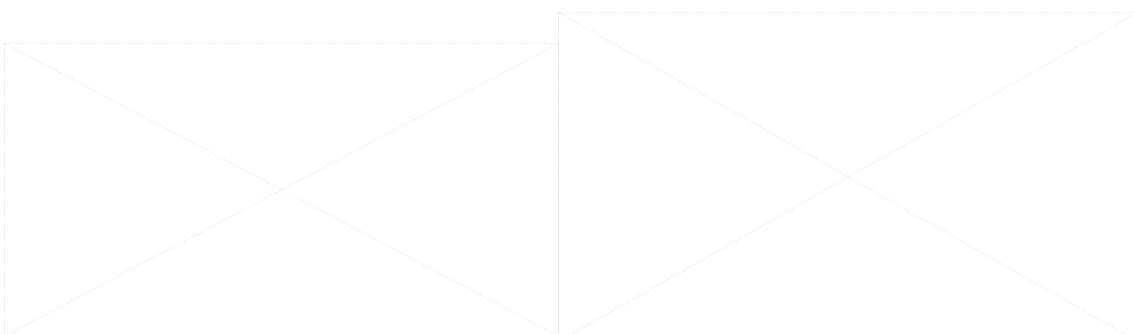
<그림 18> 자동차용 Nauto (출처: Nauto, <http://www.nauto.com>)

- CEVA, Inc.는 전통적인 DSP나 최근 병렬처리 중심의 뉴럴넷 구조 연구를 위하여 CEVA DSP MX 시리즈에 해당 서비스를 구현하고 솔루션 전체를 제공
 - 3D 비전, 컴퓨터 활용 사진 기술(computational photography), 시각적 인지 및 분석을 지원
 - CDNN(CEVA deep neural network) toolkit은 네트워크 생성기, 소프트웨어 프레임 워크 및 하드웨어 가속기로 이루어지며 네트워크 생성기는 풍부한 자원의 PC 환경에서 인기있는 Caffe와 같은 딥 러닝 프레임 워크에서 미리 학습된 부동소수점 방식의 인공신경망 정보를 임베디드 시스템에 적합하도록 고정소수점 방식의 수정된 인공신경망 정보로 변환시킴
 - 고정소수점 방식의 수정된 인공신경망 정보는 임베디드 시스템에 전달되어 실시간 신경망 라이브러리로 구성된 소프트웨어 프레임 워크 및 하드웨어 가속기를 통해 컴퓨터 비전 기능을 수행함



<그림 19> CEVA DNN의 동작 개념 (출처: BDTI, Inc., '16)

- 중국과학원 CAS(Chinese Academy of Science)에서는 딥러닝 분야에서 머신러닝 가속기 개발을 목표로 “DianNao”를 개발
 - 한정된 면적으로 성능 및 에너지 효율을 최적화하여 인공신경망 알고리즘을 실행 가능한 가속기를 설계하는 것이 목표
 - 중국과학원 CAS(Chinese Academy of Science)에서 육성한 한우지(寒武紀)과학기술회사는 2017년 11월 차세대 인공지능 칩을 발표함. 대뇌의 신경세포와 신경연쇄를 본따 하나의 명령으로 한개 그룹 신경세포의 처리를 완성할 수 있어 이런 컴퓨팅 패턴은 이미지식별 등 스마트 처리를 진행하는 효율이 전통 칩보다 수백 배 높다고 함
 - DianNao는 기존의 머신러닝 가속기의 경우 알고리즘의 연산부분을 효율적으로 처리하기 위하여, 메모리의 성능 및 소모 에너지 최적화에 중점을 둔 CNN 및 DNN 가속기로 설계하였으며, 128-bit 2GHz SIMD processor에 비해 117.87배 빠른 연산성능과 21.08배 향상된 에너지 효율을 보임
 - 인공신경망 알고리즘이 점차 많은 양의 데이터를 복잡한 과정으로 처리하도록 발전함에 따라 multi-chip으로의 확장에 대한 연구 결과인 DaDianNao를 발표하였으며, NVIDIA K20M GPU에 비해 450.65배 빠른 연산성능을 얻을 수 있으며 에너지 효율 또한 150.31배 만큼 개선되는 효과를 나타내었음
 - 복수의 머신러닝 기법을 활용하는 응용을 지원하기 위하여 다양한 머신러닝 기술을 사용 가능한 PuDianNao를 발표하였으며, 머신러닝을 활용하는 이미지 응용에서의 실행 성능 및 에너지 효율 최적화를 위하여 CNN에 특화된 형태의 머신러닝 가속기 ShiDianNao가 제안



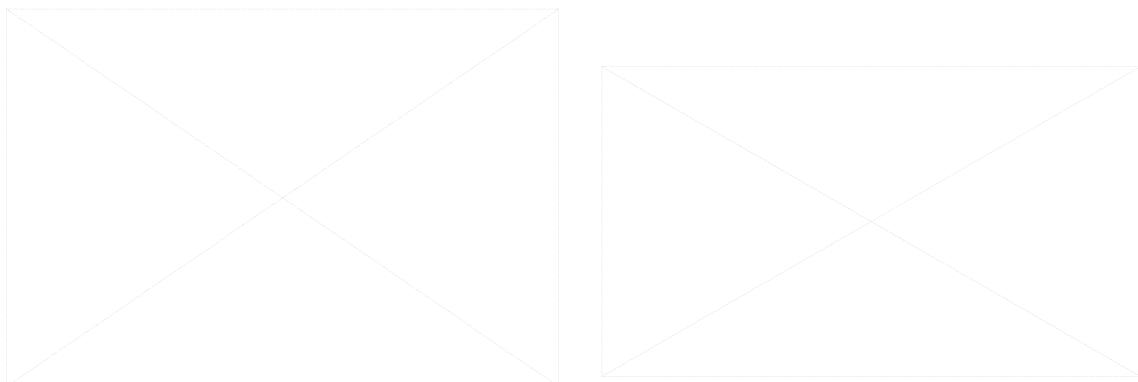
<그림 20> Cambricon ISA 및 Pipeline Architecture (출처: ISCA 2015)

- 다양한 종류의 신경망 기술을 동시에 지원을 목표로 instruction set 수준의 유연성 및 효율성을 위한 신경망 가속기를 위한 Instruction Set Architecture (ISA) Cambricon이 제안되었고, Cambricon을 활용하여 신경망 기술을 활용할 경우 코드 길이가 GPU, x86, MIPS에 비해 각각 6.41배, 9.86배, 13.38배 압축되는 효과를 얻을 수 있음



<그림 21> Cambricon Chip Area & Power Summary

- Intel은 Movidius 인수 1주년을 맞아, 새로운 칩 Myriad X 발표(17.9)
 - 모비디우스는 ISAAC, Myriad 1 개발을 통해 2016년 2월 Many-core Vision Processing Unit인 Myriad2를 발표하였음



<그림 22> Myriad2 칩과 SHAVE VLIW프로세서 구조 (출처: HotChips '14)

- 특정 비디오 처리 작업을 가속하기 위한 Atomic Imaging/Vision Engine, Multi-ported Scratched Memory인 Intelligent Memory Fabric, 128-bit Vector VLIW Processor인 SHAVE(Stream Hybrid Architecture Vector Engine), 그리고 UltraSPARC ISA Processors로 구성되었으며 Heterogeneous Architecture를 가지는 VPU(Vision Processing Unit)인 Myriad 2를 개발함



<그림 23> Myriad 2 Software Stack
(출처: Hot chips 2014)

- Myriad 2를 위한 Software Development Kit를 제공하며 Imaging/Vision Engine에서 수행되는 기능, Vision Software Library, 그리고 Developer Own Function을 Atomic Imaging/Vision Engine, Intelligent Memory Fabric, Vector VLIW Processor에 최적화하여 할당함
- VLIW프로세서와 온칩 뉴럴넷 메모리를 통합한 형태의 기술을 응용하여 휴대폰, HMD(Head Mounted Display) 등에서 활용이 가능한 Vision Application을 제공
- 개발된 칩은 TSMC 28nm HCMOS LP process로 제작되어 1W의 전력을 소모하며 80~150 GFLOPS의 Video Processing 컴퓨팅 능력을 보이는 것으로 발표
- Nervana사는 부동소수점 컴퓨팅 아키텍처의 해상도의 동적 변화에 의하여 초병렬의 컴퓨팅을 구현하고자 설립되었으며 자체적으로 “Nervana Engine”을 개발하였고, 현재 인텔에 인수되어 개발을 지속하고 있음
 - Python 기반의 Deep Learning Library 이자 Caffe와 같은 딥 러닝 프레임워크인 Neon을 개발함
 - Neon은 Python 기반의 Deep Learning Model을 위한 Library로써 Theano, Caffe와 같은 다른 딥 러닝 프레임워크와 비교하여 2배 이상 빠름
 - 이를 위해 Neon은 Assembler-level 최적화, Multi-GPU 지원, 최적화된 Data Flow, 그리고 딥 러닝 모델에서 많이 사용되는 Convolution 연산을 위해 Winograd 알고리즘을 이용하고 있음
 - Neon, 딥 러닝 프레임워크를 가속하기 위한 딥 러닝 ASIC인 Nervana Engine을 개발하고 있으며 지금까지 공개된 구조로는 HBM을 이용한 3D Memory Stack과 Interposer 기술을 이용하여 빠른 외부 메모리 접근을 하도록 함
 - Data는 16-bit로 저장하고 Precision을 높을 수 있는 FlexPoint 기술, Software-based Data Control을 통한 Compute Density를 높였고 병렬화를 높이기 위한 Pipeline Isolation, Six Bi-directional High-bandwidth Links를 통한 칩간 통신 병목 해결을 통해 NVIDIA의 Maxwell Architecture기반 GPU를 장착한 Titan X 보다 10배 더 빠르게 수행할 수 있는 것으로 알려짐



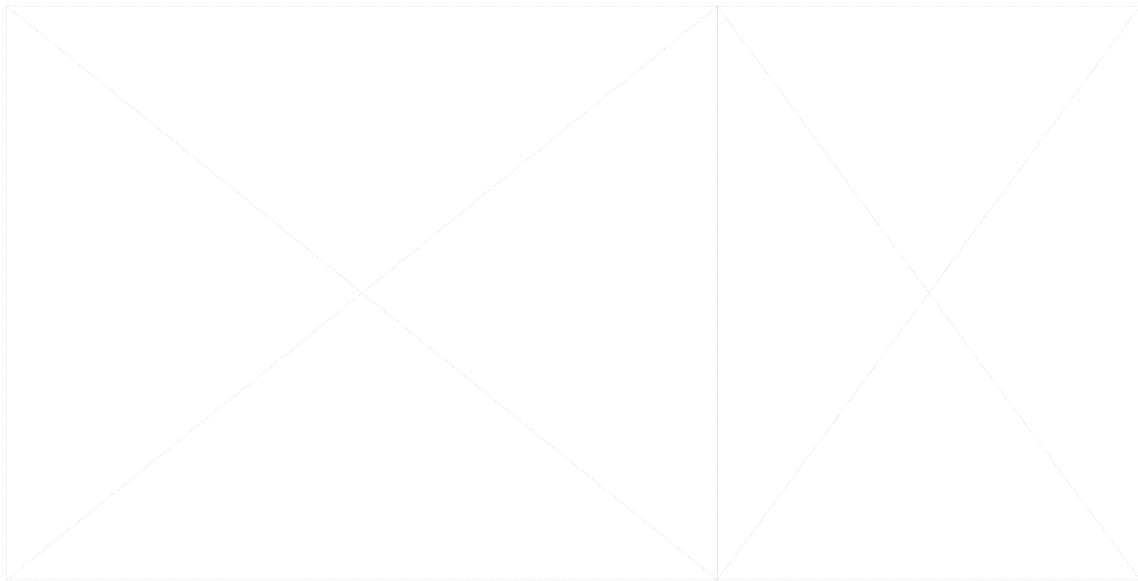
<그림 24> Neon과 Caffe간의 Computing Time 비교

- 경량의 뉴로모픽 엔진을 모바일 또는 소형 프로세서에 탑재하기 위하여 글로벌 기업을 중심으로 연구 개발 진행 중
 - 애플은 A11 바이오닉스 프로세서에 뉴럴 엔진을 추가하였음
 - 뉴럴엔진은 기존의 GPU와 함께 FaceID와 애니모지 등을 처리하기 위하여 듀얼코어로 이루어져 있으며 600 GOPS의 성능을 가짐
 - 아이폰X에 장착된 A11 바이오닉스는 2개의 고성능 CPU, 4개의 고효율 CPU, 3개의 GPU, ISP 유닛 및 뉴럴엔진을 포함
 - A11 바이오닉스 프로세서는 TSMC 10nm FinFET 공정을 사용하여 $8197 \times 10674 \text{ um}^2$ 의 면적을 가짐



<그림 25> 애플의 A11 바이오닉스 프로세서

- 화웨이는 Kirin 970 프로세서에 NPU (Neural Processing Unit)을 장착



<그림 26> 화웨이의 Kirin 970

- NPU는 1.92 TFLOP의 성능을 갖고 온-디바이스 AI를 담당하며 클라우드 AI와 결합하여 지능형 디바이스가 가능
- 메이트10에 장착된 Kirin 970은 8개의 CPU 코어 와 12개의 GPU 코어, 듀얼 ISP 유닛 및 NPU을 내장함
- Kirin 970은 TSMC 10nm 공정을 사용하여 약 1 cm²의 면적을 가짐
- NPU는 AI 업체인 캠브리콘 기술의 지적재산을 라이선스한 것으로 ISA구조를 가짐

- 전 세계적으로 4차 산업혁명의 흐름과 함께 인공지능 기술의 중요성이 높아지고 관련 기술이 발전함에 따라 요구되는 프로세서의 연산 성능이 크게 증가함에 따라 매니코어 및 뉴럴 코어와 같은 새로운 반도체 설계 기술이 요구되고 있음
 - 최근 영상기반 객체인식을 위한 신경망 기술은 지속적으로 더 많은 신경망 층을 활용하고 있으며 이에 따라 연산량은 기하급수적으로 증가하고 있음



<그림 27> 영상기반 객체인식용 인공지능신경망 층수 추세

- 2014년도 옥스퍼드 대학교에서 발표한 VGG (Visual Geometry Group) 신경망의 경우 138×106 (1억 3천 8백만)개의 파라미터를 이용하여 150억 번의 신경망 연산을 수행하여 약 90%의 정확도로 일상 사물 객체를 인식하였음
 - 위의 객체 인식을 30ms 정도에 수행하기 위해서는 500GSOP/s⁸⁾의 연산 성능이 필요하여 기존의 프로세서 반도체 기술을 뛰어넘는 새로운 칩이 필요함
- ※ 기존의 프로세서를 사용하여 VGG 신경망을 운영할 경우 약 300~400Watt의 전력을 소비하며 한번 인식에도 ~수백ms의 시간이 소요됨
- 현재의 인공지능 기술은 방대한 연산량과 소비에너지 등의 문제로 대용량의 서버나 클라우드 기반 HPC를 기반으로 운영되고 있는 실정이며 다양한 응용과 모바일 환경 등으로의 확산을 위해서는 전용의 반도체 기술 개발이 필수적임
 - 구글과 스탠포드 대학교에서는 1천만장의 유튜브 영상을 이용한 기계학습을 통해 머신이 스스로 고양이와 같은 객체를 학습하는 기술을 발표하였으며 이 기술은 1000대의 서버와 16,000개의 프로세서를 사용하고 약 1.6MWatt의 소비전력을 사용(ICML 2012, Andrew Ng, Google)
 - 실용적인 인공지능 시스템을 만들기 위해 3대의 고성능 서버(1개 서버에는 4개의 GPU, 2개의 쿼드코어 CPU 포함)를 활용한 시스템을 발표함. 학습 시간은 늘어나지만 에너지 및 비용 등의 면에서 실용적임을 발표하였으나 1.5kWatt의 전력을 소비(ICML 2013, Andrew Ng)



<그림 28> 최근의 인공지능용 하드웨어 시스템의 형태 및 소비 에너지

- 알파고로 알려진 구글의 인공지능 시스템은 방대한 지능정보 연산량의 처리를 위해 1200개 이상의 CPU와 176개의 GPU를 사용한 것으로 알려져 있으며 내부적으로는 TPU (Tensor Flow Unit)라는 지능정보 처리 전용 칩이 포함된 연산 모듈을 개발하여 활용하는 것으로 발표
 - 구글 선다 피차이 CEO는 구글 IO 2016 기조 연설 마지막 부분에서 머신러닝에 관해 발표하면서 최초로 TPU를 공개하였으며 내부에는 텐서플로우라는 구글의 기계학습 프레임워크에 최적화된 신경망 연산 전용의 반도체 칩이 포함되어 있음 (2016, 구글)

8) SOP/s: Synaptic Operations per Seconds, 초당 가능한 신경망 연산수

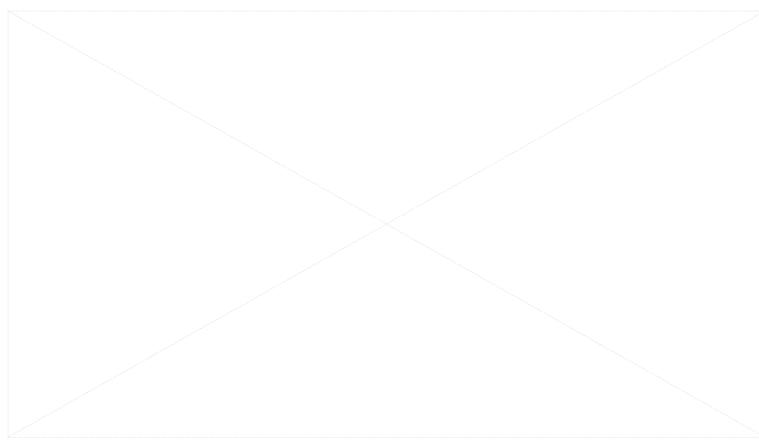
- 구글 선다 피차이 CEO는 다보스 포럼 연단에서 "인공지능(AI)은 인류가 이때까지 얻으려고 노력해온 것 중 가장 중요한 것"일 수 있다고 연설(18.1)

- 최근 DRAM 공정 기반의 PIM 기술에서 발생하는 성능저하 문제를 해결하기 위해 SRAM 혹은 차세대 메모리를 프로세서와 하나의 단위로 구성하는 PIM 구조들이 연구되고 있음
 - 삼성전자가 메모리 반도체의 구조적 한계를 극복하기 위한 중장기 프로젝트로 최근 인스토리 지프로세싱(In Storage Processing·ISP) 기술 연구를 본격화('18.2)
 - Micron에서는 DRAM 공정을 이용해서 오토마타 처리를 위한 프로세서와 메모리를 하나의 칩에 집적함



<그림 29> Micron의 오토마타 프로세서 (출처: ISC 2013)

- Venray에서도 DRAM 공정을 이용하여 프로세서와 메모리를 집적한 TOMI(Thread-Oriented Microprocessor)를 개발함
 - 3개의 메탈층만으로 64비트 RISC 프로세서를 설계하였으며, 높은 성능을 얻을 수 없는 대신 전력 소모를 최적화하는데 초점을 맞춤
 - 시스템을 구성하는 각 프로세서는 3-D 토러스 네트워크로 서로 연결되며, 서로 다른 DIMM은 온 칩 DDR 트랜스시버를 이용해서 연결함



<그림 30> Venray의 TOMI (2012-2014)

- UIUC(University of Illinois, Urbana-Champaign) 팀은 SRAM과 프로세서를 이용한 PIM 구조를 IEEE ICASSP 2015에서 발표하였으며 완벽한 PIM 구조는 아니지만 SRAM의 출력 데이터를 센스 앰프를 거치지 않고 아날로그 연산기를 통해 바로 처리하므로 SRAM과 프로세서 기반 PIM 구조의 가능성을 제시함



<그림 31> University of Illinois, Urbana-Champaign의 SRAM과 프로세서를 이용한 PIM (출처: ICASSP 2015)

- UCSB(University of California, Santa Barbara) 팀은 차세대 메모리인 ReRAM을 이용해서 PIM을 개발하고자 하는 연구를 ISCA 2016에서 발표함
 - ReRAM은 두 개의 금속전극 사이에 절연막을 삽입한 매우 간단한 구조의 메모리 소자로서 전기적인 신호에 따라 저항이 크게 변화하는 원리를 이용한 차세대 비휘발성 메모리로서, 저항비 변화를 통해 간단하게 곱셈을 구현할 수 있음
 - ReRAM은 기존의 낸드 플래시보다 속도가 10 배 이상 빠르며, 전력 소모를 30% 가까이 줄일 수 있으므로 크게 주목받고 있지만 아직은 기반 기술이 확립되지 않고 있음



<그림 32> University of California, Santa Barbara에서 개발한 DNN을 위한 ReRAM 기반의 PIM 구조 (출처: ISCA 2016)

- Toshiba에서도 최근 A-SSCC 2016에서 SRAM과 프로세서를 하나의 단위로 구성하는 PIM을 발표하였음
 - 입력 파라미터의 값을 이진화하여 최소한의 정확도로 연산 복잡도 및 인지 정보 처리에 필

요한 데이터를 최대한 줄인 BNN(Binarized Neural Network)을 이용하여 외부 메모리 접근을 최대한 줄였으며, 내부 메모리 대역폭은 SRAM과 프로세서의 PIM 구조를 통해 확장함

- 뉴런의 시냅스 연결 간 연산은 타임 도메인 네트워크를 통해 함께 처리하는 TDAMS (Time-Domain Analog-digital Mixed-Signal)를 이용하므로 최대한 면적 효율적으로 처리 할 수 있도록 하고 아직 기반 기술은 확립되지 않았으나 에너지와 면적 효율적인 ReRAM을 이용한 PIM의 가능성도 제시함



<그림 33> Toshiba의 SRAM 혹은 ReRAM 기반의 PIM
(출처: A-SSCC 2016)

□ (초저전력 빅데이터 저장 솔루션) 인공지능 처리를 위하여 대용량의 데이터 처리를 효율적으로 하기 위한 DRAM, 낸드플래시등의 메모리 저장 솔루션 시장이 급속하게 확대됨에 따라서, 글로벌 기업들 대규모 투자를 통하여 시장 장악력을 확대하고, 차세대 메모리 솔루션을 원천 기술 개발을 경주하고 있음

- 인텔은 Altera를 \$16B에 인수한 이후에 Micron과의 합병을 통한 메모리 제품 및 솔루션 역량을 강화 시도
 - 3D Xpoint 기술 개발을 위하여 Micron과 협력하고 있으며 차세대 CPU-메모리 통합 시장을 위해 Micron 인수를 통한 메모리 및 솔루션 확보에 적극적
- Marvell, PMC, NGD Systems 등 낸드플래시 저장 솔루션 전문회사의 성장으로 SATA, PCIe, eMMC 등의 제품 개발에 필요한 SoC 솔루션 제공
 - Marvell은 6Gbps SATA, PCIe 용 SoC 솔루션을 개발하여 OCZ 등에 납품한 바 있으며, 최근에는 eMMC 5.0을 지원하는 모바일 솔루션을 개발
 - PMC-Sierra는 NVMe SSD, SAS SSD 등의 개발에 필요한 저장 솔루션을 개발하였으며, 2016년초 \$2.5B에 Microsemi에 인수된 바 있음
 - NGD Systems는 미국 정부 지원을 받아 스마트 스토리지 (in-situ processing) 제품을 개발, 빅데이터, 클라우드 응용에 적용
 - Pure Storage, Violin Memory, Diablo Technology, Microsemi, Foremay, Kaminario, BiTMICRO, Memblaze, Tegile Systems, Virtium, Numbus Data Systems, Netlist, Viking,

SolidFire, Radian Memory, Nimble, Super Talent Technology, Kingston, V&G, EMC, IBM, Mangstor, Primary Data, Avere Systems, Memoright, Avant Technology, Fusion-io 등 낸드플래시 저장 솔루션 전문회사가 성장하고 있음

- 대만에서는 Phison, Silicon Motion, Innodisk 등은 자국 내 메모리 반도체 사업이 퇴보되고 있음에도 불구하고, 낸드플래시 저장 솔루션 업체로 성장
 - Phison은 USB 드라이브, CF 카드, SD 카드 등에 관련한 메모리 솔루션을 개발하였으며, 최근 eMMC, uSSD, BGA SSD 등 다양한 형태의 솔루션 개발
 - Silicon Motion은 SLC, MLC, TLC 등 다양한 낸드플래시 저장 솔루션을 개발하였으며, 최근 인텔 등과의 협력을 통하여 다양한 개인용 저장장치 제품을 제공 있음
- 중국에서는 최근 메모리 반도체 산업에 대한 투자를 시작한 이후, Waitan, Cactus, Renice와 같은 저장 솔루션 전문 업체를 발굴하여 지원
 - Waitan은 중국 상하이에 기반을 둔 저장 솔루션 전문 업체로 국방, 항공, 산업용 응용을 위한 제품을 개발
 - Cactus는 홍콩에 본사를 가지고 있으며, 산업용 제품에 필요한 저장 솔루션을 개발하여 제공하고 있으며, 국내 NovaChips와 같은 SSD 제품 개발 업체와 협력 관계를 구축
 - Renice Technology는 보안, 암호화 기능이 강화된 저장 솔루션 개발 회사이며, 중국 선전에서 SATA 및 USB 3.0용 솔루션 기술 개발
- 일본에서는 낸드플래시 메모리 세계 2위 도시바는 eMMC, SSD 뿐만 아니라, 하드디스크와 저장 솔루션이 결합된 하이브리드 저장장치 개발에 집중
- 유럽에서는 Hyperstone, DensBit 등 패리스 기업 중심으로 저전력 저장 솔루션 개발
 - 독일의 Hyperstone은 저전력 응용에 최적화된 저장 솔루션 전문회사로 SSD, Disk-on-Module, Disk-on-Board, eMMC 등 다양한 제품의 솔루션을 개발
 - 최근 인텔 등과의 협력을 통하여 다양한 개인용 저장장치 제품을 제공하고 있음
- 국내에서는 메모리반도체 제조사가 중심이 되어, 시장 규모가 큰 제품 위주로 기술 개발을 하고 있으며, 최근 중소중견 기업을 중심으로 해외 시장을 겨냥한 저장 솔루션 개발을 진행
 - 삼성전자, SK하이닉스 등은 저장 솔루션을 자체적으로 개발하여 상용화하고 있으나, SSD, enterprise, 모바일 등 대형 시장 위주의 저장 솔루션 제품 개발에 집중하고 있으며, 일부 차세대 제품에 대해 기술 개발 추진
 - TLi, The AIO, NovaChips 등은 모바일 저장 솔루션과 특수 목적의 SSD 개발하고 있으며, 중국 등 해외시장을 중심으로 제품 판매를 가속화
 - PADU는 서버 시스템에 적용 가능한 스토리지 제품에 대해 저장 솔루션을 개발하고 있으며, 국내외 서버 시장을 개척 중

- (CMOS 기반 신경세포모방 회로 기술) 현재 CMOS 공정 기술을 사용하여 SRAM, floating gate 등을 시냅스로 활용
 - CMOS 기반 SRAM은 대량 생산에 용이하고 높은 신뢰성을 가지는 메모리 장치이며, 저장하

는 데 있어 주기적으로 초기화 작업이 필요 없고 접근 속도가 매우 빨라 실제 캐시 장치로 널리 사용되는 회로이지만 이진법(0 또는 1)으로 저장되기 때문에, 단위 면적 당 저장용량이 작으면 전력 소모가 크다는 단점을 지님

- 반면에 floating gate는 multi-level로 데이터를 저장할 수 있으며, 전력이 차단 되도 데이터 값을 유지 할 수 있는 비휘발성 특징을 가지지만, SRAM에 비해 신뢰성이 떨어지며 읽고/쓰기 방법이 간단하지 않는 문제점을 가짐



<그림 34> SRAM 타입의 CMOS 시냅스
(P.A. Merolla et al., Science, vol.345, p.668, 2014)



<그림 35> Floating gate 타입의 CMOS 시냅스(J. Hasler et al., Front. Neurosci., 10 September 2013)

- CMOS 기반의 뉴런은 근사 또는 통계적인 특성을 이용한 심층 인공 신경망 뉴런과 실제 뉴런의 동작을 모사한 스파이킹 인공 신경망으로 구분 할 수 있으며, 적용되는 모델에 따라 다양한 뉴런이 존재하며 대표적인 뉴런들의 특성을 다음 표로 정리함

Deep Neural Network			
Classes	Model	Year	Characteristics
Approximation	Sigmoid	1990	Piece-wise linearization, trade off with performance and area
Stochastic	Sigmoid	2000	fault tolerance, compact trade off computation time and accuracy

Spiking Neural Network			
Classes	Model	Year	Characteristics
Sub-threshold	Thalamic relay	2009	Conductance-based, thermodynamically equivalent, compact
	H-H model	1998	Conductance-based, biologically realistic, not compact
	Tau-cell	2000	Log-domain, modular
	LLN	2004	Log-domain, cubic two-variable model, low power, compact
	DPI	2004	Current-mode, exponential adaptive model, low power, compact

Spiking Neural Network			
Classes	Model	Year	Characteristics
Above-threshold	Quadratic I&F	2008	Voltage-mode, accelerated-time, low power, compact
	Current-controlled	2006	Voltage-mode, conductance-based, accelerated time
	Switched-Capacitor	2009	Mihalas-Niebur adaptive threshold model, discrete time, modular
	Digitally modulated	2006	Basic I&F model, discrete time, low mismatch

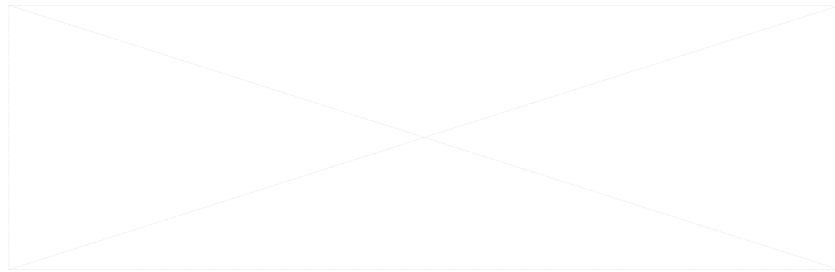
□ (신경세포모방 소자 기술) 멤리스터, 스피нт로닉스 등의 이미징 디바이스를 뉴런 또는 시냅스로 사용

- 스피нт로닉스 또는 멤리스터를 이용하여 인간 뇌 신경세포인 뉴런의 동작을 모사함. 기존 CMOS를 통해 만든 뉴런 회로에 비해 훨씬 적은 전력으로 빠르게 동작이 가능
- RRAM, PRAM, FeRAM 등 메모리 소자들을 뇌의 시냅스 세포의 동작과 유사하게 만들기 위한 연구가 진행 중. 외부 전압 펄스에 의한 각 소자의 저항이 순차적으로 바뀌는 현상을 이용
- 신경세포 모방소자를 채용한 대규모 하드웨어 기반 인공신경망 전용 반도체는 많은 양의 뉴런과 시냅스를 병렬 구조로 에너지 효율적으로 구성하는 방법을 주로 연구함. 다수 연구 그룹이 이미 실리콘 소자를 이용하여 초기 형태의 하드웨어 기반 인공신경망 전용 반도체 개발 완료 단계에 진입했으며, 다중 사물인식 시스템이나 기존의 슈퍼컴퓨터를 이용하여 수행하던 두뇌 동작 시뮬레이션 등의 활용분야에 적용됨.

□ Emerging device 뉴런

○ Straintronic spin device

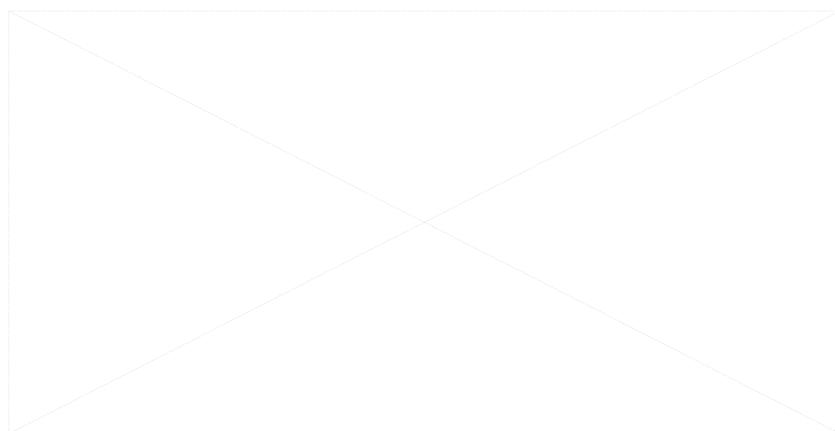
- Straintronic spin neuron은 전압에 의한(여기서 전압은 입력전압의 가중합) 기계적인 변형(strain)을 통하여 Magneto Tunneling Junction(MTJ)을 스위칭 하여 뉴런동작을 구현함
- 이는 회전 편광 (spin-polarized) 전류를 통해 회전 전달 토크를 정보로 사용하는 기존 방식과 비교할 때 더 적은 에너지를 소모하고, 빠른 동작 특성을 가짐



<그림 36> straintronic spin 뉴런의 형태
(Ayan K. Biswas, et al. Nanotechnology, 2015.)

○ Memristive Oscillation device

- Oscillatory Neural Network(ONN)는 oscillator를 이용해 신경망을 모사하는 뉴로모픽 기술임
- 기존 CMOS를 통해 만들어진 oscillator 일반적으로 많은 전력 소모와 면적을 차지하므로 수 많은 시냅스를 가진 실제 신경망을 모사하는데 적절하지 않음
- Memristive Oscillation device는 산화물 기반의 RRAM 형태의 oscillator로 기존 방식의 Oscillator에 비해 훨씬 적은 전력으로 빠르게 동작하므로 진동 신경망 회로(ONN)를 구현하는데 적합한 기술임

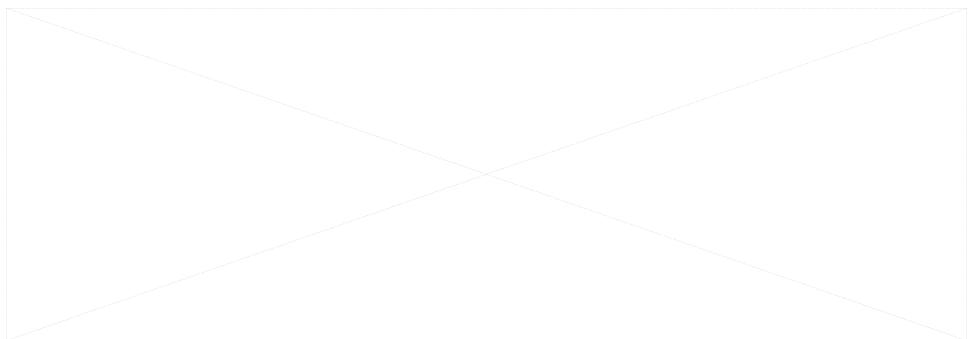


<그림 37> ONN회로를 사용한 패턴인식
(A.A. Sharma, VLSI Technology Symposium, 2015.)

□ Emerging device 시냅스

◦ Resistive RAM(RRAM)

- 주로 멤리스터(Memristor)로 불리우는 저항 메모리(RRAM)는 외부 전압 펄스를 인가하면 저항이 변하는 특성을 가졌음
- Multi-value 데이터를 저장할 수 있는 아날로그 시냅스로 적용됨. 2007년 처음 HP에서 멤리스터를 이용한 자기 조직화(self-organized) 컴퓨팅의 가능성을 확인 하였으며, 이를 통해 패턴인식 시스템의 구현 가능성을 시뮬레이션을 통해 검증하였음
- 2010년 미국 미시간 대학에서는 Si/Ag 복합물질을 이용하여 멤리스터를 구현하였고, 이를 바탕으로 spiking time dependent plasticity(STDP)의 시냅스 기능을 선보임
- 최근에는 미국의 UCSB 대학에서는 CMOS 기술과 반도체/나노와이어/분자 집적회로 (molecular integrated circuits)를 결합한 CMOL 기술을 네이처지에 기고함
- CMOL을 통해 기존 CMOS 기술과 two-terminal의 멤리스터를 함께 구현할 수 있는 가능성 을 보임



<그림 38> CMOL 회로 구현 형태
(M. Prezioso, et al., Nature 521, pp. 61–64, May 2015)

◦ Phase Change RAM(PCM)

- 상 변화 메모리(PCM)는 외부 전압 펄스를 통해 물질의 비정질 상태와 다결정질 상태 간의 저항 변화를 이용하는 비휘발성 메모리 소자임
- 저항 변화를 정교하게 진행하면, multi-value 데이터를 저장할 수 있는 아날로그 시냅스로 활용됨
- 상 변화 메모리는 멤리스터와 같은 2단자 소자로 크로스 바 구조의 array가 구현이 가능하며 전력 소모 또한 적어 뉴로모픽 시스템의 시냅스 소자로 사용됨
- 2011년 미국의 스탠포드 대학에서는 GST PCM 크로스바 array 소자를 이용하여 spiking time dependent plasticity(STDP)의 시냅스 기능을 선보임
- 그해 IEDM에서 앞선 소자를 이용한 associative 메모리 기능의 모사가 가능하다는 것을 선보임
- 2011년 프랑스의 LETI에서는 상변화 메모리 소자를 시냅스로 사용하여 패턴인식 시스템을

시뮬레이션으로 구현함



<그림 39> 상변화 메모리 소자를 시냅스로 사용한 패턴인식 시스템
(M. Suri et al, et al., IEDM, Sep, 2011)

○ Ferroelectric RAM

- Ferroelectric RAM은 2단자 형태의 강유전막(Ferroelectric film)에 외부 전압 펄스를 인가하면서 저항이 바뀌는 특성을 이용해 비활성 아날로그 메모리로 활용됨
- 강유전막 메모리는 전자의 터널링에 비해 높은 스위칭 속도와 저전력, 100nm 미만의 사이즈를 갖는 특징을 갖지만, 물질의 계면 상태 문제 및 강유전막 내부 확산 등과 같은 불완전한 현상들로 인해 정확한 특성 분석이 어렵다는 문제점을 지님
- 2013년 파나소닉은 CMOS 디지털 회로에 3T-강유전막 메모리를 제작하여 이미지를 아날로그 방식으로 처리할 수 있는 영상 시스템을 발표하였는데, 소비 전력이 기존 디지털 시스템에 비해 1/10 정도이며, 강유전체 성장기술과 디지털-아날로그 혼성 신호처리기술이 핵심임



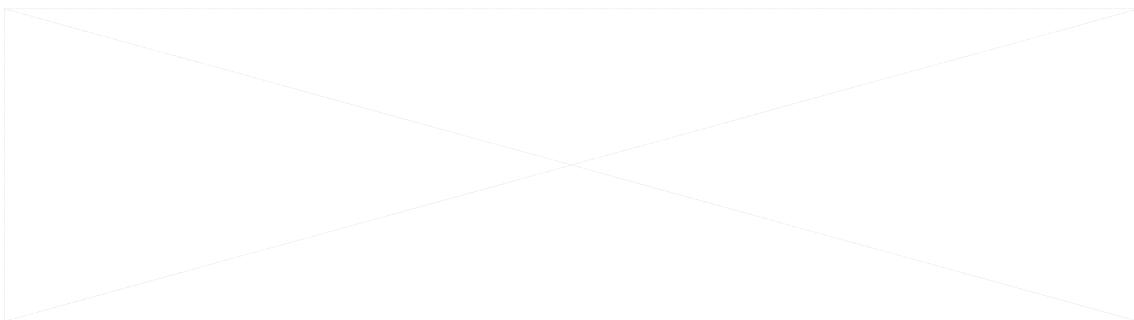
<그림 40> CMOS회로와 강유전체 맴리스터를 결합한 구조
(Y. Kaneko, et al., VLSI Technology Symposium, 2013)

□ 대규모 뉴로모픽 시스템

- 대규모 뉴로모픽 시스템은 많은 양의 뉴런과 시냅스를 병렬 구조로 에너지 효율적으로 구성하

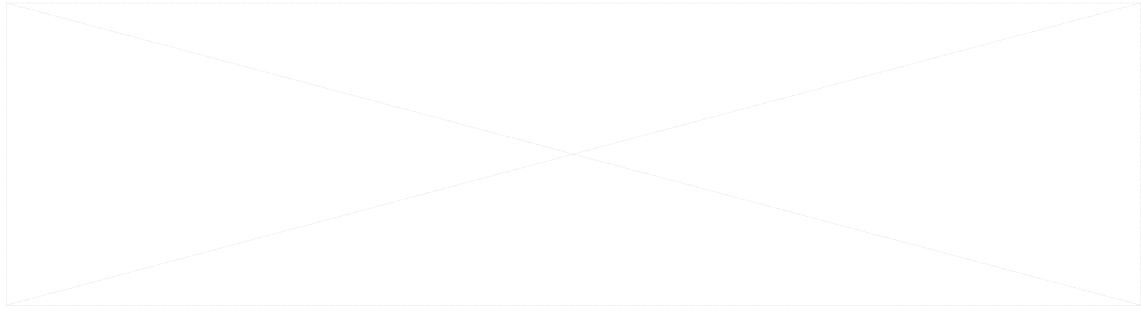
는 방법을 주로 연구함

- 다수 연구 그룹이 이미 실리콘 소자를 이용하여 초기 형태의 뉴로모픽 프로세서를 개발 완료 단계에 진입했으며, 다중 사물인식 시스템이나 기존의 슈퍼컴퓨터를 이용하여 수행하던 두뇌 동작 시뮬레이션 등의 활용분야에 적용됨.
- Institute for Neural Computation(INC) in University of California, San Diego
 - Integrated and Fire Array Transceiver 칩(IFAT,2004)
 - 가변구조 형(reconfigurable)의 2400개의 뉴런으로 구성된 인공신경망을 하드웨어로 구현 하였으며, 실시간으로 동작함
 - IFAT의 내부적인 계산은 아날로그 값으로 수행되며, 출력 및 시스템 컨트롤은 디지털로 동작함
 - 시냅스의 가중치 값은 off-chip의 RAM(look-up table)에 저장되었으며, Address Event Representation (AER)을 이용하여 IFAT의 뉴런과 off-chip 하드웨어 간에 통신함
 - Hierarchical AER I&F Array Transceiver 칩(HiAER IFAIT,2012)
 - 256×103 개의 스파이킹 뉴런과 256×106 개의 가변구조 형태의 conductance 기반의 시냅스로 시스템을 구성함
 - 자일링스 사의 Spartan-5 FPGA을 이용하여 IFAT 칩들을 tree 아키텍처로 구현함



<그림 41> Hirerachical AER I&F Array 트랜시버
(P. Jongkil, et al., IEEE ISCAS2012, 2012)

- Neurogrid in Stanford University
 - Neurogrid
 - 연구목표 : 두뇌가 동작하는 방법을 연구하기 위한 하드웨어 시뮬레이션 툴(tool)
 - NeuroCore는 256×256 의 4b 시냅스 어레이와 quadratic Integrated and Fire 뉴런으로 구성됨
 - 180nm의 CMOS 공정을 이용하여 비동기화식으로 동작하는 스파이킹 인공신경망을 구현
 - NeuroCore를 4×4 의 트리(tree) 아키텍처를 이용하여 백만개(one million)의 뉴런과 단위 뉴런당 7980개의 시냅스를 연결할 수 있으며 3.1mW를 전력을 소모

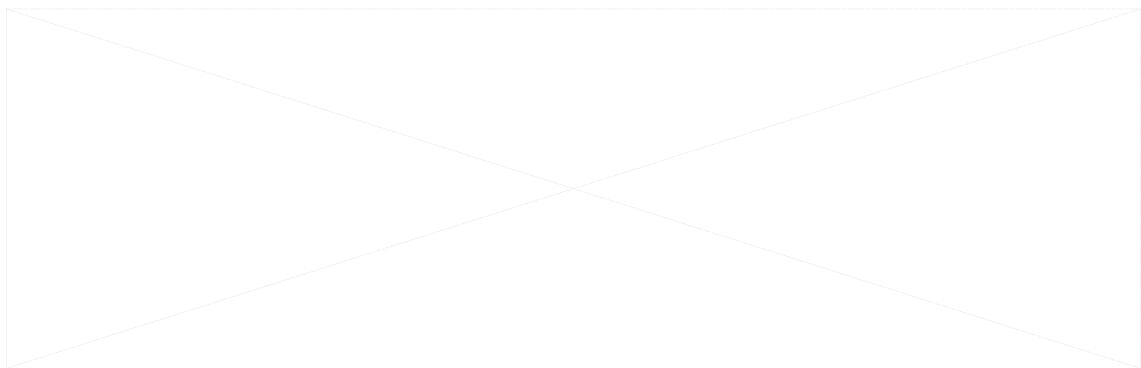


<그림 42> Brains in Silicon 그룹의 NeuroGrid
(B. V. Benjamin, et al., Proceedings of the IEEE, 2014)

◦ Digital Multi–Neurosynaptic Core in IBM

- True North

- 256개의 디지털 leaky Integrated and Fire 뉴런과 256×256 시냅스 어레이의 연산장치 4096개로 구성됨. 총 백만개의 뉴런과 2억5천만개의 시냅스를 구현함



<그림 43> IBM의 True North 구성
(P.A. Merolla, et al., Science, 2014)

- 삼성의 28nm 미세 공정을 이용하였으며, 단위 cm^2 당 100W를 소모하는 일반 CPU에 비해 True North는 20mW만 사용함
- NeuroCore를 4×4 의 트리(tree) 아키텍처를 이용하여 백만개(one million)의 뉴런과 단위 뉴런당 7980개의 시냅스를 연결할 수 있으며 3.1mW를 전력을 소모
- 어떠한 수정 없이도 offline 러닝, convolution neural networks, liquid state machine, Restricted Boltzmann machine, hidden markove model, support vector machine, multimodal classification등의 다양한 기계학습이 적용 가능함
- 초당 30 프레임의 240×400 개의 픽셀로 구성된 컬러 이미지의 비디오의 움직이는 물체 5가지(사람/자전거/승용차/버스/트럭)를 실시간으로 판단하는 multi–object recognition하는 동작을 시현함



<그림 44> 실시간으로 동작하는 다중 물체 인식 시스템
(P.A. Merolla, et al., Science, 2014)

- FACETS and Brain Scale Project in University of Heidelberg
 - High-Input Count Analog Neural Networks Chip(HICANN)
 - HICANN 연산장치는 180nm 공정을 사용하였으며, 512개의 leaky integrated and fire 뉴런과 114688개의 4b의 floating gate 시냅스로 구성됨
 - 384개의 HICANN 연산장치를 집적화 시킨 20cm의 단일 실리콘 웨이퍼 20개를 이용하여 4백만개의 뉴런과 8억 8천개의 시냅스를 하나의 시스템으로 구현함
 - 단일 뉴런당 14336개의 시냅스가 연결가능하며 실제 생체학적 뉴런보다 만배 빠른 동작 속도를 보임



<그림 45> University of Heidelberg의 HICANN 연산장치와 웨이퍼 scale 모듈
(J. Schemmel, et al., IEEE IJCNN, 2008)

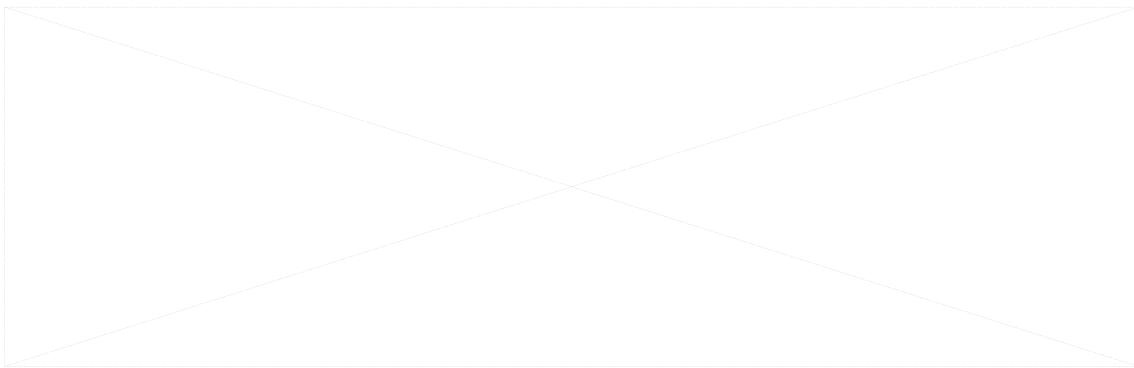
- SpiNNaker Project in University of Manchester
 - SpiNNaker
 - 유럽의 Human Brain Project의 일환으로 기존의 접근 방법의 Integrated and Fire 뉴런이 아닌 130nm 공정을 이용한 18개의 ARM968 프로세서와 128M 바이트의 SDRAM을 이용하여 뉴로모픽 시스템을 구현

- 대량의 병렬처리 시스템(massive parallel system) 디자인 되었으며, event가 발생 시 동작하는 방법으로 연산을 수행함
- Standard STDP, spike-pair STDP, STDP with time-to Spike 등과 같은 학습 방식을 사용하여 생체 뉴런의 행위 동작을 시뮬레이션하기 위해 설계됨



<그림 46> University of Manchester의 SpiNNaker 연산장치
(S. B. Furber, et al., Proceedings of the IEEE, 2014)

- Institute of Neuroinformatic in University of Zurich and ETH Zurich
 - ROLLS neuromorphic processor
 - 가변구조 형의 온라인 학습 스파이킹 인공신경망 시스템(Reconfigurable Online Learning Spiking, ROLLS)
 - 180nm 공정을 사용하여 256개의 adaptive integrated and fire 뉴런과 133120개의 시냅스를 구현함
 - Short Term Potential(STP)시냅스, Long Term Potential(LTP)시냅스 그리고 linear 시냅스로 구성됨
 - 안구의 황반부를 모델링한 Dynamic Vision Sensor(DVS)와 convolution neural networks로 구성된 ROLLS를 이용하여 물체를 인식하는 시스템을 구현함



<그림 47> ROLLS 뉴로모픽 프로세서와 물체인식 시스템
(N. Qiao, et al., Frontiers in Neuroscience, 2015)

- (국내 연구개발 동향) 국내에서 다음과 같이 대학 연구소 중심으로 연구가 진행되고 있음. 우리나라의 신경세포 모방소자 연구분야는 미국, 유럽과 비교하여 비교적 늦게 시작되었기 때문에 차세대 소자를 이용한 소자 개발 연구가 활성화 되고 있음

<표 7> 신경세포 모방소자 국내 연구 개발 동향

연구기관	연구내용	특징
서울대	<ul style="list-style-type: none"> - Charge-trap 메모리를 이용 신경세포를 모방하기 위한 소자 연구 - Floating-body MOSFET 구조를 이용하여 신경세포 모방 소자에 적용 	<ul style="list-style-type: none"> - 신경모사 시스템에 필요한 뉴런/시냅스 소자 및 회로 구현
KAIST	<ul style="list-style-type: none"> - 기계식 방식 이용 고에너지 효율 반도체 소자의 특성 및 성능 연구 	나노미터 수준의 집적도 구현
POSTECH	<ul style="list-style-type: none"> - 멤리스터 이용 신경세포 모방소자 연구 	<ul style="list-style-type: none"> - 패턴인식용 뉴로모픽 하드웨어에 적용
서강대	<ul style="list-style-type: none"> 고에너지 효율 반도체 소자 연구 삼차원 집적 재구성 가능 논리 회로 구현 	<ul style="list-style-type: none"> - 인공지능 반도체 구현을 위한 에너지 효율, 삼차원 집적 공정, 재구성 가능 논리 회로 개발
GIST	<ul style="list-style-type: none"> - CMOS/멤리스터 이용 뉴로모픽 회로 구현 	<ul style="list-style-type: none"> - 이미지 센서를 이용한 패턴 인식용 뉴로모픽 하드웨어 개발
서울시립대	고에너지 효율 반도체 소자 연구	<ul style="list-style-type: none"> - 새로운 절연 물질을 이용하여 반도체 소자의 에너지 효율 향상
삼성전자	차세대 메모리 및 집적도 향상 기술 연구	<ul style="list-style-type: none"> - 2011년 Grandis 인수 - 2014년 MRAM Innovation 프로그램을 통하여 전세계 다양한 연구기관과 공동연구
SK 하이닉스	차세대 메모리 및 집적도 향상 기술 연구	<ul style="list-style-type: none"> - 도시바, HP 등과 공동연구
삼성 종합기술원	<ul style="list-style-type: none"> - CMOS 기반 신경세포 모방 소자기술 연구 	<ul style="list-style-type: none"> - EU의 FACET 프로그램과 협력

- SK하이닉스는 미국 스탠퍼드대학교 (stanford university)와 강유전체 물질을 활용한 '인공신경망 반도체 소자 공동 연구개발' 협약을 체결하고, 뉴로모픽 (neuromorphic) 칩 개발을 추진
 - 기존의 컴퓨터는 데이터가 입력되면 이를 순차적으로 처리하며 순차 처리 방식의 컴퓨터가 병렬로 동작하는 인간의 뇌를 모방해 기억과 연산을 대량으로 병렬 진행할 수 있도록 하는 것이 뉴로모픽 기술의 핵심임
 - 삼성전자는 SSD에 CPU를 탑재하는 PIM (process in memory) 방식을 통해 따로 작동되는 메모리와 CPU를 인간의 뇌처럼 합쳐서 동작하도록 구현하는 것을 연구 중임
- 서강대에서는 반도체와 나노기계의 융합기술을 이용, '삼차원 인공지능 반도체 칩'을 세계 최초로 개발
 - 스위치 역할을 하는 나노 기계를 인간의 뇌 모양과 유사한 3차원 형태로 집적하기 위해 새로운 구조, 전압레벨에 대한 연구를 지속적 실시하였고 그 결과 나노 기계 회로를 삼차원으로 집적하는데 세계 최초로 성공

- 국내 신경세포 모방 소자 분야 연구는 대학 연구소 중심으로 연구가 진행되고 있으나, 미국, 유럽 등의 선두 그룹과는 양적, 질적 열세인 상황임
- (국외 연구개발 동향) 국외에서의 신경세포 모방 소자 분야 연구는 미국과 유럽을 중심으로 전 국가적 차원의 프로젝트를 결성, 대규모의 연구 지원을 투입하여 원천기술 확보에 주력하고 있음

<표 8> 신경세포 모방소자 국외 연구동향

연구기관	연구내용	특징
Stanford U. (미국)	-650,000개의 인공 뉴런 및 3,750,000개의 인공 시냅스를 이용 신경모사 시스템 구현 Heterogeneous integration을 이용한 재구성가능 논리 회로 구현	-구현된 신경모사 시스템을 뇌를 연구하는 뉴로사이언스에 사용
UC Berkeley (미국)	-고에너지 효율 반도체 소자 개발 및 이를 이용한 다양한 회로 구현	-소재/소자/설계 융합연구 진행
U. Michigan Ann Arbor (미국)	-멤리스터와 STDP을 이용하여 신경모사 시스템을 구현	-95% 이상 인식률의 clustering 시스템을 시뮬레이션 검증
EPFL(유럽)	-기업/대학과 공동으로 고에너지 효율 반도체 개발을 위한 STEEPER 연구 프로젝트 수행	-산학연 연계의 EU차원 거대 공동 프로젝트로 미국과의 기술 경쟁
Heidelberg U. (유럽)	-FACET 프로젝트를 통하여 8인치 웨이퍼 상에 신경모사 시스템 구현	-구현된 신경모사 시스템을 뇌를 연구하는 뉴로사이언스의 시뮬레이션 툴로 사용
Manchester U. (유럽)	-SpiNNaker 프로젝트를 통하여 18개의 ARM 프로세서를 사용하는 신경모사 시스템 구현	-뇌질환 연구에 이용
Intel(미국)	-고에너지 효율 반도체 소자와 기존 CMOS 소자의 융합 회로 연구 -삼차원 적층 cross point memory 연구	-기존 CPU 기술의 우위를 바탕으로 메모리 분야로 기술 확장을 시도
Monolithic 3D (미국)	-삼차원 적층 반도체 소자/공정 연구	-실리콘 웨이퍼 본딩을 통한 삼차원 반도체 칩 구현
HRL(미국)	-SyNAPSE 프로젝트를 통하여 CMOS baseline chip 상에 멤리스터 집적	-STDP 학습 알고리즘을 사용
IBM(미국)	-SyNAPSE 프로젝트를 통하여 CMOS 소자만을 이용 True North 칩 구현	-로봇에 적용 목표
Xilinx(미국)	-삼차원 재구성가능 논리 회로 칩 구현	-본딩 및 TSV 기술을 이용
AIST(일본)	-기업/대학과 공동으로 초저전력시스템(LEAP) 연구 프로젝트 수행	-차세대 반도체 기술 기반의 신경모사 시스템을 연구중
NNDL (대만)	-삼차원 집적 공정 기술 개발 및 회로 시연	-레이저를 이용하여 재결정화를 수행

- 초경량 지능형 반도체 기술
 - 2010년대 전후하여 모바일, 자동차, IoT 분야에서 상용화가 가능한 머신러닝 또는 스파이킹 뉴럴 네트워크 기반의 저전력 경량 지능형(뉴로모픽) 칩이 발표되기 시작하였음
 - 특징적으로 ANN기반의 SW 뉴럴 네트워크 기술과 달리 뇌 신경망의 구조와 신호전달 체계를 HW소자 또는 HW로직으로 Non von Neumann구조를 통해 구현함으로써 인공지능 처리에 필요한 비용과 성능을 크게 경감하여 보다 다양한 응용 분야에 활용할 목적으로 기술이 발전하는 과정에 있음
 - 기술의 발전방향에서 구분되는 주요한 특징으로는 응용에 따른 필요한 크기, 소모전원, 지능화 정도의 요구사항에 필요한 뉴런과 시냅스의 개수를 확장 또는 축소할 수 있으며, 별도의

고비용 Off-line 학습이 아닌 On-chip Learning 또는 Self-Learning으로 불리는 칩 자체에서 실행과 학습이 가능한 구조를 가지고 있음

- (General Vision, Neuromen) 2009년, KNN(K-Nearest Neighbor), RCE (Restricted Coulomb Energy)의 Classification 알고리즘에 최적화된 HW 엔진을 near-memory processing을 위하여 PIM(Processor In-Memory)기술을 통해 어레이로 구현한 칩으로서 뉴럴 네트워크 기반은 아니지만, IoT용 소형 SoC에서 반도체에서 머신 러닝 기반의 지능화된 처리 기능을 제공할 수 있음
- 개발된 칩은 국내 주ネ페스를 통해 패키징되어 현재 판매되고 있으며, 개발된 IP는 인텔 IoT용 SoC 제품군인 Quark™에 3-rd party IP로 제공되어 SoC(SE Micro-controller)으로 구현되었으며, 현재 Intel Curie(Aduino 101) 모듈로 판매되고 있음



<그림 48> General Vision, Neuromen



<그림 49> Intel - Quark™ SE Micro-controller

- (Qualcomm, NPU) 2014년 IBM Truenorth와 같은 I&F(Integrated&Fire) 뉴론 모델 기반의 SNN(Spiking Neural Network)의 뉴로모픽 칩인 NPU를 발표함
 - 인간의 학습체계인 STDP(Spike-Timing Dependent Plasticity)의 구조를 구현함으로써 On-chip에서 학습하는 능력과 인간처럼 주변 환경을 인식하는 능력을 시연
 - 2016년 퀄컴 스냅드래곤 820 포함되어 Zeroth 플랫폼을 이용하여 On-Chip학습을 시연

- ZDS (Zeroth Development Studio)의 개발 플랫폼에서 High Level Network Description Language를 통해 뉴로모픽 칩을 위한 새로운 프로그래밍 모델 제시



<그림 50> Qualcomm-NPU

- (Intel Loihi) 2017년 9월 인텔은 자체학습이 가능한 스파이킹 기반의 뉴로모픽 칩인 Loihi (로이히) 테스트 칩을 발표하였으며, 2018년 중반에 시연가능한 칩을 공개할 예정이며 2019년 상용칩을 출시할 계획임



<그림 51> Intel-Loihi

- CalTech의 Carver Mead 교수와 함께 6년간 SNN기반의 뉴로모픽 칩을 연구하였으며, 범용성을 가진 온칩 학습이 가능한 칩이면서 MNIST기준 DNN 시스템대비 100만 배 빠른 학습/실행 성능을 증명하였음

- 인텔 14nm CMOS 공정을 통해 개발된 테스트 칩은 128개의 병렬 코어를 통해 130,000 개의 뉴런과 130,000,000개의 시냅스를 포함하고 있으며, 완전한 비동기방식의 병렬 구조로 동작함
- 향후, IoT용 경량 SoC뿐만 아니라, 자동차, 로봇 산업용 응용에 적용될 것으로 기대하고 있음

□ 지능형 멀티모달 센서 신호처리 기술

- 경량 인공지능 반도체 구조는 기능적으로 크게 센서, 영상, 오디오등 입출력의 다차원 데이터를 정제하고 가공하는 Feature-Extractor와 뉴럴 네트워크 기반으로 구현되는 Inference Engine으로 구분할 수 있으며, Feature-Extractor의 멀티모달 신호처리 기술은 추론/판단 기술과는 별개로 미국을 중심으로 '11년부터 활발하게 연구되고 있으며, 아직은 주로 DNN기반 플랫폼 상에서 연동되어 연구되는 초기 단계로서 다양한 하드웨어 및 반도체 기술이 연구 개발되고 있는 상황임
- 멀티모달 기반에 HMI⁹⁾연구는 국내에 비해 10년 이상 앞서 있으며, 하드웨어 기반 연구도 '11년부터 시작되어 최근에는 다수의 기계학습 기반 멀티모달 센서 신호처리 반도체 기술이 개발되고 있음
- 하지만, 오픈 소스 강화 학습 기반 알고리즘들은 논리와 판단을 위해 PC나 워크스테이션급의 자원이 요구되고 있으며, 인터넷 연결성이 높기 때문에 플랫폼에 의존적인 한계를 지니고 있음
- 인텔은 멀티모달 센서 신호처리가 가능한 큐리(Curie)와 쿼크프라임(Quark Prime)을 판매하고 있으며, Movidius社는 드론에서 지능형 처리를 수행할 수 있는 'Fathom' 플랫폼을 발표하였음
 - 인텔은 '17년 경량 서버와 게이트웨이 및 홈용 IoT CNN¹⁰⁾ 가속기 HPS¹¹⁾ IP가 포함된 FPGA인 Arria10과 멀티모달 센서 처리가 가능한 쿼크프라임(Quark Prime)을 발표하고 OpenCL SDK¹²⁾를 지원을 통해 CNN과 경량 ANN¹³⁾을 고속으로 처리함



<그림 52> 인텔의 CNN 전용처리칩인 Arria10과 2세대 Quark Prime

- MIT에서 웨어러블 및 IoT용 아이리스(Eyeriss)를 개발하여 판매하고 있음

9) Human Machine Interface

10) Convolutional Neural Network

11) Hard Processor System

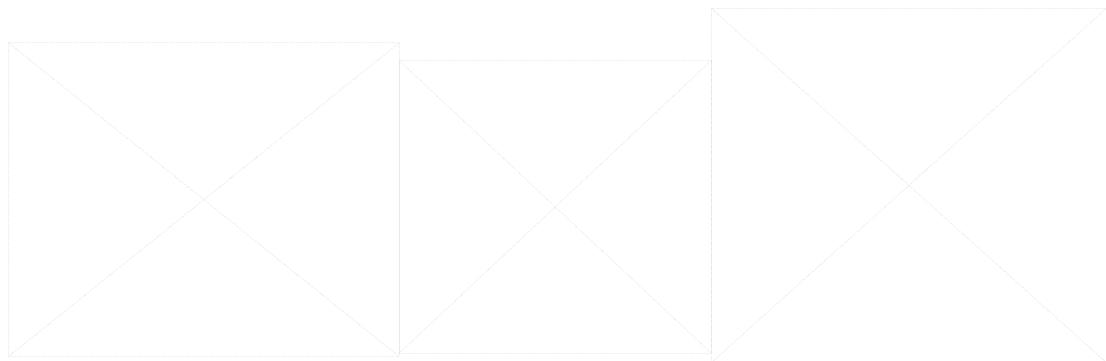
12) Software Development Kit

13) Artificial Neural Network



<그림 53> 해외 멀티모달 센서 신호처리 연구의 예
(유럽 ETH 프로젝트 2014, MIT 아이리스 2016, USA NSF 프로젝트 2016)

- 미국 대학에서 130nm-45nm를 이용한 멀티모달 신호처리 SoC 및 CMOS를 개발하고 있으며, 국내에서도 KAIST가 '16년부터 이와 유사한 연구를 진행 중임



<그림 54> 해외 멀티모달 System VLSI 연구 결과
(130nm 공정에 멀티모달 엔진, IBM SOI 45nm 공정 멀티모달칩, TSMC 65nm 공정 모달칩)

- IoT 뿐만 아니라 구글의 텐서플로(TensorFlow), 버클리의 카페(Caffe), MS의 DMTK, NVIDIA의 DIGITS에서 공개된 강화 학습 기반에 멀티모달 센싱으로 웨어러블 분야와 헬스케어, 그리고 차량의 인포테이먼트, 게임 등 다양한 분야에 논리·판단·제어에 관련된 연구 확대가 진행 중
- 중국은 IoT와 AI는 차세대 컴퓨팅의 핵심으로 선언하고 현재 서버용 ARM 코어 기반 지능형 프로세서인 Earth, Mars를 개발하였으며, '15년부터는 ARM Cortex기반 IoT 산업의 스마트를 기술을 확대하기 위해 중국의 인공지능 기업인 Thundersoft와 HOPU는 지능형 코어를 개발하고 있음
- 국내는 웨어러블, IoT용 지능형 신호처리 반도체가 아직 없는 실정이며, 클라우드 기반 기계 학습 처리 플랫폼 기술을 적용하고 있는 상황임
- 국내는 멀티모달 IoT 정보처리를 위한 인공지능 기술은 음성을 기반한 아마존-알렉사, 구글-어디스턴트, MS-코다나 등 국내 대기업과 협업 서비스가 다수로 멀티모달 처리 위한 원천 기술을 보유하고 있지 않음
- LG전자, SK텔레콤, 삼성전자, 현대자동차를 중심으로 홈 가전과 웨어러블 분야 연구를 활발하게 진행하고 있지만, 단말 자체의 지능형 처리보다 서버 기반의 연구 위주
- LG전자는 아마존의 알렉사와 연동한 “SmartThinQ Hub”를 발표하고, 가전기기에 다양한 정보

를 수집하고 사용자 음성인식을 통해 지능형 서비스를 제공할 예정

- SK텔레콤은 음성인식 디바이스와 환경 센서를 기반 NUGU 단말을 이용해 인공지능 서비스를 제공
- 삼성전자는 패밀리허브를 통한 클라우드 서비스를 통해 인공지능을 제공



<그림 55> 멀티모달 정보를 이용한 클라우드 및 네트워크연결 시제품

- 멀티모달 센서 신호처리 기술은 점차 기계학습 기반 반도체를 이용한 분야로 응용 분야가 확대되고 있음
 - 현대자동차는 아마존과 협업하여 자체 개발한 ccOS(Connected Car Operating System)과 알렉사를 연동하여 음성인식 솔루션을 개발하였으며, 아오닉(IONIQ) 전기차량에 '현대 오토 모니브 IoT' 솔루션으로 TI와 협력하여 ZigBee, BLE을 기반으로 차량의 인포테이먼트 및 편의장치를 제어/수집하는 기술을 개발
 - 현대자동차는 인텔과 협업하여 제니비(GENIVI)를 기반으로 하는 터치, 음성, 위치정보, 네비게이션을 포함한 차량 인포테이먼트 정보를 통합한 멀티모달 센서 신호처리 기술을 개발
 - 삼성전자는 엑시노스 8895에 강화학습 물리엔진을, 아틱에 인공지능 물리엔진을 반영하기 위해 미국 SSIC에서 관련 분야의 연구 및 설계를 진행
- (음성과 지능, 서비스기술 융합) 국내 IoT 기반에 음성인식 기술과 인공지능 기술의 융합한 지능형 서비스를 확대하고 있음
 - SK텔레콤의 '누구'의 사례를 보듯이 음성인식률이 낮은 편이며, 낮은 음성인식률과 함께 인공지능 서비스는 제한적임
 - KT은 인공지능 홈 사업에 진입하기 위한 '기가 지니' 서비스를 시작하고, 계열사가 확보하고 있는 도어락, 험캠, 공기청정기, 가스밸브, 창문제어 등의 IoT 기기와 연계한 서비스를 제공
 - 코웨이와 LG전자는 알렉사를 통한 지능형 음성 서비스를 자사의 가전 디바이스에 장착하여 연동 서비스를 제공하고 있음
 - 삼성전자가 확보한 S보이스는 클라우드 기반에 음성인식 기술로 국내 최고수준의 음성 인식율을 가지고 있으나, 구글, 애플, 아마존, MS 등과 비교에서 상대적으로 미흡하여 애플 시리를 개발한 비브랩 인수를 통해 음성인식 원천 기술을 확보함

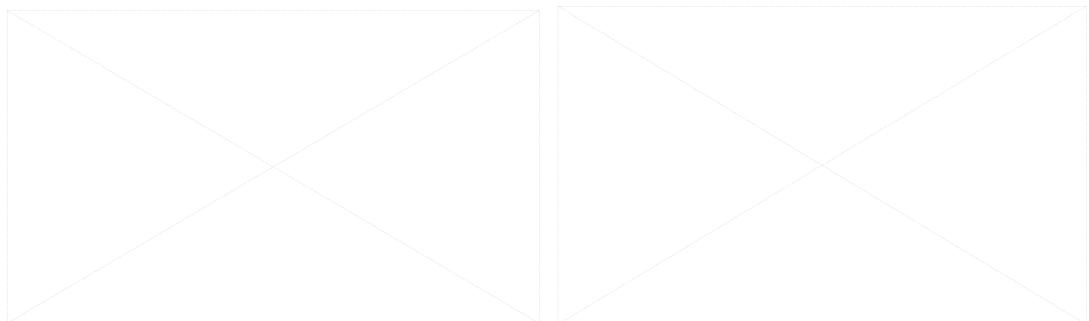
※ 현재 S보이스를 BixBy로 명칭을 변경

※ 특히, 인공지능과 연계된 기술의 비교에서 구글과 애플은 날씨라는 키워드에서 주변 날씨, 온도와 주(Week) 정보 등 6가지를 제공하는 반면, S보이스는 그날과 그주 날씨만 제공

<표 9> 국내 음성기반에 지능형 IoT 서비스

기업	기술	서비스
네이버	아미카	정보검색 및 생활편의 서비스 (예정)
삼성전자	패밀리허브 2.0	가전기기 및 휴대폰(갤럭시 S8)
LG전자	알렉사(아마존)	가전기기 및 휴대폰
SK텔레콤	누가	일정관리, 음악, 음식배달
KT	지니	TV셋톱박스 및 음악, 음식배달, 택시호출
코웨이	알렉사(아마존)	공기청정기 및 정수기

- NXP, ST마이크로 등 팹리스 기업들 또한 웨어러블 기반에 SoC와 음성과 체스처를 융합한 형태의 통합 플랫폼을 개발·제공하고 있음
 - NXP는 웨어러블 제스처 인식 음성 칩과 'VoiceGurus API'와 결합한 통합 플랫폼을 개발로 음성 제어 뿐만 아니라 오디오 감지 기술과 서비스를 결합하여, 의료, 자동판매기, 가정 제어시스템, 스마트폰, 자동차 인지 분야까지 확대
- ST마이크로는 블루투스와 음성인식 기술이 융합된 홈오토메이션용 'BLUEVOICELINK1'를 STM32 ARM기반 SDK 및 SoC를 제공



<그림 56> MCU기반에 음성기반의 API와 결합된 음성 인지 플랫폼

□ 경량 인공지능 SoC를 위한 프로세서 코어 기술

- 인공지능 반도체는 기존 컴퓨팅 환경과의 연동을 위한 IP들과 융합된 SoC로 개발되어야 하며, 경량 인공지능 반도체 SoC의 개발을 위해 최근 로열티가 프리인 오픈 프로세서 기술을 활용한 생태계가 구축되고 있음
- UC버클리에서 개발한 고성능 오픈 프로세서 코어인 RISC-V의 등장 및 오픈 SW 그룹 및 글로벌 기업의 참여로 인하여 점차 관련 생태계가 구축되어 경쟁력을 확보해 나가고 있음
- 오픈 리눅스 그룹, 아파치(APACHE) 그룹, 오픈 네트워크 그룹(Linaro) 등 연계하여 RISC-V 생태계를 조성하고 있음



<그림 57> RISC-V 오픈코어 지원 기업 및 오픈그룹들

- 파운드리, 소프트웨어 플랫폼, 설계툴, 서드파티(Party IP) 등이 팩리스를 중심으로 협업하는 구조



<그림 58> RISC-V와 팩리스

- UC 버클리의 Aspire Lab과 MIPS 컴퓨터 기본 구조를 완성시킨 데이비드 패터슨 교수가 참여하고 있는 RISC-V는 산업계에서 상용화할 것을 목표로 ARM과 직접 경쟁하여 대체할 수 있는 고성능 무료 CPU 구조를 개발하고 있음

※ OS분야에 BSD Unix 라이센스와 같은 개념을 하드웨어에 적용하였음

- ARM Cortex-A5 대비 처리 속도는 9.5% 향상되었고, 면적당 효율(Area Efficiency)은 32.9% 증가하였으며, 소비 전력은 MHz당 57.5% 향상되었음¹⁴⁾
- 캠브리지대와 구글은 LowRISC 그룹을 설립하고 개방형 SoC 등 관련 기술을 개발하고 있음
- ETH 취리히 연구소는 PULPion(Parallel Ultra Low Power)의 프로젝트를 통해, Cortex M4급의 처리속도를 갖는 10~50mW급의 전원을 소비하는 IoT용 CPU 코어와 2000MIPS급의 병렬 컴퓨팅 SoC를 개발하고 있음

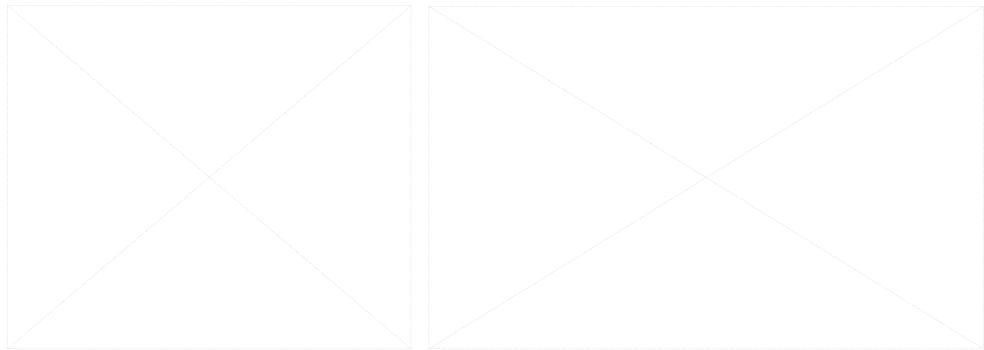
14) 인용: Raven: A 28nm RISC-V Vector Processor with Integrated Switched-Capacitor DC-DC Converters and Adaptive Clocking, 2015



<그림 59> PULPion 프로젝트의 개념도

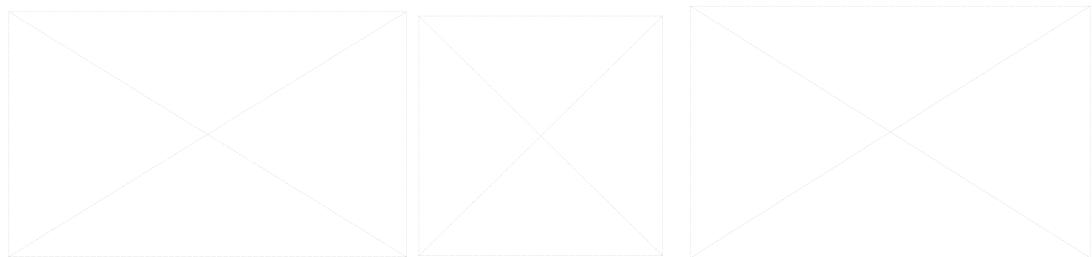
※ ARM Cortex M4와 비교했을 때, 동일 공정에서 클럭당 전원소모가 32.5% 감소

- Microsemi는 최근 RISC-V 설계 IP와 함께 이를 SoC로 만들기 위한 포괄적인 소프트웨어 툴 체인 및 IP 코어를 활용할 수 있는 FPGA 기반 툴을 제공



<그림 60> Microsemi RISC-V IP 설계/검증용 FPGA 보드

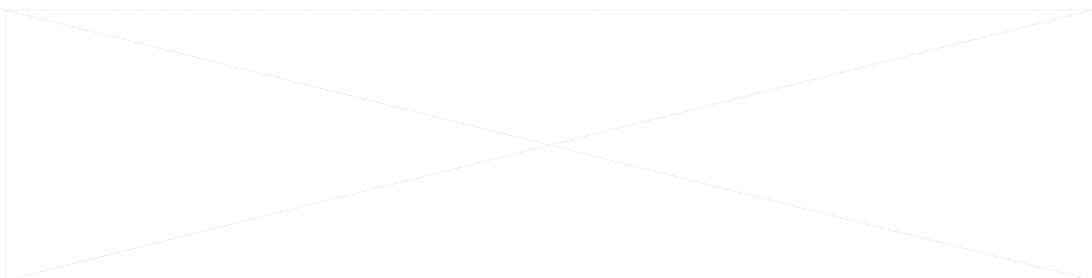
- RISC-V를 확산하기 위해 리눅스 재단, 아두이노 그룹 등과 협업 관계를 맺고 다양한 하드웨어 및 개발 플랫폼을 제공



<그림 61> 아두이노와 이클립스 환경에서의 RISC-V

- 아두이노 기반 하드웨어, 이클립스 기반 GNU 툴체인을 제공하고 있으며, '17년에는 점차 Android 분야까지 확대 제공할 예정
- 또한 Apache Mynewt, Zephyr 등 RTOS 관련 다양한 그룹의 지원을 받고 있어 점차 응용 분야를 넓혀가고 있음
- 삼성전자는 RISC-V를 이용하여 ARM의 Cortex M0+를 대체할 수 있는 IoT용 프로세서를 개발하고 있으며, 이를 활용한 Artik 플랫폼을 발표하였음

- RISC-V를 지원하는 FreeRTOS, Apache Mynewt, NuttX, Arduino 등과 교차 환경을 제공하고 관련된 지원을 적극 활용하여 IoT 생태계를 확대하려고 함
- 국내에서 연구된 프로세서 코어는 에이디칩스 이스크(EISC), 전자부품연구원 멘사(MENSA), ETRI의 알데바란(Aldebaran), KAIST의 코어에이(Core-A) 등이 있으나, 이스크, 멘사, 코어에이는 IoT 분야 SoC에 적용은 가능하지만 상대적으로 선도국에 비해 가격 및 성능, 전력, 확장성에서 경쟁력이 부족
 - 국산 코어 확산을 위한 지원 정책으로 시스템반도체 분야에 '국산 CPU 코어 활용 SoC 개발', '한국형 CPU 코어' 등 다양한 산업을 추진하고 있지만, SoC 코어와 연계된 컴파일러, 개발 환경, RTOS, 임베디드 OS 지원 환경, 연동 프레임워크(Framework), 라이브러리(Libray) 지원 등에 한계가 있고, 분산된 R&D 투자와 노력으로 인해 생태계 확장을 통한 시장 확대에 어려움이 있음
 - 삼성전자는 HW 플랫폼인 ARTIK을 중심으로 소프트웨어, 클라우드, 보안을 포함하는 IoT 생태계 솔루션을 발표
 - 'ARTIK 0'는 저전력, 경량화, 저비용의 특성을 갖춘 모듈로 개발자들의 요구에 따라 ZigBee 또는 BLE 등 저전력 무선통신 표준 기능과 저전력 MCU가 탑재되어 쉽게 Connectivity 기능을 구현할 수 있는 특징이 있음
 - 'ARTIK 7'은 WiFi, BLE, ZigBee, Thread 등 다양한 Connectivity 기능과 함께 고사양의 멀티미디어 프로세서와 리눅스 OS, 보안 기능이 탑재되어 고성능 게이트웨이 구현에 적합한 특징이 있음



<그림 62> 삼성 ARTIK 플랫폼

가. 개방형 플랫폼 기술

□ 오픈 소스기반 통합 플랫폼

- 4차산업혁명의 특징인 다품종 소량 생산의 경쟁력을 제고를 위하여 비용 절감의 방법으로 개방형 플랫폼 기술이 많은 관심을 받고 있으며, 글로벌 기업의 오픈 소스 SW 활용율은 99% 수준까지 확대 전망
- '10년 이후 오픈 SW 관련된 플랫폼 기술은 하드웨어, 컴파일러, 프로세서 코어 IP, 설계 등을 포함하는 것으로 확대되고 있음
 - 하드웨어 모듈, 연동 플랫폼 및 SoC에 대한 개발 환경 제공을 통한 참여 및 시장 확대를 위해 모든 계층에 오픈 플랫폼들이 제공되고 있음

- 임베디드 OS, 임베디드 DBMS, SDK, IDE, 프레임워크 등 다양한 오픈 플랫폼이 제공되고 있으며, 최근 클라우드 컴퓨팅과 인공지능 기술이 융합이 이루어지면서 서버 기반 오픈 플랫폼이 증가하는 추세임
- 국내도 연구개발 관련 결과물인 다양한 SoC, 하드웨어 모듈, 센서, 플랫폼 SW 등의 기술을 국외의 오픈 프로젝트와 연계 또한 사용할 수 있는 환경 제공을 통해 글로벌 오픈소스 환경 참여 확대와 관련 기술의 시장 확보를 진행 중임
- 서비스 환경과 제품 분야에 따라 RISC-V, KiCad, 아두이노, PX4, OpenWrt, eCos, Sphinx 등 다양한 오픈 플랫폼들이 상호 수직적 수평적으로 사용되고 있음
- RISC-V 기반 SoC 플랫폼을 활용한 HiFive1 Cores는 아두이노 환경을 제공하고 있으며, 이를 활용하여 APM 기반으로 드론, IoT 디바이스, 오픈리모트와 연계하여 서비스 제공 예정임



<그림 63> OSI 단체에 소속된 오픈소스 멤버

- 개발 환경이 서비스를 직접 구축하거나 개발 환경을 구축하지 않는 화이트레이블(White label) 방식의 클라우드 오픈 플랫폼 개발·검증 환경이 점차 가속화
 - 아두이노 그룹은 Arduino Code Editor와 Arduino Cloud Platform를 AWS로 무료로 공개하고, 클라우드 기반에 PCB부터 SW까지 동시에 개발하는 환경을 제공
 - 엔텔스는 클라우드 기반의 플랫폼인 니트(KNEET)를 통하여 사업자들이 서비스를 직접 구축하지 않고 임대 방식으로 자사 브랜드의 사물인터넷 서비스를 이용자에게 제공함으로써, IoT 서비스 구축에 필요한 모든 요소를 제공으로 서비스 구축 기간을 단축과 비용을 절감할 수 있게 함
 - MS는 애저(Azure)를 '11년 공개하고 클라우드 기반에 비주얼스튜디오를 이용한 통합 개발

환경을 제공

- 나이트러스(Nitrous).IO는 클라우드 기반의 개발 플랫폼으로 4000개의 기업에서 10만 명의 개발자가 사용하는 플랫폼으로 개인과 스타트업에게 무료로 제공
- 클라우드 기반에 IoT 통합 개발을 위한 PaaS¹⁵⁾가 도입되고 있으며, 오라클, 아마존, 구글 등 다양한 글로벌 기업들이 지원하고 있음
- ARM은 mbed 플랫폼을 클라우드 기반에 개발 환경을 사용할 수 있도록 할 예정
- LSR社는 자사의 무선 모듈(Wi-Fi, Bluetooth, Zigbee)을 TiWiConnect IoT 플랫폼용 클라우드 에이전트를 통해 오픈 플랫폼과 LSR의 서버와 연동하여 모듈을 활용하기 위한 API, 라이브러리를 제공하고 있으며, 아두이노는 물론 RTOS, 윈도우, 우분투 등 약 10여 종의 OS와 개발 환경을 지원을 함
- 국내는 아직 글로벌 플랫폼 지원은 미흡한 편이며, 특정 프로토콜이나 게이트웨이의 M2M 기반에 기기간의 프로토콜 호환 기술 개발 분야에 한정이 된 연구 개발이 이루어지고 있음
 - 미들웨어, 게이트웨이 분야에서는 전자부품연구원의 모비우스(Mobius), 한국정보화진흥원의 클라우드 기반의 파스-타(PaaS-TA), 한국통신연구원에 개방형 시맨틱 IoT 플랫폼(COMUS) 등이 있으며, 점차 IoT 분야로 응용 영역을 확대
 - 국내 플랫폼들은 특정 환경과 디바이스에 종속되어 있으며, 오픈 라이브러리 및 응용 프로그램의 다양성 제약과 함께 신뢰성 검증 및 고도화에 한계가 있음
 - 삼성의 원스톱 IoT 개발 플랫폼으로 아티크(Artik)의 하드웨어와 플랫폼을 동시에 공개하였지만, 하드웨어에 종속적인 환경으로 IoT 하드웨어 플랫폼 접근에 한계를 가짐
 - 삼성은 아티크를 아두이노 그룹과 협력하여 인증 프로그램과 연동한 개방형 플랫폼 환경으로 확산을 노력하고 있고, 네이버와 협업하여 네이버의 오픈 플랫폼인 ‘아미카(AMICA)’을 확대하기로 했으나 시너지면에서 여전히 한계를 지님
 - CMS(Content Management System)기반에 개발 환경은 ’10년 전부터 제공되어 왔으며, 웹 기반에 통합 개발 환경은 ’13년 구글 ‘크롬앱’을 시작으로 점차 확산되고 있는 추세
 - IoT 개발을 위한 니트(KNEET)나 아두이노 그룹의 아두이노 클라우드(Arduino Cloud)등 제공되는 반면 국내는 아직 전용 오픈 플랫폼으로 삼성의 타이젠(Tizen)과 아티크(Artik) 정도 밖에 없음
- 개방형 플랫폼 기반 경량 인공지능 반도체 응용 서비스 기술은 하드웨어 모듈과 SW와 결합된 응용 서비스 기술과 전통적인 서비스 환경을 제공하는 API 및 라이브러리 기반에 환경으로 분류되며, 최근 블록 형태의 하드웨어 모듈과 SW의 경계가 없어진 모듈과 개발 환경이 통합된 기술이 지능형 기술과 융합된 신(新) 서비스 환경으로 점차 확산되고 있음

15) Platform as a Service



<그림 64> 아두이노 재단의 ESLOV 응용 서비스 기술

<표 10> 개방형 플랫폼 관련 협의체 현황 및 기술현황

연합체명	주요 기술 내용	추진체계
OIC→OCF (open Connectivity Foundation)	<ul style="list-style-type: none"> 운영체계와 서비스 공급자가 달라도 기기 간 정보 관리, 무선 공유가 가능한 기업체 표준기술에 기반 네트워크, 전원, 대역폭 등이 변하는 상황에서도 지능적이고 안전하게 정보를 교환·관리할 수 있도록 하는 운영체계 개발 추진 	<ul style="list-style-type: none"> 200여개의 기업이 참여 (인텔, 아트멜, 브로드컴, 멜, 삼성전자, 윈드리버 등) 2016년 올 scn얼라이언스 및 UPnP 그룹과 통합
OAA (Open Automotive Alliance)	<ul style="list-style-type: none"> 안드로이드 기반의 차량 공통 플랫폼 개발 및 개방형 생태계 구축을 목적으로 설립 안드로이드 기반 차량용 플랫폼으로 누구나 자유롭게 참여 가능한 개방형 플랫폼 개발 	<ul style="list-style-type: none"> 구글 주도 하에 28개의 자동차 제조사 파트너(아우디, 지엠, 혼다, 현대, 포드, 볼보 등) 및 15개의 기술 파트너(LG, 엔비디아, 파나소닉, 후지쯔, 멜파이, 파이오니아) 등 43개 기업이 참여
SAMI (Samsung Architecture for Multimodal Interactions)	<ul style="list-style-type: none"> 웨어러블 컴퓨팅 기업 및 자동차 제조사 등이 사물인터넷 서비스 제공을 위해 삼성전자가 독자적 개발 플랫폼 웨어러블 디바이스들로부터 획득된 생체정보를 분석하여 사용자의 전문적인 건강관리 제공에 활용 	<ul style="list-style-type: none"> 핏빗, 스마트워치 제조사 폐블, 심장 모니터 장비 제조사 바이탈 커넥트 등 50여 개 회사와 협력
CHA (Continua Health Alliance)	<ul style="list-style-type: none"> u-Health 관련 국제 표준화 및 인증 단체로서, 헬스케어 관련기업이 효율적인 의료서비스를 제공하기 위해 설립 상호 호환 가능한 개인 연계 보건 제품과 서비스를 발굴하기 위해 기존의 기준 결합, 적용 가이드라인 설정에 노력 중 	<ul style="list-style-type: none"> 인텔, 오라클, 시스코, 파나소닉, 필립스, 후지쯔, 웰컴, 삼성전자, 샤프 등 14개 기업이 이사회에 참여하고 있으며 약 220여 개 기업이 회원사로 참여
Thread Group	<ul style="list-style-type: none"> 802.15.4기반 스마트홈을 위한 새로운 IP기반 무선 통신망 프로토콜, 스레드(Thread) 개발을 통해 상호 호환이 가능한 사물인터넷 구현을 위해 설립 	<ul style="list-style-type: none"> 구글이 주도하고 네스트랩스, 실리콘랩스, 프리스케일, ARM, BIG ASSFANS, 예일시큐리티, 삼성전자 가 참여

- 인텔, TI, 아트멜 등 팹리스는 자사의 SoC 및 하드웨어 플랫폼과 지능형 기술 확산을 위해 UI 형태의 개발 환경과 결합한 빠른 응용 서비스를 제공할 수 있는 환경을 오픈 SW 그룹들과 협업
 - 인텔과 아트멜(Atmel) 등 팹리스 기업과 아두이노 재단은 ESLOV 플랫폼을 공개하여 향후 서드 파티 모듈의 제품까지 확산이 가능
- 오픈 플랫폼과 결합한 응용 서비스 지원이 센서와 모듈이 블록으로 연결되어 사용자 및 IoT 서비스 시장을 확대를 진행되고 있으며, 점차 기술에서 서비스 중심으로 재편되고 있음
 - 국내에서도 모비우스(Mobius), Commus같은 플랫폼이 있지만, IE 응용서비스를 확대하기 위해서는 해당 서비스 분야의 개방형 플랫폼 협의체를 고려한 서비스 접근 방안이 요구됨

- 하드웨어 모듈 및 플랫폼 기반에 통신, 그래픽, 딥러닝 다양한 분야에 서비스를 제공하기 위한 C++, Java, Python, PHP, Ruby 등 라이브러리와 소스가 제공과 함께 오픈 리모트와 같이 특정 서비스 분야를 빠르고, 접근하기 쉽도록 제공하기 위한 통합 서비스 환경 또한 빠르게 활성화되고 있음
 - 개별 플랫폼들에 라이브러리 제공을 위한 불편함을 클라우드와 원격 저장소 그리고 배포하는 전용 툴이 제공되고 있으며, 이를 기반으로 웨어러블, IoT 등 분야가 가속화 될 것으로 전망됨
 - 기업, 기관 및 단체에 따라 IoT 디바이스 단말의 서비스 플랫폼 측면에서 보안에 따른 IoT 서비스 구성 요소(단말, 네트워크, 서비스) 등 서로 다른 관점에서 보안 방안을 제시하고 있으나 요구 사항에서는 유사성을 지님
 - 개방형 플랫폼 관련 협의체를 구성해, 연결 기술뿐만 아니라 플랫폼, 연결성, 응용 서비스 등 다양한 영역에서 표준화와 생태계 확대를 진행

나. 인공지능 반도체 생태계

□ 지능형 IoT 분야

- IoT, 웨어러블 시장은 '20년 1조 달러 규모로 고속 성장 예측되며, 글로벌 기업들은 개방형 서비스 플랫폼 기반 생태계 확보 주도권 경쟁 심화
 - 인텔은 아두이노(Arduino) 연동이 가능한 갈릴레오(Galileo) 및 초소형 단말 솔루션인 에디슨(Edison), 큐리(Curie) 플랫폼을 기반으로 시장 선점을 위한 비전을 발표
 - 퀄컴의 Alljoyn 플랫폼은 AllSeen 얼라이언스를 통하여 플랫폼 개방 정책을 추진
 - IBM의 MQTT 기술 역시 소스를 오픈함으로써 빠른 기술 확산을 유도하고 있음
- 최근 보드 수준에서 아이디어 검증을 위한 개방형 HW 플랫폼이 확산되고 있으나 각 제품별 개발 환경과 요구하는 기술 수준이 서로 상이하여 다양한 목적에 활용하는데 제한이 있음
 - 아두이노 플랫폼은 아두이노 듀이(Due)를 비롯해 디시밀라(Diecimila), 듀이밀라노브 (Duemilanove), 우노(UNO), 레오나르도(Leonardo), 메가(Mega), 나노(Nano), 미니(Mini), 릴리패드(LilyPad) 등 다양하게 분화
 - 라즈베리 파이는 700MHz ARM CPU와 GPU, DSP, 메모리 등이 탑재된 미국 브로드컴의 BCM2835 SoC를 기반으로 하고 있음
 - TI OMAP SoC 기반 비글보드는 라즈베리 파이와 유사한 개방형 경량 HW 플랫폼으로, 720MHz의 ARM CPU를 비롯해 고속 비디오 및 오디오와 2D/3D GPU가 탑재되어 있는 등 강력한 성능을 구현하고 있으며, 리눅스를 비롯해 안드로이드, 우분투(Ubuntu) 등 다양한 OS를 지원
 - ARTIK 1의 경우 12mmx12mm의 소형 모듈로서 전력 소모량을 최소화하기 위한 별도의 칩을 장착하여, 약 1주일 정도의 지속 컴퓨팅이 가능한 수준
 - ARM社는 Cortex-M을 기반 Mbed를 제공하고 있으며, STmicro, Freescale, TI 및 NXP 등이 함께 참여하고 있음

- 서비스 도메인별로 독립적으로 개발되던 수직 구조 개발형 플랫폼에서 다양한 도메인의 서비스를 통합 수용하는 수평적 통합 구조의 개방형 플랫폼 생태계로 진화 중
 - Cisco, IBM, 웰컴, 인텔, Google 등 글로벌 기업의 기술 개발은 홈, 환경, 에너지, 교통 등과 같은 다양한 도메인의 서비스를 통합적으로 지원하는 수평적 플랫폼을 추구
 - EU의 FP7 기술 개발 프로젝트 및 ITU-T, oneM2M 등의 플랫폼 표준은 수평적 통합 모델을 기본으로 고려하여 연구 개발 및 표준화가 진행 중
 - ETSI M2M의 경우, 개발된 표준 기술 간의 상호 운용성 시험(Plug Test)을 지원함으로써 여러 회사에서 개발한 기술 간 수평적 결합을 지원하고 있음
 - 버클리대의 TinyOS나 스웨덴 연구소의 Contiki는 IE 단말을 위한 운영체제로, 주력 개발자 의 창업으로 SW의 업그레이드가 지속되지 못하고 있음

<표 11> 인텔리전트 엣지 단말 운영체제

명칭	특징
Contiki	<ul style="list-style-type: none"> ○ 스웨덴 SICS에서 오픈 프로젝트로 개발한 공개 멀티 쓰레드 기반 OS로서 IoT 제품에 적용될 수 있도록 확장중임
TinyOS	<ul style="list-style-type: none"> ○ UC 버클리에서 개발한 센서 네트워크용 공개 OS로서 TOSSIM 시뮬레이터와 이클립스 개발환경을 제공
ARM mbed	<ul style="list-style-type: none"> ○ ARM에서 제공하는 모바일용 OS로서 개발환경을 함께 제공하고 있고 개방형 정책을 지향함
NanoQplus	<ul style="list-style-type: none"> ○ ETRI에서 개발한 센서 네트워크용 저전력 경량 OS로서 자동차 AV기기와 스마트미터에 적용됨
FreeRTOS	<ul style="list-style-type: none"> ○ 리얼타임에지니어스에서 개발한 웨어러블 기기용 경량 OS로서 스마트워치 시장의 많은 부분을 점유하는 Pebble Watch에 적용
기타 OS	<ul style="list-style-type: none"> ○ uC/OS, eCOS, uCLinux 등의 다양한 경량 OS가 있으며 20KB이내의 커널을 제공하고 있음

- IoT 관련 콘텐츠, 서비스 플랫폼, 디바이스의 유기적 연결성과 사용자의 접근성을 위하여 상호 호환성 및 주도권 확보를 위해 경쟁 중
 - 애플은 홈킷(HomeKit), 구글은 브릴로(Brillo)를 통해 독자적인 기술 기반으로 사물인터넷 시장의 주도권을 확보를 위한 경쟁 중
 - 웰컴, MS, LG전자 등 180개 이상 회원사를 확보하고 있는 올씬 얼라이언스는 올조인 (Alljoyn) 오픈 소스를 중심으로 IoT 미들웨어 확산에 노력
 - 삼성전자와 인텔 주도로 결성된 OIC는 시스코, HP, 미디어텍, 화웨이 등 200개의 회원사를 확보하고 있으며, 디바이스단의 사물 인터넷 표준과 연결성을 중심으로 발전하고 있음
 - 구글(네스트랩스)이 주도로 설립한 THREAD 그룹은 ARM, 인텔, LG, 마이크로 소프트, 네스트, 웰컴, 삼성 등 약 200여개 이상의 회원사를 확보하고, IP기반의 무선통신 프로토콜을 주도하고 있음
 - 연결성과 연동성을 위해서 XMPP¹⁶⁾, CoAP¹⁷⁾, MQTT¹⁸⁾ 등의 IoT용 실시간 프로토콜이 제

16) eXtensible Messaging and Presence Protocol

17) Constrained Application Protocol

18) Message Queueing Telemetry Transport

시되고 있지만 상호 호환성 문제가 있어 IoT 기반 SoC에서 프로토콜간의 상호 호환성을 위한 연구가 필요

- IoT-음성-인공지능-클라우드 기술이 미국 기업을 중심으로 빠르게 ‘지능형 사물인터넷’로 변화와 함께 오픈 플랫폼을 통해 다양한 기업들의 참여를 유도하고 있음

<표 12> 글로벌 기업들의 AI 확보를 위한 플랫폼 사례

기업	기술	서비스
구글	구글어시스턴트	<ul style="list-style-type: none"> 스마트홈을 통해 자사의 다양한 플랫폼을 통합 서비스 제공 전망
아마존	알렉사	<ul style="list-style-type: none"> 스마트기기 및 가전기와 아마존 분석도구(웹서비스)와 연계해 데이터활용을 극대화 할 수 있는 지능형 서비스 제공 확대
애플	시리-홈키트	<ul style="list-style-type: none"> 시리(Siri)기반에 인공지능 스피커를 개발 중
마이크로소프트	코다나	<ul style="list-style-type: none"> 전장과 결합하여 인포테이먼트 서비스를 제공 닛산과 BMW 결합한 서비스를 시연했으며, 향후 닷산의 차량시스템에 탑재할 예정

- 음성인식 기반 AI 서비스를 아마존, 구글 등을 중심으로 확대하고 있음
- 클라우드 기반 음성인식 AI 서비스는 디바이스와 상관없이 제공이 가능한 특징이 있어 서비스의 확대 가능성성이 매우 높음
- 구글은 네스트 외에도 구글홈 스피커 출시를 통하여 관련 생태계 확장을 추진
- 모바일 플랫폼, TV 및 네트워크 환경 제어 디바이스, 차량과 웨어러블 기기 OS 플랫폼인 안드로이드 오토와 안드로이드 웨어 등 다양한 환경과 지능형기술을 보유하고 있으며, 향후 이러한 기술이 구글 홈을 통해 통합될 경우 IoT 시장 환경에서 가장 강력한 지배력을 확보 가능
- 국내외 개방형 플랫폼 기반 인공지능 생태계 구축은 초기 시작 단계에 있음
 - 삼성전자, SK텔레콤, LG전자, KT, ETRI, KETI 등에서 개발한 다양한 개방형 플랫폼이 있으나, 상호 호환성이 결여되어 있거나 웹 플랫폼인 CoAP¹⁹⁾, MQTT²⁰⁾등의 상위 프로토콜 분야로 한정되어 있는 실정임
 - ETRI는 개방형 시맨틱 서비스 플랫폼 및 USN/WoT 융합 플랫폼 기술 개발을 진행 중
 - KETI는 Mobius 플랫폼을 개발하여 DIY 개발자를 지원하고 있음
 - SKT는 ETSI M2M 기반 개방형 플랫폼을 개발하고 있음
 - 삼성전자는 IoT, 웨어러블 기기에 적용될 개방형 SW 플랫폼 SAMI²¹⁾ 프로젝트를 진행하고

19) Constrained Application Protocol

20) MQ Telemetry Transport

21) Samsung Architecture for Multimodal Interactions

있으며, SW, 드라이버, 스토리지, 보안 솔루션, 개발 보드 등이 종합적으로 지원되는 IoT, 웨어러블 디바이스 개발 플랫폼 아티크(ARTIK) 솔루션 공개를 통한 생태계 주도권 확보에 주력하고 있음



<그림 65> 삼성 개방형 플랫폼 프로젝트 “SAMI”

- 개방형 플랫폼 생태계 구축을 위한 핵심 IP 국산화율은 평균 10% 이하로 매우 낮으며, IP의 해외 도입 비율은 70% 이상, CPU 코어와 반도체 설계 SW(EDA툴) 환경에 대한 국산화는 거의 전무한 실정임
- 기존에는 단품의 차별성, 성능, 가격 등이 경쟁의 원천이었지만, 최근에는 SW와 SoC가 융합된 토탈 솔루션의 차별성, 성능, 가격 등이 경쟁의 원천
- 스마트홈 및 IoT 표준화 관련하여 삼성은 OCF(Open Connectivity Foundation), LG전자는 AllSeen Alliance에 가입하여 두 단체 간의 국제 표준화 경쟁이 국내의 삼성전자와 LG전자 간 경쟁이 진행 되었으나, 2016년 하반기 두 표준 단체가 합병 안에 승인하였음

<표 13> 글로벌 기업들의 기술력 확보를 위한 인수사례

구분	기업	주요내용
비반도체 기업	구글	<ul style="list-style-type: none"> 머신러닝 전용 프로세서 TPU(Tensor Processing Unit) 공개 - 자사의 머신러닝 모델을 빠르게 처리 가능
	애플	<ul style="list-style-type: none"> 이스라엘의 3D센서 전문업체 ‘프라임센스(PrimeSense)’ 인수 저전력반도체 회사 ‘파시프(Passif)’ 인수
	아마존	<ul style="list-style-type: none"> 이스라엘 반도체 회사 ‘안나푸르나랩스(Annapurna Labs)’ 인수 - 알파인칩을 출시하며 커넥티드홈 시장 공격 본격화
	MS	<ul style="list-style-type: none"> 데이터 수집용 게이트웨이 등 IoT 구현에 최적화 기술을 보유한 이탈리아의 ‘솔레이어(Solair)’ 인수 이스파엘 반도체 기업 ‘엔-트리그(N-Trig)’ 인수
	시스코	<ul style="list-style-type: none"> 네트워크 장비용 반도체를 설계하는 이스라엘의 ‘리에바(Leaba)’ 인수
	소프트 뱅크	<ul style="list-style-type: none"> 세계 최고 수준의 팹리스 기업 ‘ARM’ 인수 미국 IoT 서비스 업체 ‘에어리스 커뮤니케이션(Aeris Communications)’과 합작회사 ‘에어리스 재팬’ 설립
반도체 기업	네이버	<ul style="list-style-type: none"> 프랑스 스피커업체 드비알레 투자
	인텔	<ul style="list-style-type: none"> 프로그래머블반도체(FPGA/PLD) 강자 ‘알테라(Altera)’ 인수 독일의 IoT 칩 제조 및 홈 네트워킹 기업 ‘란티(Lantiq)’ 인수
	퀄컴	<ul style="list-style-type: none"> 자동차·네트워킹 반도체 분야에서 두각을 보이는 네덜란드 종합 반도체 기업 ‘NXP반도체’ 인수
	마이크로칩	<ul style="list-style-type: none"> 마이크로컨트롤러(MCU)가 주력인 미국 ‘아트멜’ 인수를 결정
삼성		<ul style="list-style-type: none"> IoT기기용 플랫폼과 서비스 사업을 영위하는 미국의 아페로(Afero)에 2,760만 달러 투자 애플의 시리를 개발한 비브랩스(VIV Labs Inc)를 인수

- 다양한 업계에서 반도체 시장 진출이 잇따르며 비즈니스 영역 파괴 가속화와 함께 M&A를 통한 기술과 유기적 산업 생태계 확보가 활발하게 진행
 - 애플·구글·아마존 등은 자체 R&D와 함께 적극적인 유망 기업 인수를 통해 반도체 역량 확보에 매진하고 있으며, 일본을 대표하는 인터넷·콘텐츠 기업인 소프트뱅크가 영국의 모바일 반도체 선도기업인 ARM 인수하여 반도체 역량을 확보함
- 국내 팹리스 및 파운드리 업체간 협력/상생과 함께 삼성전자, LG전자, 통신회사들과 연합한 개방형 인공지능 플랫폼 생태계 구성이 미흡한 상황
 - 현재 인텔, 퀄컴, NXP, ST마이크로 등은 사물 인터넷과 관련된 제품 라인업을 지속적으로 개발 및 출시하면서 관련 생태계 확대를 위해서 구글, 아마존, 마이크로소프트 등 플랫폼-클라우드 관련 기업과 연계하여 확대하고 있음
 - 특히, 강력한 팹리스-파운드리 생태계와의 협력을 통해 개발자들이 응용 분야를 좀 더 쉽게 확장해 갈수 있도록 지원함

- 국내 개방형 플랫폼 생태계 구축을 위해서는 플랫폼-팹리스/파운드리 기업이 연합하여 특허 및 개별 기술을 공유하고 반도체 산업 전반적인 기반 구축이 필요
- 팹리스 입장에서는 IP 부족, 가격 및 납기 불만족, 기술노출 우려 등으로 국내 IDM형 파운드리 활용도가 미비
- 파운드리 입장에서 보면, 팹리스의 협소한 제품군 및 소량 생산 규모에 의한 상생 매력도 감소로 국내 파운드리의 설계 물량 수급 부족 현상이 가속화되고 있는 실정
- SW에서 부가가치가 창출되므로, 국내 SW 기업과의 밀접한 상생 전략 및 SW 개발 생태계 가 필요

<표 14> 국내 팹리스와 파운드리 기업의 관계

	팹리스	파운드리
문제점	<ul style="list-style-type: none"> • 부분 영세한 재무구조로 다양한 제품군 확보 및 투자에 한계 • 플랫폼, 설계 툴, 검증 등과 관련된 개발 환경 열악 • 고급 설계 인력 및 산업 인프라 부족 • 비즈니스 전략 및 산업정보에 취약 • 국내 파운드리의 이용률 저조 	<ul style="list-style-type: none"> • 안정적 물량 확보 부족 • 다양한 반도체 IP 확보 부족 • 소자 및 공정 추가개발 여력 어려움 • 인력 및 소재/장비 인프라 부족 • 국내 팹리스 기업과의 소통 부족

- 국내 시스템반도체 산업 활성화를 위해서는 설계 기술 지원뿐만 아니라 플랫폼 개념의 시스템반도체 개발 기술을 부담 없이 적용할 수 있도록 관련 기술 개발 및 환경 구축이 필요함

□ 지능형 자동차 분야

- 자율주행 자동차 및 스마트 자동차에 사용되는 센서 시스템을 이용한 지능적 인지/판단기능에 인공지능 기술 및 지능형 신호처리 기술 적용 예정
 - 무인 자동차 및 스마트 자동차에서의 차량 안전 주행 및 편의 기능에 대한 요구가 증대되고 있으며, 이를 위해 날씨, 주야간 및 먼지 등의 주변 환경에 영향을 받지 않는 레이더 혹은 라이더 센서가 세계적으로 주목을 받고 있음
 - 이들 센서는 단거리부터 장거리를 모두 지원 가능한 물체추적 및 거리탐지 기술 개발을 위해 사용되고 있으나, 물체인지와 상황인지의 후처리 작업에서 높은 컴퓨팅 자원을 요구하고 있음
 - 이에 인공 지능 기술을 적용하여 센서 시스템에서 직접 신호를 처리하여 후처리 작업을 위한 컴퓨팅 자원을 극소화할 수 있을 뿐만 아니라, 보다 지능적인 처리가 가능할 수 있어 효용성을 보다 높일 수 있음
 - 미국, 유럽 등의 주요 국가는 추돌방지(AEB), 전방충돌경고(FCW) 등의 지능형 운전자 보조 시스템을 신차안전도평가(NCAP)에 추가하였으며 향후 의무 장착을 고려하고 있어 이에 대한 중소기업의 기술력 제고를 위한 기술 개발이 필요함



<그림 66> 차세대 자동차를 위한 소형/저전력 Edge 기술

- 차량용 지능형 반도체는 높은 신뢰도 조건으로 인해 시장 진입이 어려운 점이 있어 해외 기술 선진국에서도 국가 주도로 연구 개발이 진행 중
- 미국(CICAS), 유럽(C-ITS), 독일(SimTD)등에서 관련 프로젝트 추진 중이며 국내에서도 “스마트하이웨이” 사업이 추진되는 중이나 국내 관련 부품의 수입 의존도가 높아 국내 기업의 개발을 유도하기 위해 정부 지원 필요한 상황임
- 차량 및 보행자 안전 확보를 위한 부품의 연구개발 및 시범사업이 활발히 진행되고 있으나 국산 시스템 반도체 부품의 활용도가 낮아 국가적인 기술 경쟁력 확보를 위해 지원이 필요함
- 자율주행 자동차 시스템반도체는 센서 소자와 신호처리 회로, 마이크로프로세서 및 네트워크통신 기능까지 일체화된 시스템반도체 칩으로서 자동차의 특정 위치에서도 장착되어 동작할 수 있도록 자동차용 네트워크화가 가능한 통신컨트롤러가 포함된 형태로 개발될 것으로 예상됨



<그림 67> 시스템반도체 기본 구성 예시

- 자율주행 자동차 시스템에서는 기능 요구사항이 늘어남에 따라 이에 대한 대응을 위해서는 최하위 시스템반도체의 경우에도 16bit 이상의 MCU가 사용되고 AUTOSAR(AUTomotive Open System Architecture)까지 탑재될 것으로 예상됨
- 반도체 기반의 MEMS 센서와 소형, 고성능이면서 저가의 자동차용 반도체형 융합센서들은 자동차의 각 시스템에 신경망처럼 분산 배치되어 자율주행자동차의 상태를 실시간으로 파악하고 검지하여주는 핵심적인 기능을 할 것으로 예상됨
- 지능형센서들과 제어시스템들이 상호 네트워크로 연결됨에 따라 자율주행자동차의 시스템 반도체는 큰 비중을 차지할 것으로 예상됨
 - 특히 우리나라 자동차용 시스템반도체산업은 통신네트워크 산업 기반을 활용하여 자율주행 자동차산업과 동반성장하여 활성화 가능성 높음
- 자율주행 자동차를 위해서는 시스템반도체 측면에서 센서의 신호를 처리하는데 보다 빠른 시간처리 및 메모리 보호 기능이 필요함
- 센서, MCU 및 파워반도체로 구성되며 상호관계로는 차량 내외의 정보를 센서로 검지하고, MCU에서 신호처리를 하여 네트워크를 통해서 관련 ECU에 신호를 보내면 ECU에서는 이를 분석한 후 액추에이터의 동작을 조종 제어하여 경로로 기능을 수행함
- 자율주행 자동차에서는 기존의 차량 내에서의 검지판단제어의 한계를 극복하기 위해서 커넥티비티(Connectivity)와 C-ITS 등의 정보를 활용할 필요성이 있음
 - 운전자의 운전집중도에 대한 자유도가 증가됨에 따라 미디어 장치에 저장하는 문서나 음악, 사진과 같은 콘텐츠를 운전중에 사용하고 운전자의 스마트폰 화면을 자동차 센터-스택 디스플레이를 통해 그대로 구현할 수 있는 ‘스마트폰 미러링’ 기술 등 적용 예상됨
 - C-ITS 정보 기술을 이용한 긴급정보/교통정보 등을 자율주행자동차에서 사용하여 주행 상황에 대한 신뢰도 향상이 가능함
 - 무선통신 기술을 활용하기 위해서는 IVN 시스템반도체 기술과 연계될 수 있어야 하며, 차량의 안전 도메인 ECU와 직접적인 융합기술이 필요할 것으로 예상됨



<그림 68> 자동차용 시스템반도체 적용 예시

- 자율주행 자동차에서 기능들을 구현하기 위해서는 시스템반도체가 탑재된 100~150개의 ECU가 사용될 것으로 예측되고 또한 이들은 시스템반도체가 내재되어 있는 150~200개의 센서를 활용해 기능들을 수행
 - 각각의 부품 간에는 시스템반도체의 통신기능을 통해 상호 네트워크로 연결되어 있기 때문에 하나의 부품 결함이 다른 ECU에도 영향을 미칠 수 있는 구조이므로 시스템반도체에 의한 기능안전 대응 필수
- 자동차에서 기존의 안전(Safety) 시스템은 고 신뢰성 기술을 기반으로 한 하드웨어적인 안전부품에만 의존적이었으나 근래에 들어서는 소프트웨어까지 확대 적용된 기능안전(Functional Safety) 시스템이 요구됨
 - 국제 표준인 ISO26262에서는 소프트웨어가 탑재되는 시스템반도체의 중요성 때문에 ISO/PAS 19451에서 Analog/Mixed signal components, Multi-core components, Programmable logic devices 등에 대한 요구사항이 추가적으로 진행됨
 - 자동차용 반도체에 대한 하드웨어적인 신뢰성 및 품질요구사항과 관련하여 자동차회사와 반도체회사들의 단체표준으로 제정된 AEC(Automotive Electronic Council)에서는 기존에 적용되고 있는 IC(Integrated Circuit)에 대한 AEC-Q100과 AEC-Q101(Discrete Component) 이외에도 AEC-Q102(LED), AEC-Q103(MEMS), AEC-Q104(Multi Chip Module) 표준화 진행이 추가적으로 추진 요구되고 있음



<그림 69> 차량용 반도체에 적용되는 AEC 신뢰성 표준규격

- 자동차용 기능안전 지원을 위한 시스템반도체 측면의 대표적인 기능 중 하나인 Dual Core Lockstep 모드는 두 개의 코어가 동일한 코드를 실행하여 독립적인 컴퓨터가 실행 결과를 비교하고 불일치가 발생하는 경우에는 Trap 발생시켜 fail-safe 모드로 전환하여 시스템이 안전 상태로 설정될 수 있도록 지원 하는 기능으로 기능안전 대응을 위한 시스템반도체 기술로서 적용됨
 - 자동차용 멀티코어 아키텍처는 안전과 관련된 시스템에서 ASIL decomposition과 같이 병렬처리에 기반을 두고, 안전 컨셉에 따라 코어 처리를 AUTOSAR에서 정의된 소프트웨어 어플리케이션에 할당함으로써 안전성을 증대시킴



<그림 70> 고안전 시스템반도체의 구조(NXP, 차량용 레이더)

□ 헬스케어 분야

- 인공지능 기술 및 멀티모달 신호처리 기술 적용을 통해 헬스케어용 제품, 서비스분야에서 크게, 소모전력 극소화를 통해 다양성 확보를 목적으로 연구 개발 진행중 임
 - 웨어러블 헬스케어에서는 장치의 제한된 기기 크기로 인해 의료기기의 주요 기능 등을 집적하기 어려우며 부정확도로 인한 시장의 욕구를 만족시키지 못하며, 소형화된 품페터 안에 기능성을 집적시키기에는 어려움이 있음
 - 고집적의 SoC화를 통해서 기존 의료기기의 주요 구성 요소들을 One chip solution으로 진행하는 과정에서 인공지능 멀티모달 신호처리 기술을 적용하여 시스템을 보다 소형화하여 의료 전문가 및 환자에게 새로운 활용 경험을 통해 의료기기의 다양화를 이룰 수 있음
 - IC인사이트는 의료 반도체 시장이 2014년 53억달러, 2015년 62억달러로 성장해 2018년 82억달러 규모로 빠르게 성장할 것이라고 예측하며 2013년부터 2018년까지 연평균 성장률이 12.3%에 달할 것으로 예측됨
 - 지난 2008년부터 2013년까지 의료 반도체 시장의 연평균 성장률이 6.9%였던 것에 비하면 갑절 가까운 수치로써 향후 고령화 사회 및 웰빙을 강조하는 시대에서의 시장성이 더욱 커질 것으로 기대 됨
 - 고령화 시대에 만성 질환 즉 집, 공공장소, 병원 및 요양원 등 다양한 장소 및 시간을 가지지 않고 의료 서비스가 요구됨.
 - 기존 프로세서 및 통신의 집적에 더불어 인체 및 환경과의 아날로그 인터페이스를 접목시키는 데 있어 어려움이 있을 뿐만 아니라, 짧은 충전 주기로 인한 불편함을 지능적 처리기능이 탑재된 SoC화를 통해 해결 할 수 있음
- 최근 의료기기는 4차 산업혁명을 가속화하는 기반 핵심 기술이 되고 있는 추세이며 특히 해외를 중심으로 지능형 SoC기반으로 한 의료기기를 위한 뇌 및 중추신경계 질환 진단 및 치료를 위한 연구가 가속화 되고 있음
 - 이러한 바이오 의료 기기 기술은 과거 몇 백개의 전극으로 구성된 수동형 센서(예: 유타 어레이)와는 달리 고집적 회로로 구성된 유연한 시스템 반도체를 최소 침습적인 방법으로 장기나 조직에 직관적인 계면을 이루어 고해상도 인체의 전기적 신호를 측정할 수 있는 방향으로 연구가 활발히 진행 되고 있음
- (미국) NeuroSky, 'TGAT'
 - 실리콘밸리의 벤처기업인 NeuroSky는 TGAT이라는 칩셋을 이용하여 1채널 뇌파로부터 집중도를 검출할 수 있는 기능을 제공
 - 미국 및 일본 등 세계적으로 뇌파를 이용한 헤드밴드를 선보이면서 인기를 얻음
- (유럽) Imec, 'MUSEIC'
 - 바이오메디컬 반도체를 연구하는 세계적인 연구소 imec에서는 'MUSEIC'이라는 프로젝트로 각종 신호를 받아 처리하는 반도체를 연구하였음
- (일본) Renesas, 'Smart Analog'

- Configurable analog front end (AFE)



<그림 71> Renesas의 'Smart Analog'의 개요

- Northwestern University, John Rogers 그룹

- 생체 삽입형 유연소자 기술 개발 분야를 선도하고 있음.



<그림 72> 웨어러블 삽입형 센서의 예 (Source: Science(2012), Nature Neuroscience(2011))

- 유연 실리콘 기반의 뇌파 및 심전도를 장기간 수집하는 디바이스를 세계 최초로 개발했을 뿐만 아니라 광자극과 전기 자극을 통해 신경신호를 제어할 뿐 아니라 약물전달 또한 가능한 다기능성 유연소자의 개발까지 성공하였음
- 초박형의 유연한 고분자 기반의 전극 디바이스는 장시간 삽입에도 불구하고 심각한 염증 등을 유발하지 않음
- 이러한 삽입형 기술 상용화를 위한 벤처기업 등도 설립하였음. 하지만 센서의 고집적화는 아직 이루지 못했으나 계속 연구 진행 중

- EPFL, Stephanie Lacour 그룹

- 유연할 뿐 아니라 신축성 있는 전기전극을 생체 내부에 삽입하여 신경자극을 가하는 연구를 진행한 바 있음
 - 생체 내부의 조직과 유사한 기계적 물성을 가지는 신축성 있는 실리콘 소재의 경우 일반 플라스틱 소재보다 더 적은 염증과 조직 손상을 보임

- 이 그룹에서는 하반신이 마비된 동물의 척수에 전기 자극을 가해 동물의 걷기 모델을 모방한 바가 있음
- 이러한 연구를 말초신경의 재생에 관련하여 활발하게 진행하고 있음. 하지만 수동형 센서로 한정 돼 있음
- 미국의 Ardiem Medical 사
 - 2002년부터 백금 전극을 포함한 실리콘 기반의 neural cuff 디바이스를 제작함
 - 이 디바이스는 유연한 고분자를 바탕으로 제작되어 신경다발을 감싸 고정되도록 제작되었으며 리드선을 이용하여 외부와 통신 가능함. 다만 유선으로 제어되는 한계가 있음
- University of Utah, Richard Norman 그룹
 - 1970년도에 세계 최초로 100~200개의 수동형 전극 어레이인 Utah array를 개발
 - 현재까지도 뇌파를 측정하는 용도로 가장 상용화가 많이 되어 있는 뇌파 측정용 센서임. 하지만 센서의 집적화는 불가능에 가까움
- Havard University와 Brown University
 - 2007년에 로봇팔에 연결된 Utah어레이를 뇌에 삽입 후 반신불수가 된 여성이 생각하는 대로 로봇팔을 움직여 음식을 섭취하는 시연을 한 세계 최초의 뇌-기계 교합 시연
- Columbia University Ken Shepard 그룹
 - 65,000개의 전극으로 이뤄진 뇌파 측정용 능동형 SoC개발. 하지만 누설 전류 문제로 아직 동물 실험에는 적용하지 못하고 있음
- University of Utah, Richard Norman 그룹
 - 1970년도에 세계 최초로 100~200개의 수동형 전극 어레이인 Utah array를 개발. 현재까지도 뇌파를 측정하는 용도로 가장 상용화가 많이 되어 있는 뇌파 측정용 센서임. 하지만 센서의 집적화는 불가능에 가까움
- 미국 Brown University
 - 무선 주파수를 이용한 무선 송수신 삽입장치에 대한 특허를 공개(2013)함
 - 신체에 대한 전기 인터페이스를 제공하는 시스템에 관한 것으로, 신체 내에 이식하여 신체 전기신호를 전달하고 외부에서 무선으로 충전 가능한 시스템을 제작함
- 생체 영구 삽입형 SoC 기술
 - 체내 삽입 시 방수 결함에 의한 누설 전류 문제로 능동형 SoC 센서의 체내 삽입은 전무했지만, 최근 미국 일리노이 대학을 중심으로 장기 체내 삽입형 능동형 센서가 개발 되고 있고, 놀스웨스턴, 듀크, 콜럼비아 대학들을 중심으로 고집적도의 SoC 연구개발이 활발히 진행되고 있지만 아직 초기 단계 수준임
- 생 분해형 SoC 기술
 - 실리콘이 체내 삽입 시 용해 된다는 사실이 2012년에 Science지에 발표 됨
 - 2016년에 최초로 체내에서 녹는 유선운용의 능동형 센서가 미국에서 개발 됨. 무선운용의

초고집적도를 SoC 기술을 획득하기 위해 미국 놀스웨스턴, 콜럼비아, 듀크 대학들을 중심으로 연구개발이 진행되고 있지만 아직 초기 단계 수준임

- 국내 생체이식형 의료기기는 대부분 4등급 의료기기로 분류되며 생체 삽입형 장치는 인공심장박동기, 삽입형 심장충격기, 의약품주입기, 이식형 통증완화전기자극장치 등에 머무르고 있으며, 체내 삽입용 고집적도의 삽입형 SoC산업은 거의 전무한 단계이다. 이 분야 선두 국가인 미국에서 조차 여러 가지 기술적인 한계로 시장의 엄청난 잠재성에도 불구하고 그 발전은 미미한 편임

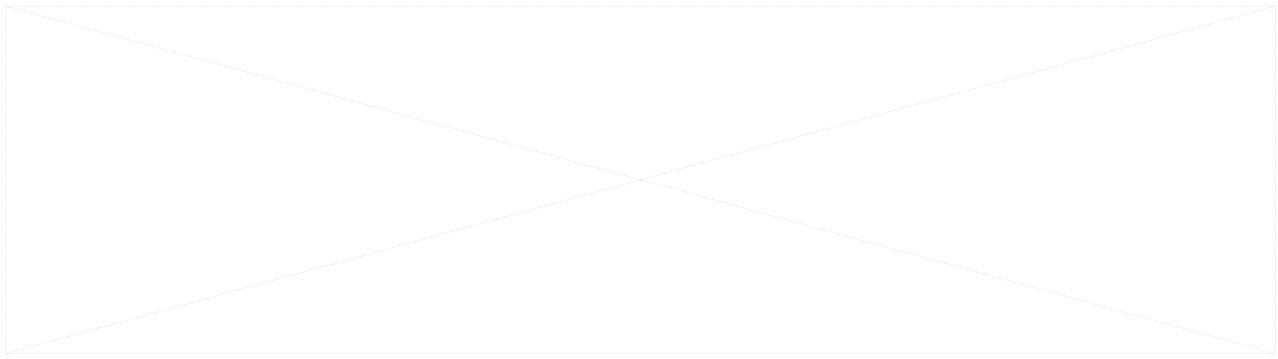
□ 초실감형 UX (AR/VR) 분야

- 가상현실, 증강현실 기술은 초실감형 UX 기술을 대표하는 기술로서 현재 기술적인 장벽인 높은 계산 복잡도를 낮추기 위해 인공지능 반도체 기술 적용하는 연구가 진행 중임
 - 사용자와 가상의 공간 사이의 능동적인 상호작용을 통해 가상과 현실이 융합하여, 사용자에게 경험을 제공하는 기술로 3D 정보의 획득, 처리, 그리고 출력 등 기반 기술의 결합을 위한 인공지능 기술이 적용될 차세대 유망 기술



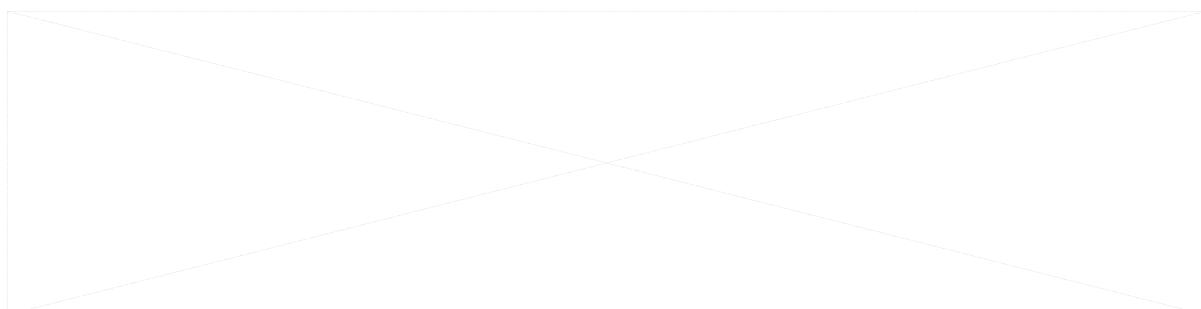
<그림 73> 초실감형 UX의 다양한 적용 분야

- 기존 콘텐츠와 달리 초실감형 UX용 콘텐츠는 다시점 및 Free Navigation을 구현하기 위한 비디오 데이터와 몰입형 오디오를 위한 데이터 등 방대한 데이터를 관리하기 위한 기술이 필요함
- 또한 물리적 센서로 획득하는 제한적 데이터를 바탕으로 가상의 데이터를 생성하는 기술이 필요하며, 이는 높은 계산 복잡도를 필요로 하며, 고속 처리를 위해서는 하드웨어를 통한 구현이 유리함
- 높은 계산 복잡도와 실시간 데이터 처리의 요구사항을 만족하기 위해 멀티모달 신호처리 전용의 인공지능 기술을 적용하여 장치의 크기, 소모전원을 경감
- 초실감형 UX 기술은 게임 분야뿐 아니라 교육, 군사, 의료 등 다양한 분야에 적용이 가능할 것으로 기대되기 때문에 기술 확보 측면에서 중요도가 높음
- AR/VR 기기는 아래 그림과 같은 구조이며 스마트폰에서 쓰이는 대부분의 부품 외에 초소형 마이크로 디스플레이 (반도체 디스플레이), 디스플레이 구동 SoC, 초고속 영상 인터페이스 SoC, 스마트 안경을 위한 각종 센서 (시선 및 안구 추적용 센서 포함) 및 액추에이터 구동 SoC 등이 사용됨



<그림 74> 초실감형 UX용 반도체

- 페이스북의 오클러스 VR 인수 소식을 시발점으로 가상현실에 대한 관심이 급속도로 높아짐
 - 하지만 이전부터 구글, 퀄컴 등과 같은 주요 전자 회사 뿐 아니라 위너브라더스, 월트 디스니 등 콘텐츠 제작 업체에서도 가상현실과 증강현실에 대한 관심을 보이고 있었으며, 적극적인 투자를 하고 있었음
 - 초실감형 UX 반도체 기술의 현재 수준은 높지 않으며, 고성능 초실감형 반도체 기술 개발은 초실감형 UX 시장을 선점하고 주도할 수 있는 기회가 될 수 있을 것으로 판단됨
 - 현재 고성능 가상현실 시장은 오클러스, HTC, 소니에서 주도적으로 이끌어 가고 있으나, 현재 가상현실 기술은 높은 몰입도를 제공하지 못하는 문제가 있음
 - 대표적으로 사용자와 가상현실의 상호작용 측면에서 제한된 컨트롤러를 통한 인터페이스는 사용자가 가상현실의 물체와 상호작용하는데 실감도를 떨어뜨리고 있으며, 실사 기반의 360도 영상의 경우 고개를 돌려 사방의 영상을 볼 뿐, 사용자의 움직임이 영상에 반영되어 시점이 바뀌는 정도의 수준은 이르지 못함
 - 즉, 현재 가상현실/증강현실 기술은 높지 않은 수준이며, 집중적인 기술 개발을 바탕으로 시장을 선점하고 주도할 수 있는 기회가 있을 것으로 보임
- (미국) 마이크로소프트(Microsoft), 인텔(Intel), 구글(Google) 등 주요 기업을 중심으로 AR/VR 생태계 형성 시도 및 보다 자연스럽고 실감도를 높이기 위한 기술적 개발에 집중
- 마이크로소프트는 HMD 타입의 증강현실 기기 홀로렌즈(hololense) 기반의 증강현실 구현을 위해 원코어(Onecore)라고 불리는 윈도우즈 10 기반의 통합 플랫폼인 UWP(Universal Windows platform)를 구축함
 - 증강현실 장비 및 소프트웨어 제작, 판매하는 메타(Meta)사는 마찬가지로 HMD 타입의 기기 메타(Meta)의 차기 버전 제작을 위해 투자를 유치함

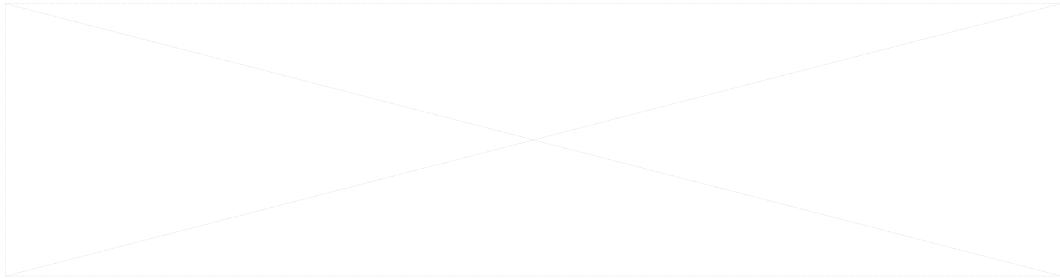


<그림 75> HMD 타입의 증강현실 장비의 예, 홀로렌즈(좌), 메타2(우)

- 증강현실 콘텐츠 및 소프트웨어 개발에 있어서도 마이크로소프트가 주도하고 있으며, 의학 교육 콘텐츠와 전축 디자인 콘텐츠를 우선적으로 개발하고 있음
- 인텔은 가상현실과 증강현실의 특성을 모두 갖춘 융합현실(MR)용 플랫폼인 프로젝트 얼로이(Project Alloy)를 발표함
- 구글은 ‘구글 글래스’라는 이름으로 마이크로 디스플레이를 이용한 AR 글래스를 선보임. 사생활 침해 등의 이슈도 많이 불러왔지만, 스마트 안경이라는 개념을 전세계에 인식시켜서 포스트 스마트폰 시장에서 스마트 안경이 다음 바통을 이어 받을 수 있을 것이라는 기대를 가져옴. 구글은 ‘구글 글래스’를 이용하여 전세계인의 관심을 모은 후, MagicLeap 과 같은 AR 글래스 기업에 수조원을 계속 투자하고 있음. 구글은 2016년 가을 데이드림이라는 VR 플랫폼을 출시하고 자체 VR 기기도 만들어 대중이 다가설 수 있는 VR 시장을 개척하고 있음
- 페이스북은 VR이 미래의 OS와 같이 사람들 간의 소통 플랫폼이 될 것으로 보며 오클러스를 2.3조원에 인수하여 VR 플랫폼의 선두 자리를 선점하고자 많은 투자를 하고 있음. 오클러스 VR 기기는 초기의 삼성전자 휴대폰 활용 VR 기기로 출발하여 이제는 독립된 디스플레이를 갖는 헤드셋 형태로 발전하고 있으며 다양한 센서 기기들을 함께 개발하고 있음
- (유럽, 영국) 영국의 가상현실 관련 연구 및 프로젝트는 영국이 보유한 문화자원(문화유산, 패션, 스포츠, 미디어 콘텐츠 등)을 중심으로 이루어지고 있음
 - 대영박물관(British Museum)은 가상현실을 이용해 청동기 시대를 재현하여 제공하는 프로그램을 진행하였으며, 영국의 BBC 방송국은 미래형 콘텐츠 중 하나로 실감 체험을 선정, 지속적인 연구 및 콘텐츠 개발에 힘씀. ‘Rome’s Invisible City VR’은 해당 연구의 첫 번째 콘텐츠이며, 고대 로마의 도시를 3D 가상 현실로 구현
 - 유로 2016 경기 시합을 가상현실 필름으로 제작될 예정이며, 프리미어 리그(Premier league)에서는 가상현실을 통해 다양한 시점에서 경기를 관람하거나 선수들의 대기실을 보여주는 등의 콘텐츠를 제작함
- (일본) 대형 게임개발사 소니의 PS VR을 바탕으로 VR 시장 주도
 - 세계적인 게임 회사인 소니는 PS VR을 출시하였으며, 콘텐츠 개발자 키트를 일본에 우선적으로 부여하고 있으며, 콘텐츠 개발과 소비가 유기적으로 연결된 시장으로 형성되고 있음. 세계적으로 인기를 얻은 콘솔 게임기 플레이스테이션을 바탕으로 전 세계의 다양한 게임 회사에서 PS VR을 위한 게임 개발에 참여할 것을 표명함
 - 일본 내 게임사는 VR 관련 스타트업을 지원하기 위한 자회사를 설립하고 있음
- (중국) 가장 큰 시장을 보유하고 있으며, 국가적 차원의 강력한 지원을 바탕으로 가상현실 및 증강현실 시장을 주도하기 위해 노력
 - 텐센트, 샤오미 등 중국의 신흥 업체를 바탕으로 VR 산업에 뛰어듬
 - 사실상 기술적 측면에서 미국과 유럽국가에 비해 초기 단계이며, 기술적 측면보다는 콘텐츠 중심의 산업에 집중
 - 가격적 측면의 경쟁력을 바탕으로 값싼 VR 기기를 생산하였으며, 실제로 중국의 저가형 VR 기기 ‘폭풍마경’과 ‘VR BOX’는 그 합이 국내 VR HMD 판매 점유율의 48%를 차지함

- (국내동향) 스마트폰 제조자 중심의 VR 시장

- 삼성은 오클러스와 협력하여 만든 Gear VR을 출시, 미국에서 두 번째로 가장 많이 팔린 VR 헤드셋으로 기록되었으며, 일본에서도 호조를 보였고, LG는 360도 카메라(LG 360 Cam)와 VR 헤드셋(LG 360 VR)을 선보임



<그림 76> 국내 스마트폰 기반 VR 기기,
LG 360 VR(좌), 삼성 기어 VR(우)

- 국내에서도 PS VR에 대한 관심이 높은 만큼 PS VR용 게임을 개발하는 국내 업체가 늘어나고 있음
- 국내 가상현실 및 증강현실 시장은 하드웨어 기기 및 실감도 향상을 위한 개발보다는 콘텐츠 개발을 중심으로 이루어지고 있으며 이와 같은 현상은 하드웨어 기기 개발에 비해 콘텐츠 개발은 투자 비용 및 위험 부담이 적기 때문으로 예측됨

3.2 시장동향

- 딥러닝 및 인지컴퓨팅 기술은 약 5년, 뉴로모픽 하드웨어는 10년 정도 후에 본격적인 시장이 형성될 것으로 예상
 - 맥킨지는 지식 활동의 자동화(가상개인비서)와 무인자동차 등과 같은 인지 컴퓨팅 분야에서 2025년까지 시장 파급 효과가 연간 5.2조~6.7조 달러에 이를 것으로 전망
 - 국내 칩 기술 시장은 2013년 2,069억 원에서 2020년에 4,375억 원 규모로 연평균 11% 성장할 것으로 예상
 - 세계 인공지능 시장 규모는 2015년 약 1,270억 달러에서 2017년 약 1,650억 달러로 연평균 14.0%의 고성장을 지속할 것으로 전망
 - 인공지능 관련 스타트업 투자 규모는 2010년 4,500만 달러에서 2015년 3억 1,000만 달러, 투자 건수는 6건에서 54건으로 급증하였음
 - 국내 인공지능 시장 규모는 2013년 3.6조 원에서 2017년 6.4조 원으로 성장할 것으로 전망되고 있으며, IT기업을 필두로 일부 대기업이 인공지능 산업 투자 및 연구를 추진하고 있으나 아직까지 인터넷과 게임 등 특정 사업에 한정되어 있는 실정임



<그림 77> 한국의 아시아 지역 인공지능 시장 점유율(2014) 및 주요 기술별 시장 전망
(출처. KISTI MARKET REPORT 인공지능 특집호, 2016)

- Marketsandmarkets(2016)는 2014년에 41억 9천 7백만 달러에 이른 인공지능 기술 시장이 2015년부터 2020년까지 연평균 53.7%로 성장할 것으로 전망했으며, 기계학습과 자연어처리, 이미지처리 분야가 가장 성장률이 높을 것으로 기대
- 또한 헬스케어 제품들이 2020년까지 연평균 60% 이상 고성장을 전망했으며, 이 외에 금융과 소매업, 법률 서비스 등이 인공지능 제품 및 서비스 시장을 주도해나갈 것으로 기대하고 있음
- 전 세계 인공지능 관련 시장은 빠르게 성장하고 있으며, 향후 높은 부가가치를 창출할 것으로 전망
 - Tractica에서는 기업용 인공지능 시스템 시장이 2015년 2억 불 수준에서 2024년 111억 불 규모로 연 평균 56.1%로 급성장할 것으로 예측

- 일본의 EY 종합연구소에서는 일본 인공지능 시장 규모가 2015년 3조 7,450억 엔에서 2020년 23조 638억 엔, 2030년 86조 9,620억 엔에 이를 것으로 전망
- 2016년 KT경제경영연구소는 국내 인공지능 시장 규모를 2020년 2조 2천억 원, 2025년 11조 원, 2030년 27.5조 원으로 전망함
- 세계 인공지능 시장은 2016년 860.3M\$에서 2022년 16,069.3M\$로 연평균 62.9%씩 지속적으로 급성장할 것으로 예상됨
 - 인공지능 시장의 대부분은 제품 시장이며 2016년 794M\$에서 2022년 13,578.1M\$로 성장할 것으로 예상됨
 - 인공지능 서비스 시장은 2016년 66.4M\$ 규모로 미약한 편이나, 연평균 82.9% 정도로 매우 급하게 성장할 것으로 보임

<표 15> 세계 인공지능 시장

(단위 : 백만 달러)

Offering	2013	2014	2015	2016	2018	2020	2022	CAGR (2016-2022)
Products	293.3	394.0	549.3	794.0	1,841.5	4,876.3	13,578.1	60.5%
Services	16.9	25.7	40.5	66.4	198.3	681.2	2,481.2	82.9%
Total	310.2	419.7	589.8	860.3	2,039.8	5,557.5	16,059.3	62.9%

(Source : Markets and Markets 2016)

- 세계 인공지능 시장을 지역적으로 나누어보면 북미지역의 비중이 1위이기는 하나, 아태지역도 큰 차이를 보이고 있지 않음

<표 16> 지역별 인공지능 시장

(단위 : 백만 달러)

Region	2013	2014	2015	2016	2018	2020	2022	CAGR (2016-2022)
North America	105.2	144.3	205.6	304.2	741.5	2,077.0	6,166.4	65.1%
Europe	89.3	118.6	164.4	236.5	545.7	1,449.3	4,082.1	60.8%
APAC	101.6	137.3	192.8	281.1	666.5	1,818.2	5,268.5	63.0%
Rest of the World (RoW)	14.1	19.4	26.9	38.5	86.1	212.9	542.3	55.4%
Total	310.2	419.7	589.8	860.3	2,039.8	5,557.5	16,059.3	62.9%

(Source : Markets and Markets 2016)

- 아태지역 인공지능 시장은 중국의 비중이 1위를 차지하고 있으며, 그 다음을 일본과 한국 순이며, 인도가 2022년에는 한국을 앞지를 것으로 예상됨

<표 17> APAC지역 국가별 인공지능 시장

(단위 : 백만 달러)

Region	2013	2014	2015	2016	2018	2020	2022	CAGR (2016-2022)
China	27.8	38.3	54.8	81.4	200.1	565.4	1,695.0	65.9%
Japan	25.6	34.0	47.1	67.6	155.1	408.8	1,142.9	60.2%
South Korea	23.4	30.9	42.3	60.1	135.3	349.8	958.8	58.7%
India	16.6	22.8	32.6	48.2	118.0	331.9	990.1	65.5%
Rest of APAC	8.2	11.3	16.1	23.7	57.9	162.2	481.7	65.1%
Total	101.6	137.3	192.8	281.1	666.5	1,818.2	5,268.5	63.0%

(Source : Markets and Markets 2016)

- 범용의 Microcomponent 세계시장은 2016년 62,119M\$에서 2020년 72,566M\$로 지속적으로 성장할 것으로 예상됨
- Microprocessor Embedded 시장은 2016년 5,200M\$에서 2020년 6,738M\$로 연평균 4.0%씩 성장할 것으로 예상됨

<표 18> 세계 Microcomponent 시장 전망

(단위 : 백만 달러)

구분	2014	2015	2016	2017	2018	2019	2020	CAGR (2014-2020)
Digital Signal Processor	1,003	1,021	1,075	1,108	1,114	1,119	1,116	1.8%
Microcontroller 16-bit	3,584	3,488	3,658	3,579	3,694	3,751	3,833	1.2%
Microcontroller 32-bit	5,914	6,300	7,270	8,353	9,726	11,108	12,574	13.4%
Microcontroller 8-Bit	6,347	5,711	5,043	4,954	4,893	4,869	4,848	-4.3%
Total Microcontroller	15,845	15,499	15,972	16,886	18,313	19,728	21,255	5.1%
Microprocessor Compute	41,602	39,289	39,873	40,703	41,488	42,822	43,457	0.8%
Microprocessor Embedded	5,339	5,084	5,200	5,552	5,958	6,350	6,738	4.0%
Total Microprocessor	46,941	44,373	45,072	46,256	47,446	49,173	50,195	1.2%
Total Microcomponents	63,789	60,893	62,119	64,250	66,873	70,019	72,566	2.2%

(Source : Gartner 2017)

- Microprocessor Embedded 시장을 지역별로 나누어 보면 아태지역이 세계시장의 50.44%로 1위를 차지하고 있으며, 2020년까지 53.83%로 점차 그 비중이 확대될 것으로 예상됨

<표 19> Microprocessor Embedded 지역별 시장

(단위 : 백만 달러)

Region	2014	2015	2016	2017	2018	2019	2020	CAGR (2014-2020)
Ameraca	1,429	1,310	1,296	1,335	1,378	1,417	1,446	0.3%
Asia/Pacific	2,553	2,511	2,623	2,845	3,105	3,362	3,627	6.1%
EMEA	671	627	638	693	754	806	863	4.4%
Japan	686	636	643	679	721	766	801	2.7%
Total Microprocessor Embedded	5,339	5,084	5,200	5,552	5,958	6,350	6,738	4.0%

(Source : Gartner 2017)

<표 20> 아태지역 Microprocessor Embedded 세계시장 비중

년도	2014	2015	2016	2017	2018	2019	2020
비중	47.82%	49.39%	50.44%	51.24%	52.11%	52.94%	53.83%

(Source : Gartner 2017자료를 바탕으로 계산)

- 뇌 모방 뉴로모픽 칩을 비롯한 PIM 구조 기술 또한, 2010년대 초반부터 전 세계적으로 연구되고 있으며, 향후 높은 부가가치를 창출할 것으로 전망
- 2014년 Gartner에서 발표한 자료에 따르면 인지 컴퓨팅 기술은 약 5년 후 보편화될 것으로 예상하고 있으며, 뉴로모픽 하드웨어 기술은 약 10년 정도 후에 본격적인 시장이 형성될 것으로 예상함. 또한, World Economic Forum에서는 2015년 혁신기술 중 하나로 뇌 모방 칩 기술을 선정하였음

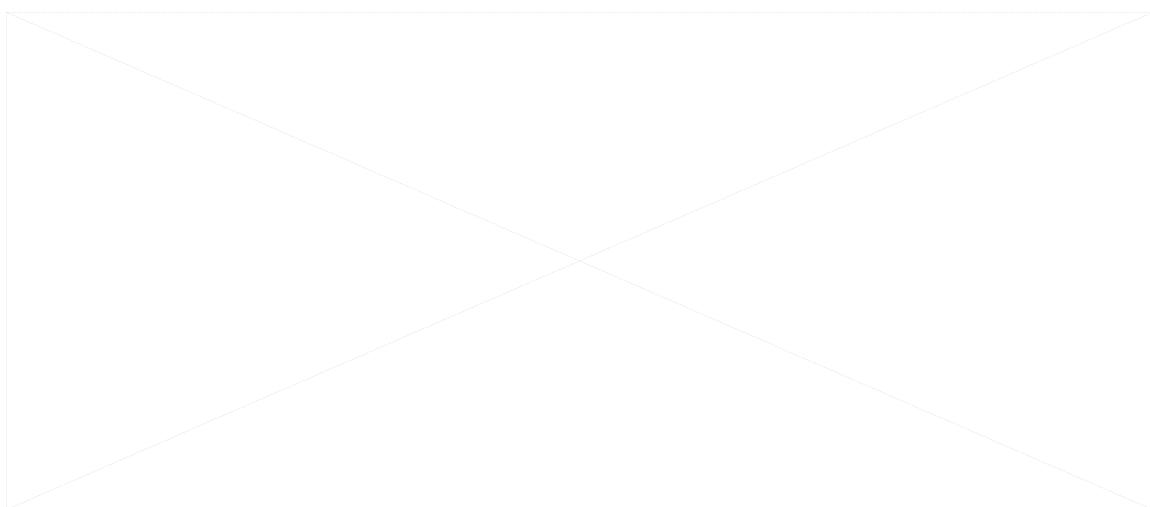


<그림 78> 인공지능 산업 시장 규모 및 전망 (출처: Tractica, 2015)



<그림 79> 스마트기기 Hypercycle (출처: Gartner, 2014)

- 스마트 머신 시장은 인공지능 반도체를 필요로 하는 가장 혁신적인 시장으로 예상되고 있으며, 2014년 BCC Research 연구 조사에 따르면 2024년까지 연평균 22.8%의 경제 성장을 이룰 것으로 예상
- 뉴로 컴퓨팅 시장은 2014년 492조원에서 2019년 1,590조원 그리고 2014년에는 4,685조원으로 성장할 것으로 예상되고 있으며, 간접 효과까지 포함한다면 약 9배인 41,215조원의 시장을 형성할 것으로 전망됨. 영상처리와 음성인식 시장 또한, 각각 2015년 765억 불, 840억 불에서 2017년 1,090억 불, 1,130억 불 규모로 성장할 것으로 보았음



<그림 80> 인공지능 기반 스마트 머신 시장 규모 및 전망 (출처: BCC Research, 2014)

- 뇌모방 소자가 타겟하는 세계 뉴로모픽 칩 시장은 2016년부터 시장이 형성되기 시작하고 있으며, 2016년 1,181.59M\$에서 2022년 4,798.96M\$로 연평균 26.3%씩 지속적으로 성장할

것으로 예상됨

<표 21> 세계 뉴로모픽 칩 시장

(단위 : 백만 달러)

Application	2016	2017	2018	2019	2020	2022	CAGR (2016–2022)
Image Recognition	542.36	698.22	887.29	1,114.03	1,377.14	2,834.45	31.7%
Signal Recognition	428.31	516.06	614.03	722.02	838.42	1,530.62	23.7%
Data Mining	210.92	237.98	263.12	284.25	300.35	433.89	12.8%
Total	1,181.59	1,452.26	1,764.44	2,120.30	2,515.91	4,798.96	26.3%

(Source : Markets and Markets 2015)

- 세계 뉴로모픽 칩 시장을 지역적으로 나누어보면 아태지역의 비중이 1위를 지속적으로 유지할 것으로 예상됨

<표 22> 지역별 뉴로모픽 칩 시장

(단위 : 백만 달러)

Region	2016	2017	2018	2019	2020	2022	CAGR (2016–2022)
North America	160.11	209.92	272.40	348.71	437.57	920.64	33.9%
Europe	182.43	230.19	287.36	350.20	410.37	779.63	27.4%
Asia-Pacific	601.00	732.82	882.15	1,046.22	1,236.43	2,324.02	25.3%
RoW	238.05	279.33	322.53	375.18	431.54	774.68	21.7%
Total	1,181.59	1,452.26	1,764.44	2,120.30	2,515.91	4,798.96	26.3%

(Source : Markets and Markets 2015)

- 아태지역 뉴로모픽 칩 시장은 한국의 비중이 1위를 유지할 것으로 예상됨

<표 23> 아태지역 뉴로모픽 칩 시장

(단위 : 백만 달러)

Region	2016	2017	2018	2019	2020	2022	CAGR (2016–2022)
South Korea	186.31	238.39	300.46	372.35	458.96	933.79	30.8%
China	168.28	206.95	251.24	300.47	358.07	684.19	26.3%
Japan	108.18	121.21	133.03	142.50	150.35	214.74	12.1%
India	90.15	111.83	136.91	165.09	198.32	384.86	27.4%
Others	48.08	54.45	60.52	65.81	70.72	106.44	14.2%
Total	601.00	732.82	882.15	1,046.22	1,236.43	2,324.02	25.3%

(Source : Markets and Markets 2015)

- 한국의 뉴로모픽 칩 세계시장 비중은 2016년 15.77%에서 2022년 19.46%로 점차 확대해 나갈 것으로 예상됨

<표 24> 한국의 뉴로모픽 칩 세계시장 비중

년도	2016	2017	2018	2019	2020	2022
비중	15.77%	16.42%	17.03%	17.56%	18.24%	19.46%

(Source : Markets and Markets 2015 자료를 바탕으로 계산)

- 전 세계 주요 기업 및 학계에서는 2010년대 초반부터 PIM 기술 관련 연구를 활발하게 발표하고 있으며, 최근 기업체들의 활발한 기술개발로 인해 가까운 시일 내에 상용화가 가능할 것으로 전망
 - 미국은 넓은 내수시장('19년, 세계시장 점유율 97.3%)에 기반으로 현재 세계시장을 주도하고 있고, 유럽·아시아 시장은 연평균 14.9~25.4%대로 고성장 중
- ※ 세계시장은 '15년 10.6억 달러에서 '19년 36.8억 달러로 연평균 34.8% 성장 예상
- 인공지능 시장은 '15년 20억 2,470만 달러에서 '2024년 1,111억 5,400만 달러로 성장(CAGR 56.1%)
 - (AI 요소기술) 딥러닝(65.9%), 이미지 인식(39.3%), 자연어 처리(25.5%), 인지 컴퓨팅기술(23%), 음성 인식(17.3%) 등의 순으로 연평균 성장률이 클 것으로 전망
 - (AI 하드웨어기술/AI 서비스) 클라우드 서비스 및 AI기반 고객맞춤 서비스 등이 56.1% 연평균 성장률을 보일 것으로 전망
- 인공지능 프로세서 SW가 타켓하는 세계 인지 소프트웨어 플랫폼 시장은 2016년 1,839M\$에서 2020년 6,373M\$로 연평균 36.5%씩 지속적으로 성장할 것으로 예상됨

<표 25> 세계 인지 소프트웨어 시장

(단위 : 백만 달러)

Type	2015	2016	2017	2018	2019	2020	CAGR (2016-2022)
Application	1,445	2,435	4,546	7,900	15,273	20,287	71.7%
Platform	1,371	1,839	2,475	3,390	4,681	6,373	36.5%
Total	2,816	4,274	7,022	11,290	19,954	26,661	58.9%

(Source : IDC 2016)

- 세계 AI-Driven 하드웨어 시장은 2016년 3,904.76M\$에서 2022년 93,640.16M\$로 연평균 58.1%씩 지속적으로 급성장할 것으로 예상됨
 - 초병렬 컴퓨팅 반도체로 대체할 수 있는 AI-Driven CPU 시장은 2016년 1,124.13M\$에서 2022년 22,522.77M\$로 연평균 54.8%씩 지속적으로 성장할 것으로 예상됨

- 뉴럴넷 프로세서로 대체할 수 있는 AI-Driven GPU Chips 시장은 2016년 227.17M\$에서 2022년 5,670.57M\$로 연평균 58.3%씩 지속적으로 성장할 것으로 예상됨

<표 26> 세계 AI-Driven Hardware 시장

(단위 : 백만 달러)

Region	2016	2017	2018	2019	2020	2021	2022	CAGR % (2016-2025)
Cloud Services	1,133.6 5	2,470.7 7	4,641.39	8,118.92	13,562.7 2	21,761.3 6	33,408.0 3	62.1%
CPU	1,124.1 3	2,092.8 0	3,623.76	6,010.51	9,649.71	15,010.5 5	22,522.7 7	54.8%
GPU Chips	227.17	431.50	775.76	1,346.71	2,266.69	3,675.47	5,670.57	58.3%
Network Products	428.54	845.62	1,512.03	2,561.99	4,178.76	6,578.66	9,953.59	57.5%
Storage Devices	991.27 3	1,914.2	3,389.14	5,713.66	9,294.37	14,610.6 5	22,085.2 0	56.7%
Total	3,904.7 6	7,754.9 2	13,942.0 9	23,751.7 8	38,952.2 5	61,636.6 9	93,640.1 6	58.1%

(Source : Tractica 2016)

- 세계 AI-Driven CPU 시장을 지역적으로 나누어보면 북미 지역의 비중이 1위를 지속적으로 유지할 것으로 예상되나, 아태지역의 시장 성장률도 60.0%로 높아 점차 그 비중을 확대해 나갈 것으로 예상됨

<표 27> 지역별 AI-Driven CPU 시장

(단위 : 백만 달러)

Region	2016	2017	2018	2019	2020	2021	2022	CAGR % (2016-2025)
North America	602.98 6	1,025.8 9	1,702.6 4	2,771.5 6	4,423.0 6	6,888.00	10,383.5 1	52.5%
Europe	279.11	518.37	893.85	1,474.7 4	2,352.9 0	3,634.36	5,412.71	53.9%
Asia Pacific	208.96	470.02	877.46	1,504.4 3	2,447.5 3	3,818.09	5,714.48	60.0%
Latin America	21.08	49.31	93.54	161.91	265.32	416.79	628.86	62.3%
Middle East & Africa	11.99	29.24	56.23	97.90	160.90	253.31	383.20	63.9%
Total	1,124.1 3	2,092.8 0	3,623.7 6	6,010.5 1	9,649.7 1	15,010.5 5	22,522.7 7	54.8%

(Source : Tractica 2016)

<표 28> 아태지역 AI-Driven GPU Chip 세계시장 비중

년도	2016	2017	2018	2019	2020	2021	2022
비중	18.59%	22.46%	24.21%	25.03%	25.36%	25.44%	25.37%

(Source : Tractica 2016자료를 바탕으로 계산)

- 세계 AI-Driven GPU 칩 시장을 지역적으로 나누어보면 북미 지역의 비중이 1위를 지속적으로 유지할 것으로 예상되나, 아태지역의 시장 성장률이 66.1%로 가장 높아 점차 그 비중을 확대해 나갈 것으로 예상됨

<표 29> 지역별 AI-Driven GPU Chip 시장

(단위 : 백만 달러)

Region	2016	2017	2018	2019	2020	2021	2022	CAGR % (2016-2025)
North America	128.85	227.04	394.08	673.69	1,128.3	1,830.2	2,831.1	56.2%
Europe	58.57	109.98	195.85	337.15	563.11	906.59	1,389.6	57.2%
Asia Pacific	32.36	78.86	156.83	285.44	491.43	804.85	1,245.8	66.1%
Latin America	4.69	9.95	18.50	32.20	53.57	85.53	130.28	60.3%
Middle East & Africa	2.69	5.67	10.50	18.23	30.29	48.30	73.57	60.2%
Total	227.17	431.50	775.76	1,346.7	2,266.6	3,675.4	5,670.5	58.3%

(Source : Tractica 2016)

<표 30> 아태지역 AI-Driven GPU Chip 세계시장 비중

년도	2016	2017	2018	2019	2020	2021	2022
비중	14.24%	18.28%	20.22%	21.20%	21.68%	21.90%	21.97%

(Source : Tractica 2016 자료를 바탕으로 계산)

□ 세계 3D IC 시장은 2016년 3,505.58M\$에서 2022년 10,476.60M\$로 연평균 17.18%씩 지속적으로 성장할 것으로 예상됨

- 초고성능 메모리통합 3D 회로가 타겟하는 3D 모노리식 IC 시장은 2016년 513.92M\$로 3D Stacked IC 시장에 비해 규모는 적으나 연평균 20.18%씩 성장하여 2022년에는 1,819.65M\$로 성장할 것으로 예상됨

<표 31> 세계 3D IC 시장

(단위 : 백만 달러)

Technology Type	2015	2016	2017	2018	2022	CAGR % (2016-2022)
3D Stacked ICs	2,991.66	3,442.07	3,974.76	4,607.25	8,656.95	16.62%
3D Monolithic ICs	513.92	603.80	714.17	850.28	1,819.65	20.18%
Total	3,505.58	4,045.87	4,688.93	5,457.53	10,476.60	17.18%

(Source : Market Research Future 2017)

- 아태지역 모노리식 3D IC 시장은 2016년 239.10M\$에서 연평균 23.72%씩 성장하여 2022년에는 857.60M\$에 이를 것으로 예상됨

<표 32> 지역별 모노리식 3D IC 시장

(단위 : 백만 달러)

Region	2015	2016	2017	2018	2022	CAGR % (2016-2022)
North America	133.05	164.47	203.38	251.73	601.47	24.12%
Europe	146.77	163.20	182.23	204.36	338.06	12.90%
Asia-Pacific	196.22	239.10	292.56	359.52	857.60	23.72%
Middle East & Africa	37.88	37.73	37.73	37.89	40.32	1.12%
Total	513.92	603.80	714.17	850.28	1,819.65	20.18%

(Source : Market Research Future 2017)

- 아태지역 모노리식 3D IC 세계시장 비중은 2016년 38.18%에서 2022년 47.13%로 1위를 유지할 것으로 예상됨

<표 33> 아태지역 모노리식 3D IC 세계시장 비중

년도	2015	2016	2017	2018	2022
비중	38.18%	39.60%	40.97%	42.28%	47.13%

(Source : Market Research Future 2017자료를 바탕으로 계산)

- 딥러닝(Deep Learning) 관련 기술이 가장 빠르게 확산될 것으로 보이며, 이미지 인식 기술, 음성 인식 및 사용자 패턴 분석 기술등이 높은 시장을 형성할 것으로 전망
- 각 기술 분야별 시장 증대에 따라 이에 대한 부품 및 서비스 시장도 함께 성장 할 것으로 예상되고 부품 분야에서는 반도체 등의 핵심 부품의 성장이 두드러질 것으로 예상

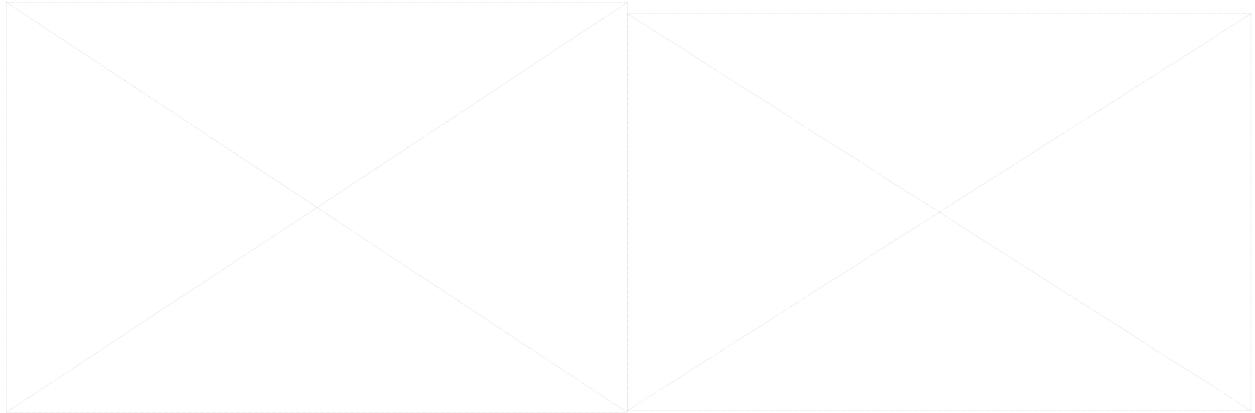
<표 34> 기술 분야별 인공지능 관련 매출액 전망

(단위 : 백만달러)

분야	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	CAGR ('15~'25)(%)
Cognitive Computing	10.9	11.6	12.4	13.2	14.2	15.0	17.1	22.1	34.3	70.5	23.0
Machine Learning	13.6	14.8	16.2	17.9	19.8	21.4	22.7	24.4	26.1	27.8	8.3
Deep Learning	108.5	221.1	453.1	929.5	1,904.6	3,884.9	5,980.8	7,729.1	8,868.3	10,307.9	65.9
Predictive APIs	20.3	22.9	26.4	30.8	36.0	43.4	51.3	61.5	74.5	91.4	18.2
Natural Language Processing	7.8	10.1	13.0	16.6	21.1	26.3	32.6	40.2	49.4	60.4	25.5
Image Recognition	24.4	32.6	44.7	61.7	85.7	119.1	166.7	235.5	336.9	482.7	39.3
Speech Recognition	14.6	16.7	19.3	22.6	26.5	31.0	36.8	43.9	52.3	61.4	17.3
Other	2.3	2.4	2.6	2.8	3.1	3.6	4.4	5.9	8.6	13.3	21.6
Cloud Services	445.4	730.6	1,292.6	2,409.3	4,644.2	9,118.4	13,887.6	17,957.8	20,791.2	24,453.9	56.1
Compute Products	40.5	66.4	117.5	219.0	422.2	828.9	1,262.5	1,632.5	1,890.1	2,223.1	56.1
GPUChips	81.0	132.8	235.0	438.1	844.4	1,657.9	2,525.0	3,265.1	3,780.2	4,446.2	56.1
Network Products	81.0	132.8	235.0	438.1	844.4	1,657.9	2,525.0	3,265.1	3,780.2	4,446.2	56.1
Storage Devices	162.0	265.7	470.0	876.1	1,688.8	3,315.8	5,050.0	6,530.1	7,560.4	8,892.3	56.1
Installation	101.2	166.0	293.8	547.6	1,055.5	2,072.4	3,156.3	4,081.3	4,725.3	5,557.7	56.1
Training	506.2	830.2	1,468.9	2,737.8	5,277.5	10,361.8	15,781.4	20,406.6	23,626.3	27,788.5	56.1
Customization	202.5	332.1	587.6	1,095.1	2,111.0	4,144.7	6,312.6	8,162.7	9,450.5	11,115.4	56.1
Application Integration	101.2	166.0	293.8	547.6	1,055.5	2,072.4	3,156.3	4,081.3	4,725.3	5,557.7	56.1
Support and Maintenance	101.2	166.0	293.8	547.6	1,055.5	2,072.4	3,156.3	4,081.3	4,725.3	5,557.7	56.1
Total	2,024.7	3,320.8	5,875.5	10,951.2	21,109.9	41,447.1	63,125.5	81,626.5	94,505.3	111,154.0	56.1

(출처 : Tractica, 2015)

- 인공지능 및 빅데이터 저장을 위한 storage-class memory에 대한 지속 수요 증가로 인하여 낸드 플래시 시장 규모가 급증할 것으로 전망되며, 한편 DRAM은 2017년 이후 시장 회복이 기대되나 400억 달러를 상회하는 수준으로 정체될 것으로 예상
 - DRAM의 경우 제품의 미세공정화가 한계 및 용량 대비 가격 하락으로 출하량이 증가함에도 시장 규모는 400-450억 달러 수준을 유지할 것으로 예상됨
 - 낸드 플래시의 경우 Storage-class memory에 대한 지속적인 수요 증가에 따라 시장 규모가 증가하여, 2018년에는 DRAM의 시장 규모를 넘어설 것으로 예상됨



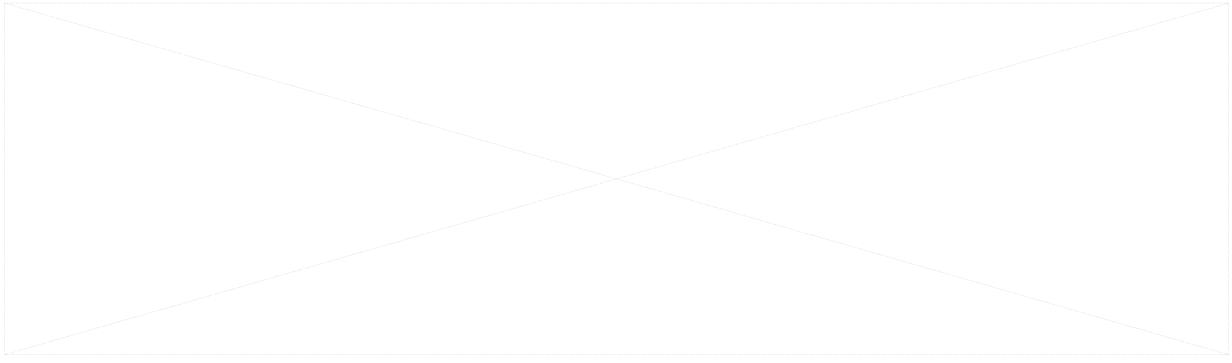
<그림 81> DRAM 시장 전망 (자료: Gartner 15'10) <그림 82> NAND시장 전망 (자료: Gartner 15'10)

- 차세대 메모리 시장은 그림 6과 같이 연평균 118%의 성장으로 '19년에는 기존의 DRAM과 낸드 플래시 시장 규모를 능가할 것으로 전망됨



<그림 83> 2014 - 2020년 차세대 메모리 시장 전망 (자료: Yole Developpement, 2015)

- DRAM은 기존의 PC 중심의 수요에서 모바일, 그래픽 등을 위한 새로운 솔루션 위주로 지속 성장이 예상되며, 비휘발성 Storage-class memory 위주 (낸드 플래시, PCRAM, MRAM 등)로 시장 성장 전망



<그림 84> DRAM 제품군별 용량 점유율 (자료: IHS 15'8)



<그림 85> 메모리 별 시장 전망 (자료: Forbes, 2015)

- Storage-class memory는 용도에 따라 솔루션이 매우 다양하며, 특히 차세대 메모리를 사용할 때는 새로운 메모리 솔루션이 필요
 - 메모리 솔루션에 따라 다양하고 새로운 제품군들이 등장할 것이며, 효과적인 솔루션을 빠르게 개발하는 기업이 시장을 선점할 수 있을 것으로 전망
- 삼성전자, 도시바, SK하이닉스가 DRAM, 낸드플래시 시장을 주도하고 있으며, 마이크론과 인텔은 3D Xpoint 기술 개발을 위한 협력을 진행 중
- 삼성전자는 DRAM과 낸드플래시 등 기존 메모리 반도체 분야의 세계 1위 공급자로, 현재 유일하게 10나노급 공정 양산하고 있으며, SSD, 모바일 위주로 자체 메모리 솔루션 제품 개발
- 도시바는 낸드플래시 분야의 세계 2위 업체로, enterprise SSD 위주로 자체 메모리 솔루션 제품 개발
- SK하이닉스는 DRAM 분야 세계 2위, 낸드플래시 분야 세계 5위 업체로 SSD 위주로 자체 메모리 솔루션 제품 개발
- 마이크론은 인텔과 3D Xpoint 기술 개발을 위해 협력하고 있으며, 인텔은 FPGA업체인 알테라 인수를 통해 메모리 솔루션 기술력 확보에 적극적
- 웨스턴 디지털은 2015년 낸드플래시 업체 샌디스크를 인수하여 현재 세계 3위 낸드플래시 업체로, enterprise SSD 위주로 자체 메모리 솔루션 제품 개발



<그림 86> 메모리 반도체 공급업체 매출비율 (출처: DRAM eXchange)

- DRAM의 경우 모바일, 서버 및 그래픽 부분의 수요가 지속적으로 증가하고 있으며, 낸드 플래시의 경우 모든 부분에서 수요가 증가하며, 특히 모바일과 클라이언트 SSD 부분의 비중이 증가



(a)

(b)

<그림 87> (a) DRAM, (b) 낸드플래시 솔루션 별 용량 점유율 (자료: Micron, 2016)

- SSD는 HDD 대비 가격 경쟁력을 가지게 됨에 따라 당분간 그 수요는 증가할 것으로 예상
- SSD는 플래시 메모리 뿐만 아니라 이를 제어하는 컨트롤러가 포함된 SSD 솔루션 형태로 제공되므로 기존의 메모리 시장 및 관련 메모리 솔루션 시장이 급속히 증가할 것으로 예상
- 차세대 Storage-class memory 역시 이를 제어하는 컨트롤러의 기능이 중요하므로, 관련 저장 솔루션 시장이 확대 전망
- DRAM도 공정 미세화에 따른 신뢰도의 하락, 저전력 처리를 위한 에러 발생 확률의 증가 등으로 인하여 에러 보정 기능이 강화된 DRAM용 메모리 솔루션 시장이 성장할 것으로 예상
- 낸드 플래시 응용 제품 시장 규모는 아래 표와 같으며, 가장 규모가 큰 것은 스마트폰 등에 사용되는 eMMC, UFS이며 SSD 솔루션은 고가의 솔루션이 다양하게 채택되는 응용임

<표 35> 낸드 플래시 응용 제품 시장 규모

Units (million)	2016	2017	2018	2019
Flash Memory Card	760.8	713.2	679.7	659.5
USB Flash Drive	578.1	638.8	685.0	724.4
MP3/PMP Player	27.6	22.6	19.3	17.1
Mobile Phone	1,894.6	1,914.2	1,959.7	2,029.1
Digital Still Camera	28.2	24.2	22.0	20.8
Personal Navigation Device	15.9	15.0	14.5	14.4
Digital Video Camcorder	8.3	7.7	7.2	7.1
Solid State Drives (excl. tablets)	123.6	144.8	164.9	184.7
Tablet	183.7	171.1	162.4	157.4
e-Reader	4.7	4.3	4.0	3.9
Smartwatch	51.8	84.6	124.1	164.2
Total	3,677.2	3,740.5	3,842.9	3,982.6

- ※ 저장 솔루션은 낸드 플래시 벤더에 내재화된 경우가 많아 전체 시장 규모를 수치화하는 것이 쉽지 않으나 낸드 플래시 응용 제품에는 한 개 이상의 저장 솔루션이 탑재되는 것을 역산하여 아래와 같이 저장 솔루션만의 시장 규모를 추산
 - 저장 솔루션의 전체 매출액은 작게는 36억 달러, 크게는 55억 달러로 예측
- ※ 2016년의 자료에 대하여 예상되는 최저, 최고가 추정하여 메모리와 기타 비용을 제외한 순수 저장 솔루션만의 시장 규모를 전망하였음. 예를 들어 SSD 솔루션의 경우, SATA SSD 등의 저가형 솔루션의 경우 솔루션 가격을 \$2로 예상할 수 있고, NVMe 등의 고급형 솔루션의 경우 \$20 정도로 보수적으로 예상. 다만 SMI의 2016년 매출이 \$556M인 것에 비교해 볼 때 매우 보수적인 추정치임

<표 36> 저장 솔루션 시장 규모 (추정치)

Units (million)	2016	Solution Price (\$)		Solution Revenue (\$M)	
		Low	High	Low	High
Flash Memory Card	760.8	0.2	0.8	152.16	608.62
USB Flash Drive	578.1	0.2	0.5	115.62	289.05
MP3/PMP Player	27.6	0.4	1	11.02	27.56
Mobile Phone	1,894.6	0.4	1	757.82	1,894.55
Digital Still Camera	28.2	0.4	1	11.29	28.23
Personal Navigation Device	15.9	0.4	1	6.34	15.85
Digital Video Camcorder	8.3	0.2	0.8	1.67	6.67
Solid State Drives (excl. tablets)	123.6	2	20	247.14	2,471.40
Tablet	183.7	0.4	1	73.48	183.71
e-Reader	4.7	0.4	1	1.86	4.66
Smartwatch	51.8	0.4	1	20.74	51.85
Total				3,677.2	5,582.16

- IoT 반도체 시장 규모는 '75.1년 억 달러에서 '2020년 224.6억 달러로 급성장 전망

<표 37> 세계 IoT 반도체 시장 실적 및 전망

(단위 : 백만 달러)

Category	2013	2014	2015	2016	2017	2018	2019	2020	CAGR
Processing	4,671	5,496	6,791	8,327	10,084	12,716	16,295	20,444	23.5%
Communications	1,876	2,200	2,850	3,342	3,946	4,829	5,930	7,300	21.4%
Total	6,684	7,510	8,806	10,343	12,101	14,734	18,314	22,464	24.2%

(Source : Gartner 2015)

- 인터넷에 연결된 사물은 2020년 204억 개까지 증가되며, 2017년 84억 개의 디바이스가 연결되어 2016년보다 31% 증가할 것으로 예상 (Source : Gartner 2017)
- IC Insights에 따르면 차량, 주택, 웨어러블, 산업 시장 및 스마트 시티 애플리케이션의 성장에 힘입어 올해 약 20 % 증가한 184 억 달러를 기록 할 것으로 예상되며, 2020년까지 산업자동화, 빌딩 제어, 스마트시티, 웨어러블, 의료 / 헬스케어 및 운송시장 수순으로 시장 확대 예상 (Source : IC Insights 2016)
- 한국은 '14년 시스템반도체 시장 2,050억 달러의 4.3%인 88억 달러를 차지
 - 삼성전자 스마트폰 AP분야에 약 65억 달러를 제외하면 23억 달러로 매우 취약



(Source : IC Insights)

<그림 88> IoT 반도체 시장 전망(센서 분야 포함)>

- 사용자 서비스를 위한 IoT 반도체 시장전망에 따르면, 자동차 및 빌딩 자동화 시장 그리고 웨어러블 시장이 가장 큰 규모로 성장할 것으로 예상. 2022년까지 연평균 3.9%, 12.4%, 28.0%의 성장을 하며, 규모 또한 2억3853만 달러, 2억9108만 달러, 3억1604만 달러를 차지할 것으로 예측



<그림 89> 세계 IoT용 반도체 시장전망(Source : MarketsandMarket, 단위 만달러)

- 시장조사기간 모두 프로세서 분야의 시장이 높은 성장을 할 것으로, 메모리 디바이스 및 로직 디바이스 분야도 지속적으로 성장할 것으로 예상됨

<표 38> IoT 반도체 연도별 시장 성장률 전망

Category	2014	2015	2016	2017	2018	2019	2020	CAGR
Processing	17.6%	23.6%	22.6%	21.1%	26.1%	28.1%	25.5%	23.5%
Communications	17.3%	29.5%	17.3%	18.1%	22.4%	22.8%	23.1%	21.4%
Total	17.45%	26.55%	19.95%	19.60%	24.25%	25.45%	24.30%	24.2%

(Source : Gartner 2015)

<표 39> IoT 반도체 분야별 마켓 규모

(단위 : 백만 달러)

Category	2013	2014	2015	2016	2018	2020	2022	CAGR
Processor	1,035	1,258	1,524	1,906	2,912	3,937	4,814	16.7%
Connectivity IC	2,013	2,318	2,660	3,064	3,897	4,582	5,122	8.9%
Memory Device	65.1	90.9	131.9	213.4	492.6	688.5	801.4	24.7%
Logic Device	17.2	24.5	29.8	35.1	42.4	46.8	49.6	5.9%
Total	5,126.1	5,680.9	6,330.9	7,199.4	9,319.6	11,227.5	12,759.4	13.2%

(Source : MarketsandMarket 2017)

- IoT 프로세서 분야에서 인텔리전트 엣지와 연관된 분야는 크게 MCU, AP, DSP로 분류될 수 있으며, 기존 IoT 디바이스의 MCU보다 높은 성능의 ‘경량 AP’ 시장의 높은 성장이 예상. 적용 시장분야는 웨어러블, 스마트의료기기, 스마트가전, 스마트빌딩이 주력임
 - 경량 AP시장은 Cortex M4F(40~80MHz)급에 Sensor와 근거리 모듈 및 특수한 기능을 할 수 있는 DSP 기능이 포함된 통합 SoC 시장으로 TI, NXP, Toshiba, ST 등에서 ‘AP Lite’로 시장분류하고 확대되고 있는 추세임

<표 40> 프로세서 분야 상세 시장 분석

(단위 : 백만 달러)

Category	2013	2014	2015	2016	2018	2020	2022	CAGR
MCU	723.8	869.3	1,030.7	1,219.5	1,619.2	2,277.3	2,969.4	16.0%
AP (Application Processor) Lite	236.2	298.2	385.6	558.3	1,122.8	1,475.1	1,654.9	19.9%
DSP (Digital Signal Processor)	75.2	90.7	108.3	128.4	170.1	184.4	190.5	6.8%
Total	2,973	3,181.5	3,431.3	3,793.8	4,760	5,772.4	6,646.3	16.7%

(Source : MarketsandMarket 2017)

- 프로세서별 가장 많이 수요분야는 빌딩자동화(Building Automation)과 웨어러블 디바이스(Wearable Device) 그리고 자동차관련 분야(Automotive&Transportation)로 나타낼 수 있으며, IoT 칩 시장에 약 61.8%를 차지할 것으로 예상

<표 41> 서비스에 따른 프로세서 분야 상세 시장 분석

(단위 : 백만 달러)

Category	2013	2014	2015	2016	2018	2020	2022	CAGR
Building Automation	377.2	454.6	536.5	626.4	814.9	1,002.3	1,195.0	11.4%
Automotive&Transportation	407.8	468.6	527.9	591.5	667.1	675.5	664.6	2.0%
Wearable Device	28.2	54.9	110.0	249.4	740.7	1,018.4	1,126.7	28.6%
Healthcare	63.7	74.1	85.6	97.0	115.7	131.7	147.3	7.2%
BFSI	25.4	33.2	43.2	57.0	93.9	140.4	194.2	22.7%
Industrial	12.0	14.7	18.0	22.0	30.8	39.3	45.8	13.0%
Agriculture	6.3	11.2	15.7	19.8	27.1	33.4	38.8	11.9%
Retail	0.1	0.2	0.4	1.6	40.5	349.5	678.6	173.6%
Other	114.5	146.8	187.2	241.6	381.5	546.8	723.8	20.1%
Total	1,035.2	1,258.3	1,524.5	1,906.3	2,912.2	3,937.3	4,814.8	16.7%

- 차량 분야에 경량 AP를 이용한 DSP는 단순 전장체어 뿐만 아니라 스마트 어플라이언스 분야 뿐만 아니라 복합장치를 동시에 제어하는 기술까지 포함한 안전과 운전자 인터페이스, 실내 정보 및 엔터테이먼트가 통합된 SoC 기술로 발전할 것으로 예상
- 스마트홈과 빌딩에서는 기존에 디바이스의 단순 연결중심에서 집과 소매점 그리고 빌딩과 소매점(식료품, 식당, 마트)가 연결되는 형태로 발전됨에 따라 음성, 영상 등을 인지하는 DSP 기술이 IoT 단말에 요구하게 될 전망임
- IoT 분야는 2020년 이전에는 유럽과 미국이 IoT 소비 패턴을 주도하지만, 2020년 이후에는 중국이 관련 시장에 가장 큰 시장으로 될 것으로 예상되며 2025년까지 대부분의 IoT 디바이스들은 10n/7nm 공정으로 제조될 것으로 관련 기술은 Intel, TSMC이 주도할 것으로 예상하고 있음 (Source : semi 2015)



(Source : Semi 2015)

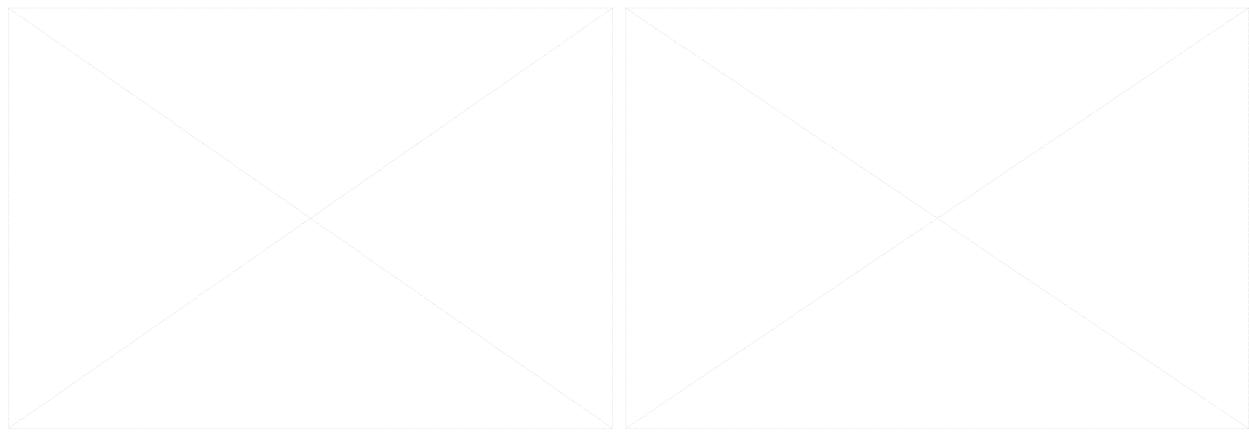
<그림 90> IoT 반도체 및 센서 시장 전망

- IoT 디바이스에서 반도체가 차지하는 비중이 증가하고 있으며, 기술 및 제품 간의 융합이 증가하는 추세
 - 스마트폰의 반도체 비중은 지난 '10년 35%에서 '14년 47%로 확대되었으며, 자동차용 반도체 비중은 '10년 8%에서 '14년 15%로 급증하고 있음
 - 세계 ICT시장은 매년 약 3.2%씩 성장할 것으로 전망되어 정체 상황인 반면, IoT 시장은 연 평균 약 26%씩 성장하여 '20년에는 1조 달러를 상회할 전망



<그림 91> 국외 IoT 시장 규모(左), ICT 시장 규모(右)

- 팹리스 기업은 연평균 18% 이상의 고속 성장이 전망되고 있으며, IoT 디바이스의 복잡도 증가에 기인한 것으로 분석됨
- 국내 IoT 시장 규모는 '15년 3.3조원에서 '22년 22.9조원으로 연평균 38.5%로 급성장 전망되며, 관련 반도체 시장 또한 급성장 예상됨
 - IoT 시장 중에서 디바이스 분야가 가장 높은 비율을 차지하고 있음



(자료 : KT 경제경영연구소, 'IoT-가속화되는 연결의 빅뱅과 플랫폼 경쟁의 서막')
 <그림 92> 국내 IoT 시장 규모 전망

- IoT가 실생활 영역에 적용되면서 경제적 가치 창출, 효율성 증대, 편의 제공 등이 현실화되는 있음
 - 스마트홈, 스마트시티(빌딩, 유틸리티, 공공, 교통 서비스 등으로 구성)는 '17년 기준 소비자 부문 IoT 네트워크의 90% 이상을 차지할 것으로 추정
 - IoT 서비스별 분야로는 개인화 서비스(스마트홈, 헬스케어, 미아방지 등)의 비율이 31%로 가장 높았으며, 지불/결제(매장 판매 관리, NFC 결제 서비스 등, 19.5%), 사회/문화(도서 관리, 관광 정보 제공 등, 8.5%) 등이 뒤를 잇는 것으로 나타남
- 국내 IoT 산업은 스타트업과 벤처기업 중심으로 성장하고 있음
 - IoT 관련 업체는 1,212개로, 그 중 서비스 분야가 551개(45.5%)로 가장 많았으며, 디바이스 319개(26.3%), 네트워크 174개(14.4%), 플랫폼 168개(13.9%)로 조사됨 (국가통계포털, IoT 산업조사, 2016. 02)
 - 종사자 규모로는 10인~49인 사업체가 623개(51.4%)로 가장 많았으며, 1~9인 사업체가 359개(29.6%), 50인~299인 사업체가 201개(16.6%), 300인 이상 사업체가 29개(2.4%)로 국내 IoT 산업에 81%가 스타트업이나 벤처기업으로 매우 영세한 것으로 알 수 있음
- IoT 반도체 마켓에 자동차와의 연결성은 2019년도 17억 달러로 예상되며, 2014년도 14억 달러보다 증가되는 예상치이며, 2015년 대비 2016년은 약 66% 증가된 7억9천억 달러로 예상되며, 2020년까지 연평균 60% 성장을 예상됨. 가전분야인 Consumer시장에서 IoT 분야 성장을 또한 연평균 17.4% 성장을 기대함

<표 42> IoT 반도체 시장별 규모 전망

(단위 : 백만 달러)

Category	2013	2014	2015	2016	2017	2018	2019	2020	CAGR
Automotive	426	856	1,737	2,579	4,014	6,178	8,861	11,425	60.0%
Consumer	4,738	5,203	6,193	7,236	8,130	9,440	11,623	14,576	17.4%
Cross-Industry	989	1,188	1,475	1,846	2,258	2,849	3,517	4,500	24.2%
Vertical-Specific	1,574	1,811	2,115	2,480	2,900	3,427	4,021	4,732	17.0%
Total	5,164	6,059	7,930	9,815	12,144	15,618	20,484	26,001	24.2%

(Source : Gartner 2015)

- IoT 디바이스에 대한 2016년까지 시장분석에 의하면, 자동차와의 연결성 분야와 웨어러블 분야가 성장률이 가장 높지만, 실제적인 시장 크기는 빌딩이나 도심의 인프라 분야(스마트미터링)에서 IoT 디바이스가 가장 수익을 창출하고 있지만, 2017년부터는 전장분야와 소비자 위주의 시장이 각각 약 50%와 20% 성장으로 IoT 반도체 시장을 견인할 것으로 나타남
(Source, Tech Design Forum 2017, Gartner 2015)
- IoT 처리분야에서 ASSP와 FPGA/PLD 분야가 대표적인 IoT 엣지를 위한 시장으로 연평균 성장률은 28%와 53.3%로 예상됨
- 특히, IoT기반에 지능형가속을 위한 FPGA 시장은 매우 작지만 다른 IoT 반도체요소보다 빠르게 성장하고 있으며, 53.3%의 시장이 지속적으로 2022년까지 성장한다면, 수치적으로 마이크로프로세서(Microprocessor) 시장을 넘는 19.6억 달러시장이 예상됨

<표 43> IoT 디바이스의 처리분야 반도체 매출 전망

(단위 : 백만 달러)

Processing	2013	2014	2015	2016	2017	2018	2019	2020	CAGR
Application Processor	1,277	1,279	1,310	1,613	1,958	2,427	3,079	3,784	16.8%
ASIC	1,378	1,628	1,981	2,096	2,001	2,182	2,670	3,247	13.0%
ASSP	867	1,094	1,455	1,879	2,411	3,063	3,849	4,877	28.0%
FPGA/PLD	42	66	107	167	271	419	612	834	53.3%
Microcontroller	937	1,220	1,663	2,211	2,937	3,926	5,136	6,396	28.47%
Microprocessor	170	208	274	362	505	699	948	1,305	33.8%
Total	4,671	5,495	6,790	8,328	10,083	12,716	16,294	20,443	23.5%

(Source : Gartner 2015)

- 헬스/의료, 제조, 자동차/교통, 도시/안전, 에너지 홈 등의 분야가 활용준비도와 성장성이 높아 전략적으로 육성할 필요가 있는 분야임



<그림 93> 사물인터넷 응용 분야별 활용준비정도 및 성장성

(출처: 사물인터넷 시장 및 산업 동향, 2016.07)

- McKinsey, Machina Research 등 시장 조사 기관의 분석 자료를 참고하여 IoT 활용이 유망한 18개 서비스 분야를 선정한 후, 국내 산학연 IoT 전문가에게 분야별 성장성 및 IoT 활용 준비 정도를 조사

<표 44> IoT 반도체 분야의 산업별 시장전망

(단위 : 백만 달러)

Processing	2013	2014	2015	2016	2017	2018	2019	2020	CAGR
차량-인포테이먼트	86	175	391	573	939	1,492	2,168	2,819	64.6%
차량-ADAS	38	87	187	316	538	892	1,401	2,031	76.6%
산업용 커넥티드 디바이스	967	1,054	1,174	1,292	1,402	1,538	1,694	1,874	9.9%
차량-Chassis	74	150	297	454	698	1,051	1,474	1,857	58.4%
스마트 TV	1,019	1,181	1,182	1,282	1,321	1,339	1,566	1,819	8.6%
차량-파워트레인	80	157	304	436	656	985	1,369	1,657	54.2%
비디오게임컨트롤	1,440	1,628	1,718	1,625	1,252	1,180	1,330	1,510	0.7%
보안카메라	423	512	618	746	849	993	1,136	1,308	17.5%
차량-Body	51	102	198	293	434	656	917	1,187	56.6%
디지털셋톱박스	428	500	609	747	817	914	970	1,040	13.5%
차량-안전분야	52	102	196	275	405	596	818	1,012	53.0%
Total Top 11 End Point	4,658	5,648	6,874	8,039	9,311	11,636	14,843	18,114	23.5%

(Source : Gartner 2015)

- IoT기반 시장의 시장전망으로 차량분야로 차량-인포테이먼트, 차량-ADAS의 지능적 프로세싱기반 시장과 센서 중심의 차량-Chassis(차량제어/고속응답성), 차량-Body(안전), 차량-안전분야가 대표시장으로 성장할 것으로 예상



(출처:www.kipex.or.kr/ , 반도체 IP 시장규모)

<그림 94> 시스템반도체 산업구조

- 세계 IP시장은 '07년 약 14억달러 규모에서 '14년 약 27억 달러 규모로 연평균 9.9%의 성장

률로 성장하였음 IoT, 웨어러블 디바이스 등의 시장의 본격 성장이 이루어지면서, 반도체 IP 분야의 고성장세는 더욱 가속화할 것으로 전망

□ IoT 하드웨어 시장은 기업시장이 주도할 것으로 예상

- Cisco는 향후 10년간 IoT 분야에서 창출될 수 있는 가치는 약 20조 달러로 전망하였고, IDC는 IoT 시장은 2020년에는 7조 1,000억 달러의 수준으로 성장할 것으로 예측
- IoT 기기는 '17년 말에 작년보다 31% 증가한 84억 개에 이를 것으로 예상되며, '20년까지 250억 개를 상회할 전망 (출처: 가트너, IoT 기기 시장전망)
 - '16년 기업용 IoT 하드웨어 시장은 9640억 달러인 반면, 소비자 시장은 7250억 달러 수준
- 제품은 66% 이상이 소비자용 제품으로 스마트TV, 셋톱 박스, 자동차용 엔터테인먼트 시스템과 커넥티드 도어락, 전구 같은 기기까지 확대되어 판매되고 있으며, 점차 가정용 IoT 제품까지 확산될 전망
 - 가트너의 애널리스트 피터 미들튼은 "제조나 헬스케어 등 수직 계열화된 업계는 현재 특정한 목적으로 160만대 이상의 IoT 기기를 사용. 2018년이 되면 커넥티드 조명, 난방, 보안 등 여러 산업에 걸쳐 IoT 시스템을 사용하는 것이 수직계열 업계를 넘어서기 시작됨

<표 45> 국내 음성기반에 지능형 IoT 서비스

기업	기술	서비스
네이버	아미카	정보검색 및 생활편의 서비스 (예정)
삼성전자	페밀리허브 2.0	가전기기 및 휴대폰(갤럭시 S8)
LG전자	알렉사(아마존)	가전기기 및 휴대폰
SK텔레콤	누가	일정관리, 음악, 음식배달
KT	지니	TV셋톱박스 및 음악, 음식배달, 택시호출
코웨이	알렉사(아마존)	공기청정기 및 정수기

- 국내 반도체 제조 및 공정 기술은 세계적인 수준이나 대부분의 국내 팹리스 기업 및 국가 연구개발 칩 제작은 해외에서 실행
 - 국내 반도체 산업이 대기업-IDM(종합반도체회사) 위주로 메모리 산업에 집중되면서, 현대자동차, LG전자 등 글로벌 경쟁력을 갖춘 수요 업체가 있음에도 불구하고 수요기업-팹리스-파운드리의 유기적인 협력 및 생태계 채택
 - 국내 반도체 제작 기술 기반으로 팹리스-파운드리 협력을 활성화 하여 연구개발 비용의 해외 유출을 막고 중소기업-대기업 동반 성장 추진 생태계 구축 필요
 - 국내 파운드리의 설계자산(IP) 및 지원 공정 다양성 부족 등으로 해외 파운드리 서비스에 의존하여 경쟁력 약화 및 제작비용 상승요인으로 작용
- 국내 PDK 보유 업체는 삼성, 동부하이텍, SK하이닉스 등 Fab. 보유 업체가 보유하고 있으나, 삼성의 경우 대부분 자체 제품의 개발 및 글로벌 기업의 제품에 치중하고 있으며, 극히 일부 사용하고 있는 실정임

- 파운드리의 PDK는 외부 공개가 거의 이루어지지 않으며 일부 업체만이 보유하고 있고, 보유한 PDK 역시 디지털 회로에 치중
- Display driver IC의 경우 Fab을 가진 삼성은 자체 생산하고 있으며, Fabless 업체의 선두인 실리콘웍스의 경우 외국 Foundry에 의존하고 있는 실정임
- 고해상도 및 3D 디스플레이 구동을 위하여 자체 개발을 진행하고 있으나, 대부분 기존 규격에 맞게 개발하여, 독창적인 표준제품은 보유하지 못함

□ 빌딩 오토메이션과 전장 인포테인먼트 분야는 IoT 반도체에 중요한 시장으로 될 것으로 예상됨

- IoT 차량 반도체 분야에서 'IoT 반도체 분야의 산업별 시장전망'과 연계 분석을 통해 AP, ASSP와 FPGA 분야와 같이 전용성과 자율주행 및 제어를 위한 지능적인 제어를 요구하는 IoT 반도체 분야는 23.2%씩 성장이 확대되는 반면, 단순한 제어 마이크로 컨트롤러 (Microcontroller) 및 프로세서(Microprocessor) 시장은 성장률이 지속적으로 감소됨을 알 수 있음

<표 46> IoT 반도체 차량 분야의 시장전망

Processing	2013	2014	2015	2016	2017	2018	2019	2020	CAGR
Application Processor	4	8	19	52	167	360	580	788	75.1%
ASIC	31	64	136	204	318	490	708	896	4.0%
ASSP	77	162	323	484	717	1,069	1,503	1,887	3.9%
FPGA/PLD	9	21	45	76	133	211	313	422	23.2%
Microcontroller	115	239	454	650	994	1,519	2,143	2,656	-30.1%
Microprocessor Embedded	7	15	36	53	83	130	206	352	-46.1%
Total	243	509	1,013	1,519	2,412	3,779	5,453	7,001	5.00%

(Source : Gartner 2015)

- 특히, 차량-인포테이먼트 시장이 앞으로 빠르게 확대(75.1%)됨에 따라 관련된 IoT 관련된 응용분야에 영상이나 음성처리의 DSP가 통합형태의 경량 AP(Application Processor) 시장의 빠른 성장이 기대됨
- 빌딩 오토메이션 시장은 인텔리전트 MCU가 요구될 것으로 대부분은 Cortex M4F나 M4S급으로 80~200MHz의 IoT 디바이스 측면에서는 강력한 처리성능을 기반으로 제공될 예정임. 관련된 시장은 전체시장에서 2016년 270만대에서 2022년 약 520만대로 증가할 것으로 예상됨

<표 47> IoT 빌딩 오토메이션 분야의 시장전망

(단위 :백만대)

Processing	2013	2014	2015	2016	2018	2020	2022	CAGR
Smart Meters	65.3	77.7	90.2	102.8	131.0	162.9	195.9	11.3%
IP Cameras	8.1	10.7	13.3	15.9	21.1	26.4	31.1	11.8%
Smart Thermostats	1.2	1.8	2.7	4.1	7.7	11.1	15.0	24.1%
Gateways	1.9	2.2	2.3	2.7	3.5	4.3	5.2	11.4%
Smart Locks	0.9	1.4	1.9	2.5	3.5	4.6	5.6	14.6%
Total	77.4	93	110.4	128	166.8	209.3	252.8	14.64%

(Source : MarketsandMarket, IoT chip market for building automation application, 2017)

- 빌딩 오토메이션 시장은 인텔리전트 MCU는 상대적으로 빌딩 오토메이션 분야에서 고부가가

치 반도체로 2022년 520만대 정도로 예상되는 게이트웨이 시장에서 비용은 3천240만 달러로 대당 6.2\$ 수준에 높은 부가가치를 누림

<표 48> IoT 빌딩 오토메이션 분야의 반도체 시장전망

(단위 :백만달러)

Processing	2013	2014	2015	2016	2018	2020	2022	CAGR
Smart Meters	437.9	499.8	556.2	608.8	716.7	825.4	922.3	7.2%
IP Cameras	99.3	128.4	156.2	182.7	231.9	276.3	311.0	9.3%
Smart Thermostats	17.4	26.6	40.0	58.5	105.9	147.2	191.6	21.9%
Gateways	15.5	17.1	17.9	20.2	24.3	27.9	32.4	8.2%
Smart Locks	5.3	8.1	10.6	12.9	16.6	19.4	21.2	8.7%
Total	575.4	680	780.9	883.1	1,095.4	1,296.2	1,478.5	11.06%

(Source : MarketsandMarket, IoT chip market for building automation application, 2017)

□ 증강현실/가상현실 시장은 2020년 130조원에 이를 것으로 예상

- 현재 증강현실/가상현실 시장은 지속적으로 성장하고 있으며, 세계 주요 기업을 중심으로 기술적으로 발전함과 동시에 가상현실과 증강현실의 중간에 해당하는 혼합현실(MR)의 개념도 생겨남
- 구글, 인텔, 마이크로소프트 등 세계 주요 기업에서 꾸준히 AR, VR 관련 기업을 인수합병하거나 자체적으로 관련 프로젝트를 진행하고 있음
- 현재 드러난 것에 비해 증강현실/가상현실 기술의 가능성은 여전히 무궁 무진할 것으로 기대되고 있으며, 주도적인 위치에 차지할 필요가 있을 것으로 사료됨

□ 건강한 삶을 살고자하는 인간 욕구는 예로부터 있었으나, 아직까지 의료기기 혹은 IT 기술이 이를 충족 시켜주지 못한 상태. 반도체 기술의 집적화 기술 및 현재의 구축된 인프라를 이용한다면 시장을 형성할 수 있을 것.

- 가속화 되는 고령화 사회 및 고도화 되고 있는 삶의 질과 동반하여 의료분야의 산업은 지속적인 성장이 예상됨.
- MS Health의 자료를 참고하면 세계 헬스케어 산업은 2010년 3조 5600억달러의 규모에서 2015년 4조9700억 달러로 성장하였으며, 2020년까지 꾸준히 성장할 것으로 예상
- 한편 맥킨지(Mckinsey)의 2015년 조사에 따르면 IoT 시장에 대해 2025년까지 연간 최소 3.9조 달러에서 최대 11.1조 달러로 내다보고, 2025년은 세계 GDP의 11%에 달하는 규모로 성장할 것으로 전망
- 헬스케어 산업은 사물인터넷이 가장 활발하게 적용되고 있는 분야로, 특히 일반 소비자 대상의 'Mass Market'의 급성장이 이뤄질 것으로 기대됨
- IoT 기술은 의료비 절감과 의료 품질 제고를 동시에 실현할 수 있으며 공간적 제약을 극복할 수 있어 의료서비스 부분에서의 적극적인 적용이 시도되고 있음
- 초기 IoT 기반의 의료분야는 모니터링 및 진단에 집중될 것으로 예상되며, 향후 치료 및 예방 등의 다양한 분야로 확대 예상



<그림 95> 모바일 헬스 IoT 현황 (출처 : Mckinsey, 2015년)

- 질병 예방과 일상 관리를 통해 건강한 삶을 유지하기 위한 개인 맞춤형 헬스케어의 니즈가 확산되고 있음

3.3 국내외 정책동향

가. 주요국의 반도체산업정책

- 미국 정부는 `16년 10월 31일 민관 합동 반도체WG 구성 발표 후 '17년 1월 6일 대통령 정책 제언 보고서를 공개

※ WG 구성 멤버 : John Holdren(백악관 과학기술정책국장), Paul Otellini(Intel CEO), Qualcomm, 버클리대학, JP 모건 등 정부, 기업, 대학, 투자기관 참여

- 이 보고서에서 반도체는 미국의 경제적 번영과 국가 안보에 핵심적인 역할을 수행해 온 중요한 산업이지만 현재 기술적 한계, 중국의 산업정책에 따른 시장의 교란 등 지속 성장을 위해 해결해야 하는 여러 과제에 직면하고 있다고 분석하고
- 미국이 중국 산업정책에 효과적으로 대응하고, 지속적인 반도체산업의 리더십을 유지하기 위해 아래와 같이 3가지 정책 방향을 제시함

① 중국 산업정책의 투명성 요구 및 수출 규제 강화

- 중국의 산업정책은 시장원리를 파괴하고 미국 국가 안보에도 위협이 됨으로 G20, APEC과 같은 양자, 다자간 채널을 통해 중국 정책의 투명성을 높이는 데 주력해야 함
- 중국의 정책이 시장 규칙을 위반할 경우 동맹국과의 협력을 통해 수출 규제를 강화하고 중국 자본의 미국 투자를 제한하는 조치를 취해야 함

② 미국 내 반도체 산업환경 개선

- 기초연구 투자 확대, 인력 양성 및 해외 우수 인력 유치, 법인세법 개혁 등을 통해 미국 내 반도체산업 환경을 개선해야 함

③ 반도체 소위원회 구성 및 Moonshot 프로젝트 수행

- 국가과학기술심의회(NSTC) 내 산·학·연·관이 참여하는 반도체 소위원회를 구성하여 첨단 바이오, 메디컬 기술개발 등 혁신적 프로젝트를 기획·수행하여 첨단 산업의 주도권을 유지해야 함
- (Moonshot 프로젝트) 미국이 반도체 산업의 주도권을 유지하기 위해서는 반도체 혁신만을 최종 목표로 설정하기보다는 더 넓은 개념의 혁신이 필요하며
- 혁신의 가속화, 새로운 기술 창조 등 큰 사회적 가치실현의 목표를 염두에 두고 프로젝트를 기획해야 하며, 정부가 주도적인 역할을 하는 것 보다는 명확한 목표를 세우고 산업계·학계·연구소 및 정부 부처 간의 협력을 활성화해야 한다고 주장

<표 49> Moonshot 요소기술

Component technology vector	Time-frame to first commercial products	Approach to achieving and retaining competitive advantage
Neuromorphic Computing	Available now	Continued R&D into new architectures coupled with 3D technologies and new materials, Deep Learning accelerators (for mobile and data center applications), and applications for true brain-inspired computing
Photonics	Available now	Foundries for tools and materials R&D; integrate photonics with CMOS and other materials
Sensors	Available now	Foundries for tools and materials R&D; integrate new types/classes of sensors with CMOS and other materials
CMOS (sub 7nm node size or new 3D structures)*	Advances in thermal management available with new process nodes	Deep understanding of transistor physics and chipset architecture and related design know-how; foundries and labs for transistor and materials R&D
Magnetics	1–2 years (MRAM as eFlash), 3 years (as DRAM), 5–7 years (as SRAM)	Foundries for tools and materials R&D; integrate magnetics with CMOS and other materials
3D	2–3 years (wafer-to-wafer stacking), 4–5 years (die-to-wafer stacking), 5–7 (Monolithic 3D)	Deep understanding of applications space and benefits associated use of 3D technologies and design know-how; foundries for tools and materials R&D; design automation tool R&D
Data-flow based architectures	3–4 years	Continued architecture R&D, coupled with materials, integration, and manufacturing; build an ecosystem for solutions using data-flow based architectures
Ultra-high performance wireless systems	3 years (5G), 10–12 years (6G)	Continued R&D in new materials and processes, antenna design advances, chipset manufacturing, and integration
Advanced non-volatile memory as SRAM	5+ years	Deep understanding of applications space and chipset architectures
Carbon nanotubes and phase change materials*	5–7 years	Foundries/labs for materials R&D for hardware architectures; chipset designs to leverage these technologies
Biotech/human health	5–10 years	R&D towards low power, highly integrated, high performance processing, high-data rate communications, wireless charging; couple R&D with clinical research to create, build, and evaluate on new materials and interfaces
Quantum Computing	< 10 years	Pre-competitive R&D labs for new materials; foundries for new materials and hardware architectures; tools for quantum algorithms and software programming with various architectural paradigms
Point-of-Use Nanoscale 3D printing	Available now	Desktop fab capabilities for rapid prototyping, additive manufacturing, moving beyond silicon and interfacing with soft matter, and small batch production
DNA for compute and storage*	10+ years	Multi-disciplinary basic research in efficiently and reliably reading and writing and retrieving DNA strands

주: * 표시는 정해진 기간 내에 실현될 가능성이 비교적 낮은 것

- 중국 정부는 반도체를 국가산업의 핵심 근간으로 규정하고 관련 정책을 잇달아 제정, 개발 프로젝트에 천문학적인 정책자금의 투입과 제도 지원, 수요 창출까지 주도하고 있음
 - 중국 정부는 2000년 IC제조기업에 대한 조세혜택부터 시작하여, 광범위하고 도전적인 목표를 설정하고 지원정책을 적극적으로 추진 중

<표 50> 중국 주요 반도체산업 지원정책

발표	정책	주요내용
1990	908프로젝트	·전자 산업 및 IC 산업 육성
1995	909프로젝트	·IC산업을 국가의 가장 중점 육성 산업으로 지정
2006.02	IC산업 “11차5개년계획”	·반도체를 주요 육성 산업으로 지정 ·2010년까지 5년간 IC매출액 CAGR+30%
2011.02	SW와 IC산업 발전정책	·보조금 정책범위 확대, 지적재산권보호, 해외인재 적극스카웃 ·(투자금 80억 이상기업대상) 15%면세 혜택 등 다양한 면세 혜택 확대
2012.02	IC산업 “12차 5개년”계획	·2015년까지 IC산업 매출 CAGR 18% 성장, 매출액 3,300억 위안 ·총생산량 1,500억개, 세계 Top 10안에 드는 IC기업 육성
2012.04	SW와 IC산업 발전을 위한 기업 소득세 정책	·2017년까지 기업공정과 기간에 따른 다양한 면세 정책 확대 ·80um 폭 미만의 IC제조업체들은 “2+3”세금혜택, 2년면제+3년 감세 ·25um 폭 미만의 IC제조업체들과 15년 이상 기업은 5년 면제+5년감세
2014.06	국가 IC산업 발전요강	·2020년까지 연평균 20% 성장과 국내 매출규모 1조 위안 달성 ·2020년까지 설계분야는 세계 선두업체 수준으로, 제조분야는 16/14nm 공정 대량생산, 후공정 분야는 세계 선두 기술 보유
2015.03	2015년 공업 육성실시 중국제조 2025	·반도체, 신형 인식기기, 스마트 측정기기, 공업소프트웨어, 로봇 등 향후 1년 간 핵심 기초 부품의 국산화율을 70%까지 제고 ·13차 5개년 계획(2016~2020), 14차 5개년 계획(2021~2025)

자료 : KSIA(2016)

- (대규모 반도체펀드 조성) 국부펀드 1,200억 위안(약 21.6조원)과 지방기금/사모기금 600억 위안(약 10.8조원)이상의 자금을 조성하여, 향후 직접 투자, 인수합병 등 반도체 산업 육성을 위해 지원하고 있음

국내기업 및 해외기업과 연관된 전략적인 Partnership, Joint 벤처, M&A 등 산업성장을 위한 전방위적인 투자로 반도체산업 생태계 조성을 추진(투자 할당 : 제조 40%, 설계 30%, 장비/부분품/OSATs 30%)

국부펀드는 정부, 국유 대기업, 금융기관 등의 16개 주주로 구성되어있으며, 2020년까지 3,500억 위안(560억 달러)으로 확대하는 것을 목표로 함

범국가적인 M&A 확대, 핵심인력 확보, 메모리반도체 경쟁력 확보에 펀드를 사용하고, 시스템 반도체 기술력이 필요한 IoT, Big Data 등 미래 혁신기술에 전략적, 선제적 투자를 실행할 예정

‘15~’16년 반도체 제조 및 칩 설계 분야에 총 4,000억위안(약 69조 320억원)을 중국 정부가 투자했는데, 이 중 700억위안이 국부펀드에서 투자(자료 : Transforce(2016))

나. 각국의 인공지능 기술개발경쟁

- 미국은 범정부 차원에서 2013년부터 ‘BRAIN Initiative’ 정책을 수립하고 뇌에 대한 체계적인 연구를 통해 관련 원천기술 확보를 추진하고 있음
 - ‘BRAIN(Brain Research through Advancing Innovative Neurotechnologies) Initiative’는 2013년 4월, 오바마 정부에 의해 발표된 정책으로, 두뇌의 정보 기록, 처리, 사용 메커니즘을 이해하고자 함
 - ‘14년 DARPA, NIH(National Institutes of Health), NSF에서 초기 투자로 약 1.1억불을 지원하였으며, 향후 10년간 연 3억달러 이상 투자할 계획임
 - 연구분야는 뇌질환, 뇌-컴퓨터 인터페이스 디바이스, 뉴럴 및 인지시스템 등이며, DARPA는 SyNAPSE 프로젝트(‘09~’18)를 통해 뉴로모픽 칩, 뉴로모픽 아키텍처 등의 연구를 지원 중임



<그림 96> Brain Initiative 추진체계

자료: The White House(2014), 김병운(2016), 정보화정책 2016년 봄호, <인공지능 동향분석과 국가차원 정책제언에서 재인용>

- 유럽은 인간 두뇌의 인지 형태 기반 지식 처리를 위한 Human Brain Project(HBP)를 EU 6대 미래 유망 기술 중 하나로 선정하여, 10억유로를 투자하여 ‘13년부터 ’23년까지 10년간 연구를 진행할 계획임
 - 뇌에 대한 종합적인 연구를 통해 인간행동의 근원에 대한 이해, 뇌질환 치료, 혁신적인 IT기술의 개발을 추진

- 전세계 100개 이상의 연구기관이 참여하여 신경정보학, 뇌시뮬레이션, 고성능 컴퓨팅, 의학 정보학, 뉴로모픽, 뉴로로봇 등의 주제를 연구

<표 51> HBP의 연구내용

분야	투자규모(단위: 유로)	주요내용
Application	2억2,100만	· 신경과학, 의학 및 컴퓨팅 기술에 의한 프로토타입 개발
ICT platforms	4억5,600만	· 신경과학 및 임상연구의 가속을 위한 통합형 ICT 플랫폼 개발
Theory	7,200만	· 뇌 활동영역 간의 관계를 파악하여 수학적인 모델 개발
Data	3억1,600만	· 일반적인 뇌 지도를 위한 필수적인 데이터를 생성

자료: HBP 홈페이지(www.humanbrainproject.eu), 윤장우 등(2016.4), ‘인공지능 관련 기술과 정책 동향 및 시사점’, <전자통신동향분석>에서 재인용

<표 52> HBP의 ICT 플랫폼

ICT 기술	역할
뉴로 인포매틱스 플랫폼	· 시맨틱 기술, 분산형 쿼리 처리기술, 유래 추적 기술 등을 기반으로 대용량의 뇌 관련 데이터를 해석, 분석하고 뇌지도 구축에 활용
뇌 시뮬레이션 플랫폼	· 3차원 시뮬레이션 기술을 바탕으로 다계층, 다구조로 뇌의 형태와 기능, 역할 등을 재현. 이를 통해 신경질환의 원인을 규명하거나 신약개발에 활용
고성능 컴퓨팅 플랫폼	· 고성능 슈퍼컴퓨터를 기반으로 두뇌 시뮬레이션이나 뉴로모픽 컴퓨터를 설계하는 데 활용. 또한 엑사 스케일의 두뇌 데이터를 시각화하거나 시뮬레이션하는 분야에 활용
의료정보 플랫폼	· 의료기관, 연구기관에서 수집된 다양한 형태의 데이터를 분석하여 두뇌 질환의 생물학적 신호를 파악하는 데 활용. 이를 통해 뇌질환의 진단/예방, 신약 개발, 새로운 치료법 개발에 활용
뉴로모픽 컴퓨팅 플랫폼	· 뉴런을 닮은 컴퓨팅 플랫폼을 제공하여 신경과학의 비전문가나 공학자에게 실험을 수행하게 하거나 두뇌지도를 구축하는 데 활용
뉴로 로보틱스 플랫폼	· 로봇의 몸체나 이용환경을 가상으로 구축하거나 로봇 형태로 제작하여 두뇌의 인지능력과 행위의 연결을 실험하거나 시뮬레이션 하는 데 활용

자료: EU(2012), <Human Brain Project 보고서>, 윤장우 등(2016.4), ‘인공지능 관련 기술과 정책동향 및 시사점’, <전자통신동향분석>에서 재인용

□ 일본은 인공지능 연구를 위해 ‘16년부터 10년간 1,000억 엔을 지원할 계획임

- 일본 총무성은 ‘15년 2월 ‘인공지능화가 가속화 되는 ICT 미래상에 관한 연구회’를 개최하였으며, 여기에서 인공지능 연구방법, 다가오는 인공지능 시대에 대응하기 위한 방안 등을 논의함
- ‘16년 4월 자민당 인공지능 미래사회경제전략본부에서는 AI 구현을 위해 과감하고 선제적인 도전의 필요성을 부각하고, 정책적 대응을 강조하는 긴급 메시지를 발표함
- ‘일본재홍전략개정 2015’(‘15.6)에서 AI를 중요한 전략 항목으로 부각시켰고, 경제산업성의 ‘로봇 신전략’(‘15.1)에서도 로봇산업을 강화하기 위해 AI 연구의 필요성을 강조함
- 아베 수상은 “미래투자를 위한 관민대화”(‘16.4)에서 ‘인공지능의 연구개발 목표와 산업화의 로드맵을 책정하고, 인공지능기술전략회의를 창설하겠다’고 발표함
- “인공지능기술전략회의” 신설을 통해 인공지능정책 컨트롤타워를 운영하고, 총무성, 문부과학성, 경제산업성의 3성 중심으로 사령탑 기능의 인공지능기술전략회의를 설치(‘16.4)하였으며, ‘16년을 인공지능 R&D 지원의 원년으로 규정하고, 3성이 공동으로 R&D를 지원하며, 향후

10년간 1,000억엔을 투자하기로 함



<그림 97> 일본 인공지능 R&D 추진체계

자료: 日經NIKKEI(2015), 김병운(2016), 정보화정책 2016년 봄호, <인공지능 동향분석과 국가차원 정책제언에서 재인용

- 중국 국가발전개혁위원회, 과학기술부, 공업정보화부, 중앙인터넷안전정보화영도소조 등 4개 부처는 '16년 5월 23일 '인터넷플러스 인공지능 3년 액션플랜'을 발표
 - '18년까지 AI 혁신 플랫폼을 만들어 체계적으로 AI산업과 관련 혁신 서비스를 발전시키고, AI 표준도 제정하며, AI 핵심기술을 확보해 전세계 시장을 지배할 핵심 AI 기업도 집중 육성 할 방침
 - 스마트 홈, 스마트 자동차, 스마트 무인시스템, 스마트 웨어러블 기기, 스마트 로봇 등 AI 혁신 제품을 집중적으로 연구개발하고 상용화하여 중국 인공지능 산업을 1,000억 위안이 넘는 거대한 규모로 육성할 계획
 - 이를 위해 중앙 정부의 재정적 지원은 물론 엔젤투자, 벤처투자, 창업투자 등의 AI 투자를 적극 장려하는 것은 물론 표준 제정, 지적재산권 보호, 인재배양, 글로벌 협력 등의 방면에서도 적극 지원하기로 함
 - 현재 중국의 AI산업은 바이두·알리바바·텐센트로 대표되는 중국 인터넷기업 '3인방'이 주도하고 있음
 - '중국의 구글'을 표방하는 바이두는 미국 실리콘밸리에 AI 연구소를 차리고 무인자동차를 양산하기 위해 투자를 아끼지 않고 있음
 - 또한 아이리서치 통계에 따르면 올 1월말 기준 중국내 AI 관련 스타트업 개수는 100개에

육박하며 이중 65곳에 현재까지 29억 위안 이상이 투자된 상태

다. 국내 인공지능 반도체 지원정책

- 우리 정부는 메모리반도체 개발사업, 시스템IC 2010, 2015사업, 반도체장비 상용화사업 등을 통해 반도체 R&D를 적극적으로 지원해왔음
 - 이런 정부의 지원이 있었기에 반도체 기술 불모지였던 우리나라가 30여년만에 반도체강국으로 성장할 수 있었음
 - 한편 정부는 인력양성, 장비성능평가, 반도체펀드 등 다양한 기반조성사업을 통해 반도체 생태계를 활성화하는 데 기여했음
 - 하지만 최근 들어 우리 정부의 반도체에 대한 관심과 지원이 줄어들고 있고, 중국 정부의 공격적인 반도체 지원정책이 강화되고 있어 위기감이 조성되고 있음

※ 반도체 R&D투자: '13년 929억원 → '14년 835억원 → '15년 753억원 → '16년 470억원

- 정부는 4차 산업혁명에 대응하여 인공지능 개발 등을 위한 적극적인 지원정책을 마련하고 있으나 규모가 작으며, SW 기술개발에 치중하고 있음
 - 미래부의 'AI 국가전략프로젝트'는 언어·시각·음성 지능 분야의 원천기술 개발(엑소브레인·딥부·지니톡 등)을 고도화·발전시키고, 중장기적 기술 우위 확보를 위해 선도적으로 차세대 학습·추론 등 인공지능 SW기술을 연구하는 내용임('17년 239억원).

<표 53> 인공지능기술 R&D 예산 현황

(단위 : 억원)

기술 구분	'16년(A)	'17년(B)	증감(B-A)	증감률(%)
AI SW	407	739	332	81.6
AI HW	192	258	66	34.4
기초	507	633	111	24.9
계	1,106	1,630	524	47.4

자료: 미래창조과학부(2017)

3.4 특허 분석

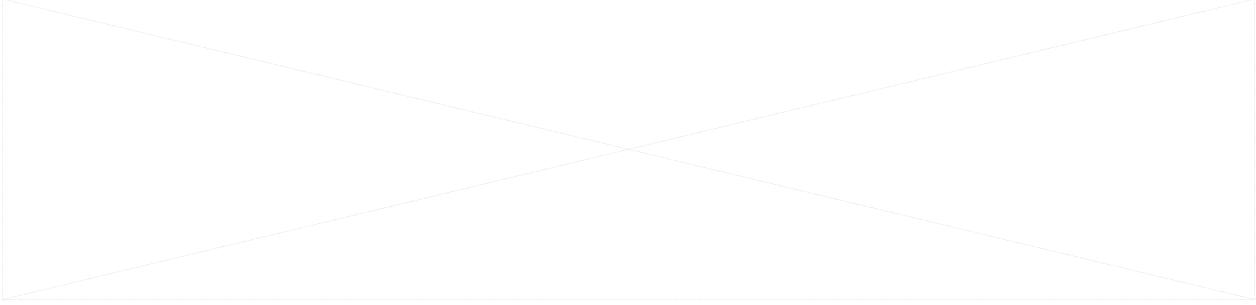
- 인공지능 반도체 핵심기술 개발사업의 기획방향을 정립하기 위해 관련 주제들에 대해 주요국의 최근 특허를 분석하였음
 - 분석대상 기술: 미래소자, 3D반도체공정, IoT, 메모리 솔루션, 인공지능, 미래 소재 등의 세부 기술
 - 분석대상 특허: '05년~'17년 출원 후 공개되거나 등록된 국내/국제특허
 - 분석대상 국가: 미국, 일본, 독일, 영국, 프랑스, 유럽, 러시아, 중국, 대만, 한국 등 10개국
- 반도체 특허 청구, 곧 R&D활동이 활발히 일어나는 국가는 미국과 중국이며, 다음으로 일본과 한국이 비슷한 규모임
 - 특히 중국은 '11년을 기점으로 발명 건수가 이전 시점에 비해서 크게 증가하는 것을 확인할 수 있음
 - 한국의 경우 46%²²⁾로 2011년을 기점으로 과거에 비해 현재의 특허 발명 출원수가 일정하게 유지가 되고 있음



<그림 98> 국가별 특허 출원 추이

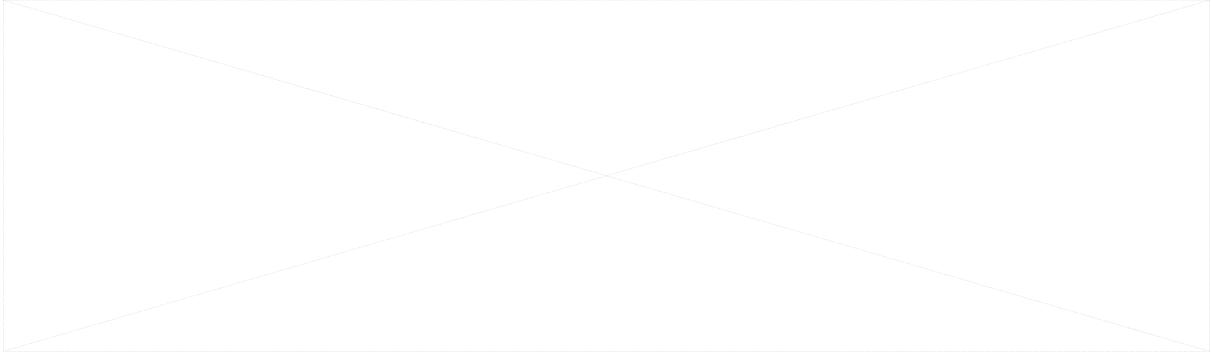
- 특허 출원이 최근에 크게 증가하는 분야는 Internet of things (97%), Neuromorphic (74%), 3D-Semiconductor Processing (66%), Artificial Intelligence (64%), Optical wiring (62%) 등임
 - 발명건수가 상대적으로 많아지만 성장속도가 어느정도 둔화되는 경향이 있는데 3D-Semiconductor Processing의 경우에는 상대적으로 많음(10,932)에도 불구하고 평균치 보다 높은 66%의 증가속도를 가지고 있음

22) %는 전체 특허 중에 '11년 이후 특허의 비중



<그림 99> 기술별 특허 출원 추이

- 인공지능(Artificial Intelligence) 분야는 최근 들어 대부분의 나라들에서 활발한 특허활동을 하고 있지만, 특히 중국의 성장률이 눈에 띄게 높음
 - ※ 인공지능 분야의 세부기술은 Deep Learning, Neural Networks, Machine Learning/Artificial Intelligence - In general, Hardware Acceleration of Learning, High Performance Computing 등임



<그림 100> 국가별 인공지능 반도체 특허 출원 추이

- 세부기술별로 살펴보면 전체적으로 증가 속도는 상당히 빠른 반면에 특허의 평균 Strength 지수가 낮은 것을 알 수 있음
 - 특히 Deep learning, High performance computing은 높은 상승속도에도 불구하고 Strength 지수^{23)*}가 낮아 아직 기술을 선도하는 주체가 없음을 드러냄

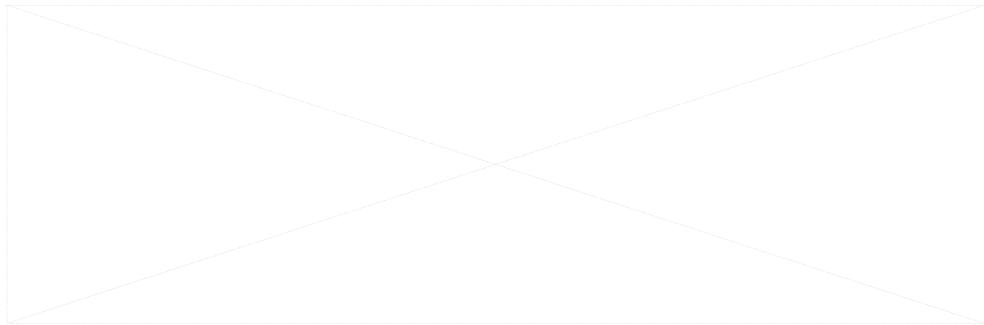


<그림 101> 인공지능 세부기술별 특허 현황

23) 특허의 strength지수는 특허가 많아질수록 작아지고, 기술장벽이 높은 특허가 포진하고 있으면 커짐

- 미래소자(Future elements) 분야에서도 중국이 압도적인 비중과 증가속도를 보여주고 있으며 그 외의 국가는 50%에 근접한 수준임

※ 미래소자의 세부기술은 Neuromorphic, 3D-Monolithic, Flexible devices, Optical wiring light source, Multivalued logic, Ultra-Low voltage device 등이며 각 영역별로 조사를 하였음



<그림 102> 국가별 미래소자 특허 출원 추이

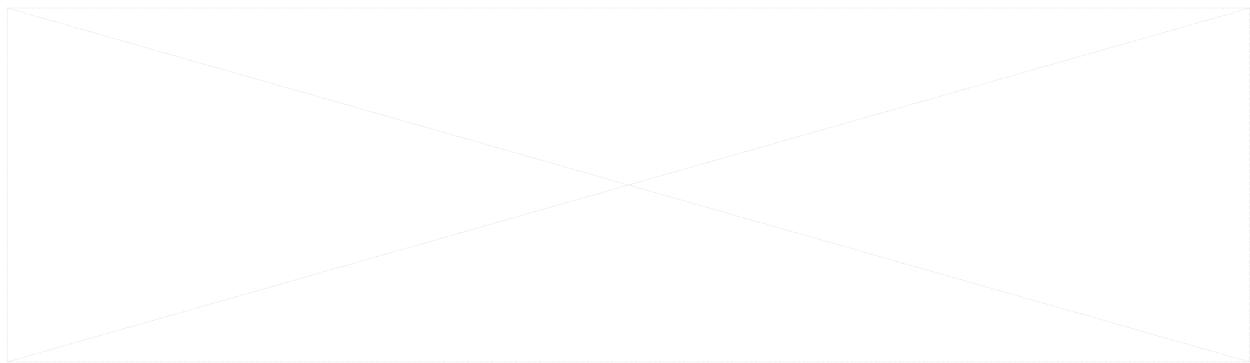
- 세부기술별로 특허의 Strength 지수와 출원 trend를 살펴보면 3D-Monolithic 기술은 특허건수도 증가하고 있고, Strength 지수도 높아 이 분야가 각광을 받고 있고 좋은 특허들이 많이 있어 기술장벽이 높음을 알 수 있음
- 반면 Neuromorphic 기술의 경우 특허의 증가속도는 높지만(74%) 특허의 strength가 상당히 낮아(35.7) 양질의 특허를 출원하면 시장을 주도할 수 있다는 것을 보여줌



<그림 103> 미래소자 기술별 특허 현황

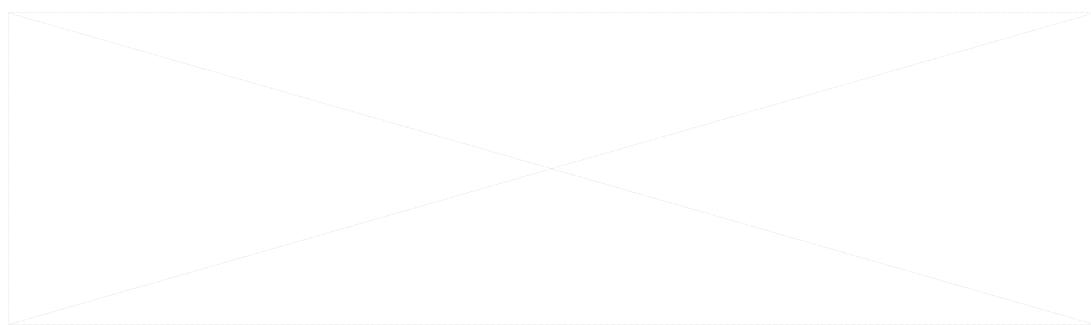
- 메모리 솔루션 분야에서는 미국의 비중이 가장 높으나 최근 들어 중국의 특허활동이 매우 활발하며, 한국과 일본의 특허활동은 정체되어 있는 상황임

※ 메모리 솔루션 분야의 세부 기술은 Multi-layer/3D Memory, Fusion/Hybrid Memory, Cognitive Memory, Non-Volatile RAM, Solid State Memory, High-Speed/Density/Ultra-Low-Power Storage-In General, Logic in Memory 등임



<그림 104> 국가별 메모리 솔루션 특허 출원 추이

- 메모리 솔루션 분야에서는 Fusion/Hybrid Memory, Cognitive Memory, Logic-in Memory 등이 증가 속도는 빠르고 strength 지수가 낮아 향후 관심을 기울여야 할 기술임



<그림 105> 메모리 솔루션 세부기술별 특허 현황

3.5 국내 역량분석

가. 국내 기술 수준

- ‘인공지능 반도체를 활용한 스마트카 핵심 기술은 차량용 센서 및 알고리즘, 위치측정 및 정밀지도 구축, 사물 통신, 차량 제어 기술 등으로 기술 개발 경쟁에서 우리나라를 선진 독일·미국·일본에 2~3년 정도 뒤떨어진 상태
- 산업은행 기술평가부에서 최근 평년 ‘스마트 자동차 기술현황 및 대외 기술경쟁력 분석 보고서’에 따르면 스마트카 완성차 부문에서 가장 앞선 독일 기술 경쟁력을 100점으로 놓으면 우리나라를 85점, 미국은 97점, 일본은 95점이며 중국은 75점임



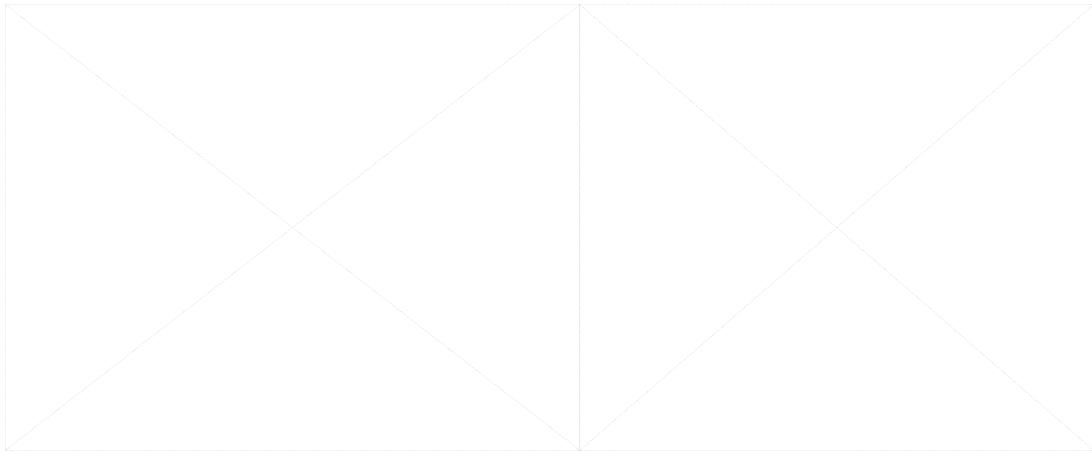
<그림 106> 인공지능 반도체를 활용한 스마트카 핵심 기술에 대한 각국의 기술별 점수비교

(출처: 스마트 자동차 기술현황 및 대외기술력 분석, 산은조사월보, 2016. 9)

- 국내 기술 강점은 현대·기아자동차와 현대 모비스, 만도 등 대외 경쟁력을 보유한 완성차 및 부품 업체와 삼성전자, LG전자, KT, SK텔레콤 등 기술력이 있는 IT업체를 다수 보유한 점이며, 반면 약점으로는 라이더, 레이더 등 ADAS 플랫폼 구성에 필수적인 센서 핵심기술과 인공지능 등의 기술 수준이 낮아 관련 부품·기술 등을 독일, 일본 등에서 수입해 쓸 수밖에 없는 상황임
- 국내의 대기업들도 인공지능 사업에 뛰어들고 있는 중으로 삼성은 비브랩이라는 인공지능 회사 인수, SK는 인공지능에 11조 투자, 네이버는 네이버 랩스를 통해 기술 개발에 전념하는 등 주도권 경쟁에 나서고 있으나, 아직 외국 인공지능 업체, 딥러닝 가속기 업체에 비하여 뚜렷한 성과를 내지 못하고 있음
- 생체 신호처리에 적용된 국내 인공지능 기술들은 대부분 대학에서의 연구 단계에 머물러 있으며 아직 사업화 또는 실생활 적용에는 어려움이 있음
- 국외 기술 또한 아직 연구 단계에 있는 편이며, 사업화 및 실생활 적용에는 구체적인 검증과 임상 시험 등으로 인하여 시간이 걸릴 것으로 보임

	기술격차	근거
NN 프레임워크	3년(국내업체 개발 프레임워크 없음)	Caffe (2013년), TensorFlow (2015년). 삼성전자의 S-DNN은 Caffe 기반(2016)
모델압축	1년	Microsoft Asia 논문(2015) 삼성전자 SW 연구소논문(2016.5)
양자화	2년	XNOR-Net AlexNet (2016.8) 서울대 CIFAR-10 (2015년)

- 초병렬 프로세서 기술은 해외에서는 이미 상용화를 위해 많은 노력을 하고 있어 MWC(Mobile World Congress) 2015에서 Snapdragon 820 프로세서 안에 들어있는 Zeroth를 사용해 태블릿 PC에서 영상인식을 하는 데모를 공개했음



<그림 107> Qualcomm Zeroth 데모

- CEVA의 경우 DSP 기반의 임베디드 시스템에서의 딥러닝 구현을 위한 CDNN을 2세대까지 공개해 사업을 진행 중이며 해외 다수의 기업뿐만 아니라 국내의 LG전자, 중소기업에서도 도입하여 제품을 개발 중으로 이미 시장에서 인정받음
 - 현재 AI의 부상에 NVIDIA의 그래픽처리장치 (GPU)가 연산에 이용 되며, 딥 러닝의 학습 속도를 가속할 수 있었던 것이 영향을 주고 있고 폭발적으로 성장할 고성능의 딥 러닝 가속기 시장에 대비하여, 고성능 딥 러닝 가속기를 출시함
 - NVIDIA의 최신 GPU 가속기는 ‘파스칼 (pascal)’ 아키텍처 기반의 최상위 모델인 하이퍼스케일 데이터센터용 ‘테슬라 (tesla) P100’이 있으며, 여기에 딥 러닝 추론 과정에 특화된 ‘테슬라 P40’과 저전력 모델 ‘테슬라 P4’ 등이 추가됨
 - 이에 인텔도 딥 러닝 가속기 시장에 맞추어 2016년 2세대 ‘제온 파이’를 내놓고 AI 시대를 돌파하려고 하고 2017년에는 인텔과 NVIDIA의 경쟁에 AMD까지 전력을 강화하고 나서 가속기 시장 경쟁이 더욱 흥미롭게 전개될 전망임
- 국내의 경우, 대학 및 연구소 중심으로 딥 러닝 및 인지 컴퓨팅 분야에 대한 연구가 진행되고 있지만 주로 소프트웨어에 집중되고 있는 실정이며, 뉴로모픽 프로세서 연구는 멤리스터 및 SRAM을 이용한 뉴로모픽 프로세서를 뒤따라 모방하는 수준에 그치고 있음
- 기존의 멤리스터 기반의 뉴로모픽 프로세서 연구는 공정 및 소재에서 야기되는 문제점을 해결하지 않는 한 지속적인 발전에 한계가 있다고 보여지고 고신뢰성, 고내구성의 뉴로모픽 프로세서를 제작하기 위해서는 기존 CMOS 및 메모리 기술을 활용한 새로운 뉴로모픽 프로세서 플랫폼이 필요하다고 판단됨
 - 현재 인공지능 반도체 소자 연구는 기존의 소자와 회로를 이용하여 집적도를 높이고 성능을 향상시키는 방향으로 진행되고 있으며 인공지능의 혁신은 소프트 웨어에 편중된 면이 있으나 인공지능의 구현을 위해서는 고집적, 고성능 이외에도 고에너지 효율, 삼차원 집적, 재구성 가능한 회로, 신경모사 등의 다양한 기술적 문제가 해결되어야 함

- DRAM 공정을 이용한 PIM 기술은 1990년 초에 IBM 주도로 개발되기 시작하였으며, 현재는 Micron의 오토마타 프로세서로 명맥을 이어오고 있음
 - 1990년 초에 업계 최초로 IBM에서 EXCUBE라는 DRAM 공정기반의 멀티프로세서를 개발하였으며, 학계에서는 UC Berkeley 대학에서 DRAM 공정기반의 IRAM (Intelligent DRAM)을 개발함
 - 최근에는 Micron의 오토마타 프로세서가 2013년에 발표되었으나 범용 목적을 위해 사용될 수 없으며, 제한적인 연산만 사용할 수 있으므로 시장성이 매우 낮음
 - DRAM 공정을 이용한 PIM 기술은 프로세서를 DRAM 공정을 이용해 구현함에 따라 성능 저하 문제가 심하여 프로세서와 DRAM 제조업체간 협업이 필수적이며 높은 비용을 요구하므로 많은 한계점을 가지고 있음
 - SRAM 및 차세대 메모리를 이용한 PIM 기술은 DRAM 공정 기반 PIM 기술의 성능 저하 문제를 해결할 수 있는 방안으로 주목받고 있음
 - 기존 DRAM 기반의 PIM 구조가 아닌 SRAM 및 차세대 메모리를 이용한 PIM 구조가 Toshiba, IBM 등 세계 주요 기업에 의해 연구되고 있으며, UCSB 등 학계에서도 지속적으로 관련 연구를 발표하고 있음
 - SRAM 기반의 PIM 구조에서는 외부 메모리 대역폭에 대한 요구를 데이터 압축 및 연산 정밀도 최적화 등 다양한 방법을 통해 해결하고 있으며, 내부 메모리 대역폭은 PIM 구조를 통해 확보함
 - ReRAM을 비롯한 차세대 메모리를 이용한 PIM 구조는 아직 기반 기술이 확립되지 않고 있으나 향후 에너지 및 면적 효율성이 개선된 PIM 개발을 위해 주목할 필요가 있음
 - PIM 구조의 일환으로 뇌를 인공적으로 구축하여 모방하는 기술인 뉴로모픽 칩은 IBM의 TrueNorth 등을 통해 지속적으로 관련 연구가 발표되고 있으나, 아직은 인지 정확도가 낮아 실용화되기는 어렵다고 전망되고 있음
- 2010년 이후 SSD, eMMC 등 저장 솔루션 시장이 급성장하고 있으며 이러한 추세는 지속될 것으로 전망되고 있으나, 국내 기술 수준은 아직 낸드플래시 활용 기술 개발에 집중하여 사업화하고 있음
 - 낸드플래시를 이용한 기술 개발에 집중하고 있으나, 아직 PRAM 등 차세대 비휘발성 메모리를 이용한 기술개발 수준은 초기 단계임
 - 메모리반도체 재품의 생산 공정 미세화에 따라 메모리반도체 제품의 결함이 지속적으로 증가할 것으로 보이며, 또한 메모리반도체 제품 사용 효율화를 위한 저장 솔루션의 필요성은 급격히 증가하고 있으나 관련 연구 기술 개발은 미흡
 - 해외 기업을 중심으로 차세대 메모리 반도체 솔루션 기술 개발이 매우 활발하게 진행되고 있으나, 국내 기업은 주로 현재의 대규모 시장을 형성하는 제품에 대해 매우 협소한 기술 개발에 집중
 - 메모리반도체 제품을 이용하는 호스트 시스템(PC, 스마트폰, 자동차 등)에 대한 기술 개발은 해외 기업에 비해 매우 미흡한 수준이며, 저장 솔루션 개발에 필요한 메모리프로세서 및 관련

시스템 핵심기술은 국내에 전무한 실정임

- 향후 메모리반도체 제품에 대한 부가가치를 국내 기업에서 확보하기 위해서는 관련 기술개발 및 연구개발 인력의 확보가 절실하게 요구되고 있음

나. 국내 R&D 역량분석

- 한국은 경쟁국에 비하여 시스템반도체 기업의 숫자나 규모, 인력확보 면에서 매우 취약
 - 종합반도체회사(IDM)의 경우 PC의 CPU를 생산하는 인텔이 세계 1위이며, 삼성전자의 시스템반도체 매출실적은 인텔의 1/11 수준
 - * '16년 삼성전자의 반도체부문 매출액은 403억불이며 이중 시스템반도체 매출액은 48억불
 - 팹리스는 휴대폰 모뎀칩 업체 퀄컴 등 미국 기업이 압도적이며, 국내 170여개 팹리스의 '16년 전체 매출액은 20억불로 퀄컴의 1/7 수준
 - * 대만의 MediaTek은 세계 2위의 팹리스 기업으로 성장('16년 매출액 87억불)하였으나 한국의 1위 팹리스 기업인 실리콘웍스는 5억불로 19위에 불과
 - 파운드리는 TSMC(세계 1위) 등 대만기업이 주도하고 있으며, 동부하이텍 매출액은 TSMC의 1/44 수준

<표 54> 시스템반도체 매출 상위 기업

순위	IDM	매출	순위	팹리스	매출	순위	파운드리	매출
1	인텔 (美)	52,405	1	Qualcomm (美)	15,405	1	TSMC (臺)	29,488
2	Broadcom (美)	13,268	2	MediaTek (臺)	8,733	2	GlobalFoundries (美)	5,545
3	TI (美)	12,130	3	nVidia (美)	6,030	3	UMC (臺)	4,582
6	삼성전자 (韓)	4,780	24	실리콘웍스 (韓)	517	9	동부하이텍 (韓)	672

자료: IHS(2017); IC Insight(2017)

- 국내 Fabless 산업은 규모의 영세성, 단순한 제품 포트폴리오 및 핵심 칩 개발 부재, 특정 고객의 편중, 마케팅 능력 및 가격 경쟁력 취약 등으로 최근 성장이 정체되면서 업계 전반이 위기에 봉착하고 있음
 - DDI(Display Driver IC), CIS(CMOS Image Sensor) 등 일부 품목에서는 세계적 경쟁력을 확보하고 있으나, 원천기술을 필요로 하고 진입장벽이 높은 반도체 분야에서는 고전하고 있으며, 새로운 성장 동력 발굴에 어려움을 겪고 있음

<표 55> 글로벌 팹리스 기업과 국내 기업의 '16년 인력, 매출, R&D투자 비교

(단위 : 백만달러)

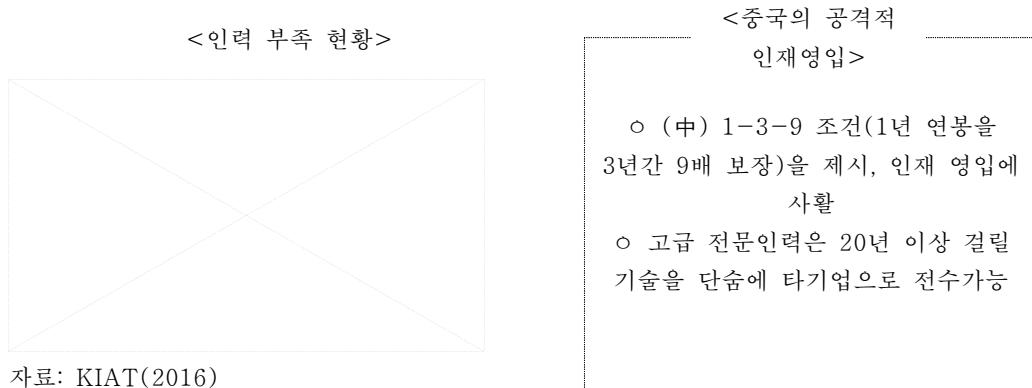
랭킹	글로벌 Top 7				국내 Top 7			
	회사명	매출	R&D투자	인력	회사명	매출	R&D투자	인력
1	Qualcomm	15,405	5,151	30,500	실리콘웍스	517	6	778
2	MediaTek	8,733	1,727	16,005	어보브반도체	84	2	175
3	nVidia	6,030	1,331	9,323	텔레칩스	83	4	272
4	Western Digital	5,761	1,627	72,878	실리콘마이터스	73	1	284
5	Advanced Micro Devices	4,159	1,008	8,200	아나패스	65	25	112
6	HiSilicon	3,633	11,480	81,144	팹셀플러스	65	15	128
7	Marvell	2,392	1,054	5,437	멜파스	60	9	183
계		46,113	23,378	223,487		947	62	1,932

자료: IHS(2017), 각사 사업보고서

□ 반도체 분야는 만성적인 인력부족 상태이며, 특히 국내 중소·중견기업의 인력 수급은 매우 어려운 조건

※ 시스템반도체 설계 전문인력 부족률(한국반도체산업협회, '16) : ('15) 10.4% → ('19) 16.2%

○ 우수 인력의 대기업 편중, 중국의 공격적 인재영입 등은 국내 중소·중견기업의 고급 전문인력 부족 현상을 더욱 가속화



다. SWOT 분석

□ 최근 인공지능 반도체 산업의 급격한 환경 변화는 새로운 대응전략을 요구하고 있음

○ 먼저 4차산업혁명의 핵심기술인 인공지능의 발전은 초저전력, 초고성능 컴퓨팅을 구현하기 위한 새로운 반도체기술을 요구하고 있음

- 기존 반도체 기술의 기본 원리인 폰 노이만 아키텍처와 무어의 법칙이 한계에 이룸에 따라 반도체기술 패러다임의 전환이 요구되고 있음

○ 중국이 세계의 공장으로 변화한 것은 우리 반도체산업의 기회요인이지만 공격적인 지원정책에

따른 반도체산업 성장은 심각한 위협요인이 되고 있음

<표 56> 인공지능 반도체 SWOT 분석

	Strength	Weakness
	<ul style="list-style-type: none"> - 세계 수준의 모바일, 가전, 자동차 완성품 업체 보유 - 초고속인터넷, 5G 통신 인프라 등 세계 최고수준 IT 인프라 보유 - 세계 최고수준의 반도체 미세공정 기술 - 세계 최고 수준의 메모리 반도체 설계 및 생산 기술 	<ul style="list-style-type: none"> - 반도체 전문 중소기업의 영세성 - 핵심 원천 기술 취약 - 핵심 IP의 높은 해외 의존 - 반도체 전문인력 부족
Opportunity	S-O전략(공격)	W-O전략(확대)
<ul style="list-style-type: none"> - 인공지능기술의 발전에 따른 고성능 반도체 수요의 증가 - 사물인터넷, 웨어러블기기, 헬스케어, 지능형자동차 등 새로운 반도체시장 개화 - 제2의 국내시장인 중국시장의 지속적 확대 - 반도체업계의 새로운 소자/공정 기술 개발 경쟁 	<ul style="list-style-type: none"> - processor in memory 등 발전된 메모리 기술을 활용, 인공지능 반도체 기술격차 확보 - 새로운 인공지능 반도체 개발을 통한 세트기업-반도체기업 동반성장 추진 	<ul style="list-style-type: none"> - 기존의 강자들과 경쟁하기보다는 새롭게 제기되는 기술적 이슈를 해결할 수 있는 새로운 접근방법으로 대응 - 중국 등 수요기업과 국제공동 R&D를 통한 해외시장 진출 추진 - 미래 핵심 IP 기술 개발을 통한 신시장 진입
Threat	S-T전략(수비)	W-T전략(탈출)
<ul style="list-style-type: none"> - 글로벌 기업들의 공격적인 투자와 선제적 개발 - 중국 반도체기업들의 급격한 성장 - 기술의 융합화 및 초미세공정 전환에 따른 개발비용 급상승 	<ul style="list-style-type: none"> - 국내 세트기업, 반도체기업을 통해 검증된 기술 위주로 해외진출 추진 - 미래 핵심기술 확보를 위한 국제 공동R&D 추진 - 국내 반도체기업간 M&A, 전략적 제휴 강화 	<ul style="list-style-type: none"> - 세트-반도체-장비/소재간 생태계 활성화를 통한 시너지 창출 - 고부가가치 미래 핵심기술을 선택하여 집중 개발함으로써 차별적인 경쟁력 확보 - 단품이 아니라 기술적 이슈에 대한 솔루션을 제공함으로써 차별화

- 우리 정부는 메모리반도체 개발사업, 시스템IC 2010, 2015사업, 반도체 장비 상용화사업 등을 통해 반도체 R&D를 적극적으로 지원해왔음
 - 이런 정부의 지속적인 노력에도 불구하고 시스템반도체, 장비/소재 등의 원천기술 부족으로 글로벌 경쟁국과의 기술격차는 해소되고 있지 않음
 - 메모리반도체를 제외하고 시스템반도체, 장비/소재 분야에서 글로벌 경쟁국과의 경쟁에서 뒤쳐지는 이유는 원천기술 부족뿐만 아니라, 짧은 개발(R&D) 과정, 기술 발전의 속도가 국내 기업의 개발 속도를 뛰어넘고, 선두기업의 기술 선점등에 따른 회피 기술 대응 전략 부족 등 종합적인 어려움을 겪고 있음

- 우리의 대응전략의 기본 방향은 반도체산업 패러다임 전환에 적극적으로 대응하면서 근본 경쟁력을 강화하는 것임
 - 먼저 새롭게 시장이 열리고 있는 인공지능 반도체 핵심 기술을 개발하는 데 집중적인 노력을 기울여야 함
 - 이와 관련하여 우리가 앞서 있는 메모리반도체 관련 기술을 적극적으로 활용할 필요가 있음
 - 국내 세트기업, 소자대기업과의 협력을 더욱 강화해야 함
 - 새로운 개념의 인공지능 반도체 개발은 국내 세트기업과 반도체기업의 동반성장을 위한 지름길임
 - 소자대기업과 중소 팹리스기업 간 역할분담을 통해 협력을 강화할 경우 질적 도약을 이룰 수 있음
 - 국제공동연구를 통해 선진적인 아이디어와 기술을 배우고 해외 수요기업과의 협력과 강화해야 함
 - 반도체시장은 장벽이 없으며, 글로벌한 경쟁력을 갖추지 못한 반도체업계는 미래가 없음

3.6 기존 R&D 분석

가. 국내 지능형 반도체 지원정책

- (R&D 지원) 메모리반도체 개발사업, 시스템IC 2010, 시스템IC 2015사업, 반도체장비 상용화사업 등을 통해 반도체 R&D를 적극적으로 지원해왔음
 - 과기정통부는 '14년부터 기초기술기획사업을 통해 미래반도체기술개발 로드맵을 개발하여, 나노소재원천기술개발사업, 미래소재디스커버리사업, 선행공정 플랫폼개발사업등 다양한 기초기술개발 과제를 지원하고 있음
 - 과기정통부는 미래성장동력 19대 분야로 지능형반도체를 선정하고, '15년부터 ICT 융합산업원천기술개발사업을 통해 지능형반도체 기술개발 과제를 지원하고 있음
 - 산업부는 미래소자원천기술개발사업 (2013년-2021년, 연200억, 민간매칭 50%)를 통해 반도체 소재, 공정, 소자부분에 투자중
 - 과제당 2억 정도로 투자하고, 5년 이내의 단기기술 수요 대응형
- (예산 감소) 하지만 최근 들어 우리 정부의 반도체에 대한 관심과 지원이 줄어들고 있고, 중국 정부의 공격적인 반도체 지원정책이 강화되고 있어 위기감이 조성
 - 반도체 R&D 투자는 '13년 929억 원 → '14년 835억 원 → '15년 753억 원 → '16년 470억 원으로 급격히 감소 추세
 - 팹리스 성장에 기여했던 시스템반도체산업기반조성 사업의 종료로, 중소 팹리스들의 어려움이 가중되고 있음
- (인공지능 SW 개발 치중) 정부는 4차산업혁명에 대응하여 인공지능 개발 등을 위한 적극적인 지원정책을 마련하고 있으나, 인공지능 SW 기술개발에 집중 투자하고 있음
 - 미래부의 'AI 국가전략프로젝트'는 언어·시각·음성 지능분야의 원천기술 개발 (엑소브레인·딥러닝·지니톡 등)에 집중하고, 중장기적 기술 우위 확보를 위해 선도적으로 차세대 학습·추론 등 인공지능 SW기술을 연구('17년 739억 원)

<표 57> 인공지능기술 R&D 예산 현황

(단위 : 억원)

기술 구분	'16년(A)	'17년(B)	증감(B-A)	증감률(%)
AI SW	407	739	332	81.6
AI HW	192	258	66	34.4
기초	507	633	111	24.9
계	1,106	1,630	524	47.4

자료: 미래창조과학부(2017)

<표 58> 반도체분야 주요사업 분석

구분	전자정보 디바이스 산업융합 원천사업 (산업부)	소재부품산업미래성장동력 (산업부)
총사업비(억원)	6,315	1,200
사업기간	`00~`18	`17~`23
사업목적	주력기간산업의 경쟁력을 제고하고, 미래 신산업을 육성하여 우리 경제의 성장잠재력을 확충	새로운 산업을 창출하고 산업생태계조성을 위한 산업적 파급효과가 큰 핵심 미래선도기술 개발
세부내용	-반도체/디스플레이/LED 산업의 핵심 원천기술 개발	-파워반도체 기술개발 -글로벌 수요연계형 시스템반도체 개발
기타	한정된 예산으로 전분야 소규모 지원	글로벌 수요연계 시스템반돌체 개발사업은 중국 및 인도 등 신흥국의 수요를 반영한 사업임

구분	미래소자원천 기술개발사업(산업부)	나노소재원천기술사업 (과기정통부)
총사업비(억원)	500억(정부) 500억(민간)	250
사업기간	`13-`21	`16-`20
사업목적	단위 반도체 소자, 신공정, 설계기술개발	단위 신소자 개발 및 집적공정, 아키텍처 기초연구
세부내용	실리콘 및 비실리콘 계열 물질의 단위 반도체 소자원천기술 개발	뉴로모픽, 다치로직, 자기재조립 소자기술의 구현가능성을 검증하는 시범사업
기타	단기과제중심으로 소자설계 및 응용 연구 미흡	본 사업의 선행기술개발과제이므로, 기술 연계를 통해 개발기술의 성숙도 제고가 목표임

나. 반도체 관련 기술개발 과제 세부분석

반도체 관련 기술개발 지원 과제 현황

- 전자정보디바이스 원천기술개발사업: 5,832억원('15년까지)

- 모바일 분야: 특정 분야에 집중하지 않고 다양하게 지원

* 미래반도체선도기술과제('11년) 지원에 투입한 약 556억을 제외

- 자동차 분야 : 과거 센서, 영상 위주로 지원되었으며, '15년 첨단센서사업 시작 이후
프로세서, PMIC, 구동 IC로 지원 분야 확대
- 중소·중견기업에 약 34% 정도의 예산 지원

<표 59> 전자정보디바이스사업 주요 투자분야

(단위: 백만 원)

대분류	중분류	모바일	자동차	기타	합계
연구소	ETRI	33,490	9,010	27,600	70,100
	KETI	11,900	15,562	2,005	29,467
	기타	—	—	1,235	1,235
대학	대학	10,220	2,295	22,567	35,082
기업	대기업	20,151	—	11,553	31,704
	중견기업	2,350	3,025	2,000	7,375
	중소기업	53,954	6,545	31,886	92,385
협회/조합	협회/조합	1,570	2,800	18,640	23,010
합계		133,635	39,237	117,486	290,358

○ 시스템반도체 상용화기술개발사업('11년~'16년): 1,568억 원

- 디지털가전, 모바일, 자동차용 시스템반도체 상용화에 집중 지원
- 대부분 중소·중견기업에 지원

<표 60> 시스템반도체 상용화기술개발사업 주요 투자분야

분야	2011년		2012년		2013년		2014년		2015년		계	
	사업비	과제수	사업비	과제수								
디지털가전	23	1	63	2	60.3	2	62.3	3	37.8	3	246.3	5
모바일	51	2	71	3	63	3	56.9	5	55.6	5	297.5	9
자동차	48	2	48	2	46	2	87.1	6	54.2	4	283.3	6
글로벌경쟁력 /사업화지원	24	2	24	2	21.5	2	39.5	3	39.5	3	148.5	3
기획평가관리비	4		6		5.7		5.7		4.4		25.8	
합계	150	7	212	9	196.5	9	251.5	17	191.5	15	1001.5	23

□ 사업화 성과: 국가 R&D 전체 대비 성과가 우수한 편이나, 상위 일부 과제를 제외하면 성과 미흡

○ 시스템반도체: 매우 우수한 일부를 제외하고 성과 미흡

- 2개 과제가 90%의 매출 성과를 차지

<표 61> 시스템반도체 분야 주요성과 과제

(단위: 백만 원)				
번호	과제명	주관기관	매출액(백만원)	비중(%)
1	디스플레이 및 모바일용 PMIC 및 BMIC 개발	한양대학교산학협력단	359,220	74
2	0.5pF 이하 초저정전용량 ESD 방호소자 개발	(주)모다이노칩	80,000	16
3	MPSoC 설계기반 기술 개발	(주)자람테크놀로지	14,030	3
4	차세대 다기능화 임베디드 SOP-L 원천기술 개발	코리아씨키트(주)	7,888	2
5	기타 27개 과제	에너테크인터내셔널 등 27개 기관	25,447	5
합계			468,584	100

○ 반도체공정장비: 식각, 증착, 패키지 등 비교적 다양한 성과 창출

- 100억 이상 매출 과제: 9과제

<표 62> 공정장비 분야 주요성과 과제

(단위: 백만 원)				
번호	과제명	주관기관	매출액(백만원)	비중(%)
1	32nm급 Oxide Etcher	세메스(주)	63,753	18
2	Boron Doped Si-용 LP-CVD 증착장비 개발	(주)유진테크	62,616	17
3	S~Ka band 대용 다기능 고집적 Passive integration을 위한 세라믹 공정기술	삼성전기(주)	42,500	12
4	300mm 박막공정용 AlN Heater 개발	주식회사 미코	38,541	11
5	10nm급 초미세 SADP 공정용 건식식각장비 개발	에이피티씨(주)	37,000	10
6	고속전송용 40um 피치급 플렉서블 PCB 소재 및 공정기술 개발	(주)이녹스	34,741	10
7	Plasma를 이용한 oxidation 및 nitrogen surface doping	(주)유진테크	24,745	7
8	고성능 반도체 소자용 차세대 기판 기술 개발	한국반도체연구조합	16,720	5
9	25nm급 Oxide Trench Etcher 개발	주식회사디엠에스	10,972	3
10	기타 19개 과제	(주)디씨케이 등 19개 기관	26,587	7
합계			358,179	100

○ 시스템반도체상용화사업

- 3개 과제가 92%의 매출 성과를 차지
- 실적우수과제는 시장성장률이 비교적 높고, 국내 점유율이 낮은 분야에서 차별화된 기술을 바탕으로 사업을 추진하였음

<표 63> 시스템반도체상용화사업 주요성과 과제

분야	과제명	주관기관	사업화내용	매출 (백만원)
모바일	스마트 모바일기기용 다기능 파워매니지먼트 IC 개발	실리콘 마이터스	모바일용 인터페이스 통합형 PMIC	205,480
디지털 가전	개방형 스마트TV박스용 10,000 DMIPS 이상급 핵심 SoC 및 상용화 플랫폼 개발	텔레칩스	셋톱박스용 10,000 DMIPS급 AP	22,123
자동차	SX차A급 자동차용 고화질 영상처리 기능 및 ECU 통합 SoC개발	넥스트칩	고화질 Image Signal Processor	8,600
모바일	스마트 모바일 기기용 멀티-밴드, 멀티-모드 Wireless Connectivity IP 및 통합 SoC 개발	라온텍	802.11 ADC/DAC IP 등 기술이전	3,230
디지털 가전	D-TV용 Multi-port 일체형 인터페이스 및 3D-TV용 2D to 3D 영상변환 SoC 개발	넥시아 디바이스	2D-3D Converter MHL, HDMI 1.4/2.0 IP이전	2,760
디지털 가전	스마트 전바이스에서 인터넷 동영상 재생을 위한 고화질(4K급) 비디오디코더(HEVC/VP9) SoC 개발	넥셀	HEVC, VP9 IP 기술이전	2,053
자동차	국제 안전기준을 만족하는 자동차 제동장치용 기능 통합 SoC 개발 ²⁴⁾	실리콘웍스	고속 CAN 트랜시버	49
합				244,295

- 실적미흡과제는 개발된 제품의 기존 제품대비 경쟁력이 부족하고, 수요기업의 요구에 의해 제품기획을 하였음에도 수요기업의 지속적 참여가 부족하였음
 - (모바일 CPU 코어 국산화) 국산 CPU 코어 기술의 성장에 기여하였으나, 여전히 기술적 격차가 존재하며, 선진업체 대비 컴파일러, 개발환경, 주변생태계 부족 등 한계가 있음

□ 특허, 논문의 실적은 우수

- 특허, 논문 등의 성과는 국가 R&D 전체 대비 각각 3.6배, 1.8배 우수한 실적 달성
 - * 특히, 특허, 논문은 대학 주도의 연구개발과제에서 실적이 매우 우수

□ 향후 반도체 R&D 지원 방향(안)

- 원천기술개발과제는 연구소 주도의 상용화 선행연구개발 과제와 대학 주도의 Seed형 원천기술개발 과제로 구분하여 추진
 - 연구소에서는 중소기업이 사업화 가능한 기술이나 사업화를 지원하는 인프라 기술을 선도 개발하고 이를 사업화로 연결
 - 대학은 새로운 아이디어, 특히 등이 중요한 미래 먹거리 원천기술 개발을 위한 Seed형 원천기술개발 추진
- 시스템반도체 분야 상용화 과제는 시장 성장성이 높은 분야에서 원천성, 독창성, 차별성을 갖춘 제품 개발을 추진
 - 4차 산업혁명 관련 반도체: IoT, 통신(Connectivity), 지능형 메모리 솔루션, 프로세서 등
 - 자동차용, 산업용 반도체 등 고성장 시장: 구동 IC, 파워 IC, ECU, 차량내 통신, 인포테인먼트, 자율주행 등

- 한국의 시장 점유율이 낮으나 고부가가치 제품 시장: 의료기기용반도체, 바이오반도체, 광전집적 반도체 등
- (분야별 스타 패리스) 새로운 원천 독자 기술을 보유한 창업 초기 기업 위주로 상용화 과제를 수행하게 하는 것이 바람직
- 중소·중견기업의 해외 시장 진출 지원을 통한 시장 다변화 추진
 - * 글로벌수요연계 시스템반도체상용화사업('17~)
- 반도체공정/장비 분야 상용화 과제는 해외 선진사 수준 이상의 기술력 확보가 가능한 분야로 한정하여 장기적인 연구개발 지원 및 성능평가, 검증을 위한 지원책 마련
 - 식각, 증착, CMP, MI, 첨단 패키징 등

4. 개발 목표 및 내용

4.1 개발목표

지능형 ICT 디바이스^{*}에 초지능, 초저전력, 실시간 인공지능을 구현하는
신개념 뉴로모픽 인공지능 반도체^{**} 기술 개발

* 지능형 ICT 디바이스는 차세대 스마트폰을 포함하는 개인형 지능형 디바이스, 빅데이터 AI 서버, 초소형의 이동형 단말 및 착용형 기기를 포함

** 뉴로모픽 인공지능 반도체는 뉴로모픽 소자 (Neuromorphic Device) 및 인공신경망 프로세서 아키텍처를 아우르는 반도체 기술

	<p>신개념 뉴로모픽 인공지능 반도체는 모든 정보처리 기기에 인공지능 컴퓨팅을 원활히 수행하는 능력 (AI Capability)를 부여하는 반도체 기술 개발을 목표로 함</p> <p>[핵심개발기술]</p> <table border="0" data-bbox="377 331 1306 562"> <tr> <td data-bbox="377 331 758 562"> 1. 고성능 인공지능 프로세서 2. 초저전력 경량 지능형반도체 3. 신경세포 모방 뉴로모픽 소자 4. 초저전력 소자 및 공정 5. 메모리-프로세서 융합기술 6. 인공지능 반도체 응용기술 </td><td data-bbox="758 331 1306 562"> : 고성능 인공지능 컴퓨팅 프로세서 기술 : 초저전력의 지능형반도체 기술 : 신경세포의 기능 및 학습을 모방한 소자기술 : 초저전력의 반도체 소자 및 공정기술 : 뉴타입 메모리와 프로세서 융합기술 : 인공지능 반도체 응용 어플리케이션 기술 </td></tr> </table>	1. 고성능 인공지능 프로세서 2. 초저전력 경량 지능형반도체 3. 신경세포 모방 뉴로모픽 소자 4. 초저전력 소자 및 공정 5. 메모리-프로세서 융합기술 6. 인공지능 반도체 응용기술	: 고성능 인공지능 컴퓨팅 프로세서 기술 : 초저전력의 지능형반도체 기술 : 신경세포의 기능 및 학습을 모방한 소자기술 : 초저전력의 반도체 소자 및 공정기술 : 뉴타입 메모리와 프로세서 융합기술 : 인공지능 반도체 응용 어플리케이션 기술
1. 고성능 인공지능 프로세서 2. 초저전력 경량 지능형반도체 3. 신경세포 모방 뉴로모픽 소자 4. 초저전력 소자 및 공정 5. 메모리-프로세서 융합기술 6. 인공지능 반도체 응용기술	: 고성능 인공지능 컴퓨팅 프로세서 기술 : 초저전력의 지능형반도체 기술 : 신경세포의 기능 및 학습을 모방한 소자기술 : 초저전력의 반도체 소자 및 공정기술 : 뉴타입 메모리와 프로세서 융합기술 : 인공지능 반도체 응용 어플리케이션 기술		
단계별 기술개발			

4.2 개발내용

- (반도체 설계/소자/공정 기술) 4차 산업혁명 시대의 신성장원천인 인공지능 서비스를 실현하기 위한 초지능, 초저전력, 초신뢰 지능형반도체 원천 및 상용화 기술을 개발하는 사업으로서, 기술 트리는 반도체 설계, 반도체 소자 및 공정기술로 구성됨
 - (반도체 설계) 인공지능의 방대한 연산량을 가속시켜 효율적 처리하기 위해 인공지능 프로세서 기술, 초저전력 인공지능 기술, 메모리 융합기술로 수행
 - (반도체 소자) 인간 두뇌의 다양한 측면을 모사하여, 기존 반도체 보다 성능을 1000배 개선하고, 소모전력을 1/1000로 저감할 수 있는 brain inspired 지능형 반도체기술을 개발하고, 인공지능기술과 융합하여 미래 반도체 원천선도기술 개발
 - (반도체 공정) 기존 반도체 공정 장비나 소재와 호환이 어려워 뉴로모픽 및 3D 소자, 제작 공정 기술 개발을 위한 반도체 장비 및 소재 개발 추진



<그림 108> 지능형반도체 신사업 기술 트리>

<표 64> 인공지능 반도체의 기술개발 내용 분류 및 단계별 목표

중분류	소분류	1단계					2단계								
		2019	2020	2021	2022	2023	2024	2025	2026	2027	2028				
	단계형 기술개발	초병렬·딥러닝 인공지능 반도체 및 머신러닝 반도체 기술 개발 / 차세대 뉴로모피 소자 원천기술 및 상용화 설계기술 개발					초지능·초저전력 CMOS-뉴로모피 소자 인공지능 반도체 기술 개발 / 초거대 뉴로모피 소자 인공지능 반도체 설계 기술 개발								
고성능 인공지능 프로세서	초병렬 딥러닝 인공지능 프로세서 기술	초병렬 딥러닝 아키텍처 인공지능 프로세서													
		지능이동체 초병렬 확장형 딥러닝 인공지능 프로세서													
		모바일 및 이동체용 딥러닝 인공지능 API 프레임워크/SW					모바일 및 지능형 이동체 딥러닝 인공지능 프로세서 상용화								
	중대형 서버 AI 프로세서 기술	중대형 서버 인공지능 프로세서													
		중대형 AI 서버용 병렬 프로세서 운영체제					중대형 AI 서버용 딥러닝 프로세서 상용화								
	Chip2Chip 초고속/저전력 인터페이스 기술	확장형 인공지능 프로세서용 칩간 고속 인터페이스													
		Chip2Chip 광배선 인터페이스 핵심 광소자 개발			C2C 광 I/O 인터페이스 통합 서버확장용 딥러닝 프로세서										
	뉴로모피 소자기반 프로세서 설계 원천기술 개발	뉴로모피 소자기반 프로세서 설계 원천기술 개발													
		뉴로모피 소자 기반 인공지능 프로세서 아키텍처 기반연구					뉴로모피 소자 기반 모바일 및 이동체용 API 프레임워크								
	뉴로모피 소자 기반 서버용 인공지능 프로세서 기술						고집적 뉴로모피 소자 기반 서버용 인공지능 프로세서								
							고집적 뉴로모피 소자 기반 반도체용 SW 프레임워크								
초저전력 경량 지능형 반도체	비지도형(Unsupervised) 온칩 러닝 프로세서 기술	비지도형 온칩 러닝 원천기술 연구			비지도형 온칩 러닝 프로세서			가소성 뉴로모피 소자 응용 비지도형 프로세서							
	지도학습 및 강화학습형 인공지능 반도체	모바일 및 서버 응용 지도학습 데이터넷 구축 기술 개발													
		강화학습 기반 아키텍처 원천연구					지능이동체 강화학습 인공지능 프로세서								
		강화학습 온칩러닝 원천연구 및 데이터셋 구축기술													
	자연어 처리 인공지능 반도체 기술	자연어 인식을 위한 지도학습 원천연구													
		자연어 인식 및 강화학습 아키텍처 원천연구					모바일 휴머노이드용 자연어 인식 및 학습 프로세서								
	엣지 컴퓨팅용 초경량 지능형 반도체 기술 개발	에너지 고효율 지능형 칩 개발			지능형 엣지 칩의 온칩 학습 기술 개발			지능형 엣지 칩 검증용 응용 서비스 기술 개발							
	엣지 컴퓨팅기반 멀티모달 신호처리 기술 개발	엣지 디바이스의 다차원 신호 입력/처리를 위한 머신러닝 기반 초저전력 초소형 물리엔진 개발			센서와 엣지 디바이스의 연결을 위한 신호 변환, PnP 인터페이스 및 연결 프로토콜 기술			음성, 영상, 환경, 동작 센서 등의 IE 융합 판단을 하는 알고리즘 및 개발환경, 응용 기술							
	엣지용 초저전력 온칩 인터커넥션 기술 개발	고성능, 고신뢰 온칩 인터커넥션 기술 개발			초경량 멀티코어 지원 하이브리드 온칩 인터커넥션 기술 개발			초저전력 3D 온칩 인터커넥션 기술 개발							
	에너지절감형 엣지	-			고성능-저전력 엣지			고성능-저전력							

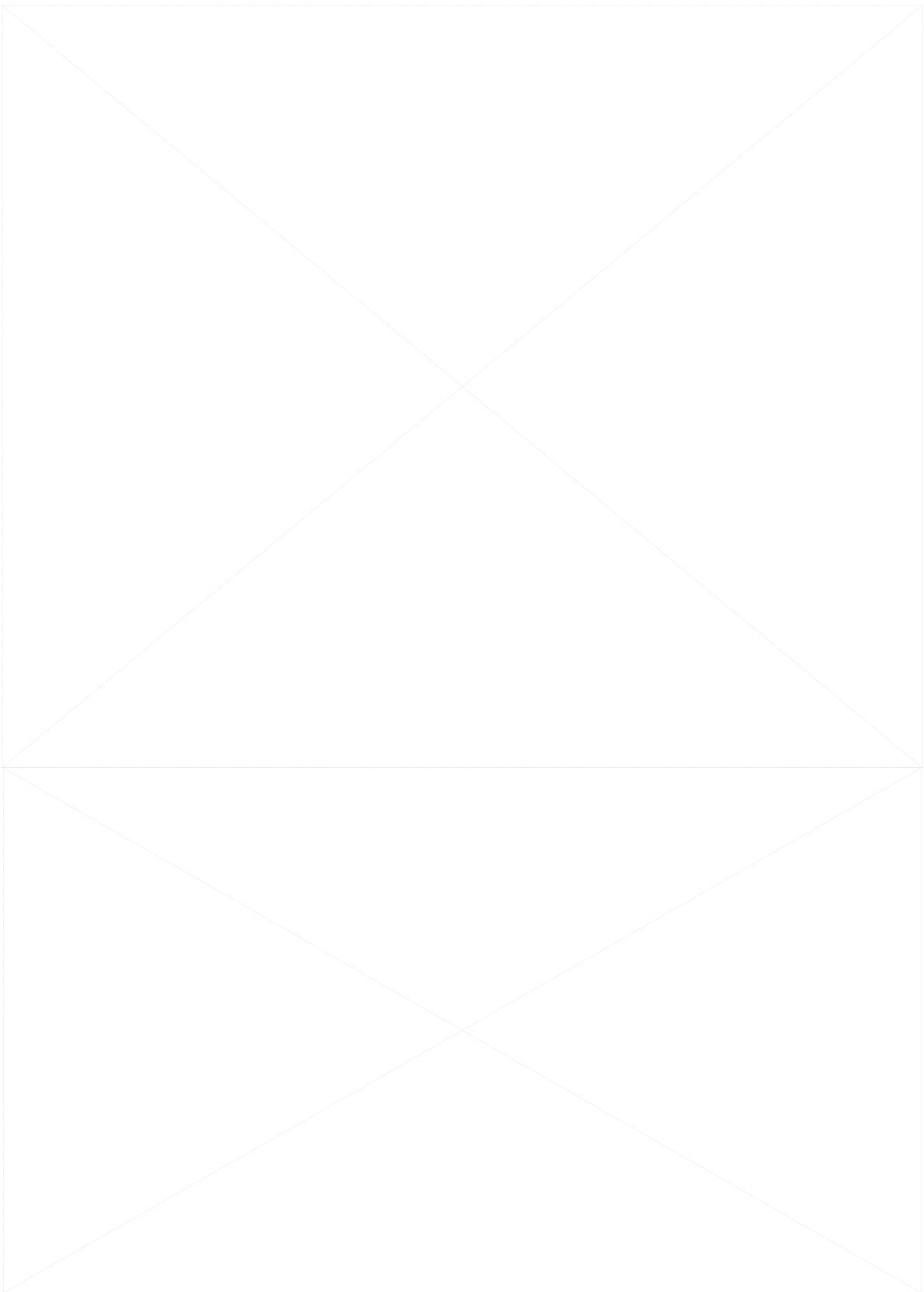
	마이크로서버 SoC 및 시스템 개발		기반 마이크로서버 SoC 개발	마이크로서버 시스템 개발
SW-SoC 융합 인텔리전트 엣지(IE) 공통 플랫폼 기술 개발	SW-SoC 융합 인텔리전트 엣지(IE) 공통 플랫폼 기술 개발	-	개방형 엣지 플랫폼 기술	클라우드/인공지능 서버와의 플랫폼 운영(응용) 기술 개발
신경세포 모방소자	재구성형 논리 회로용 소자	재구성형 논리 회로를 위한 신소자/공정/모델링 기술 개발	재구성형 논리 회로의 구현 및 적용	
	시냅스 및 뉴런 모사 반도체소자	신개념의 시냅스 소자	인공지능 시스템 개발	신경모방시스템동작 및 non-SW학습
	삼차원 뉴럴 집적회로 소자 기술	NVM/CMOS 집적 기반의 hybrid neuron 개발	HW 기반의 neural network 설계	임베디드 시스템 탑재를 위한 HW 기반 neural network 칩
	삼차원 신경모방회로를 위한 이종시스템 집적공정기술	layer stacking 집적공정기술 개발	Si/Si, Si/non-Si chip interfacing 기술 개발	발열 억제 기술 개발 및 최종 이종집적시스템 구현과 평가
	나노소재 뉴로모픽 시냅스 소자의 동작 신뢰성 향상 저주파 잡음 연구	나노소재 기반 저전력 뉴로모픽 시냅스 소자	나노소재 기반 저전력 뉴로모픽 시냅스 신뢰성 및 소자 저주파 잡음 연구	
	뉴로모픽 소자 모델링을 통한 뉴럴네트워크 회로 최적화	뉴런 및 시냅스 모방 소자 compact 모델링	신경모방 소자 단일레벨 뉴럴네트워크 회로	신경모방 소자 다중레벨 뉴럴네트워크 회로
	지능형 아키텍처 구현을 위한 브레인 기능모사 하드웨어 시스템 실증 및 범용시스템 개발 플랫폼 개발	브레인기능모사 신소자/ 집적공정/ 플랫폼 기술개발	브레인기능모사 하드웨어 응용 시스템 구현/고도화/상용화 개발	
	Spiking 뉴런 네트워크 모사를 위한 기기급 뉴로모픽 포토닉스용 반도체 소자 기술 개발	Spiking 뉴런 네트워크 모사를 위한 기기급 뉴로모픽 포토닉스 소자 기술 개발	뉴런 네트워크 구성을 위한 뉴로모픽 포토닉스 광집적회로 개발	
	멤리스터 기반 인공뉴론 소자 개발	멤리스터 기반의 인공뉴론 소자를 위한 소재 개발 및 소자 구조 개발	멤리스터 기반 인공뉴론 소자를 이용한 I&F(integrate-and-fire) 특성 측정 평가	멤리스터의 뉴론 소자 응용을 위한 전산모사 및 회로 설계 기술 개발
	산화물 반도체를 이용한 포토닉 인공지능 소자 및 회로 개발	포토닉 인공지능 소자용 광반응성 산화물 반도체 원천 소재 및 공정 기술 개발	초저전력 인공지능 회로용 시냅스 소자 및 어레이 기술 개발	포토닉 인공지능 회로를 이용한 응용기술 개발
초저전력 소자 및 공정	산화물 절연체를 이용한 멀티밸류 뉴로모픽 소자 개발	시냅스 소자용 신소재/공정 원천기술 개발	신개념 시냅스 소자 어레이 및 아키텍처 융합기술	
	유기 반도체 나노와이어 기반 뉴로모픽 소자 개발	두뇌의 시냅틱 특징을 모사한 저전력 인공 시냅스 개발	인공 시냅스 특성 최적화 및 뉴로모픽 소자 어레이 개발	패턴 인식 시스템 개발
	유기물 기반의 전기화학적 뉴로모픽 소자 개발	뇌의 시냅스 특징을 모사하는 유기물 기반 전기화학 동작의 소재/소자 개발	유기물 기반 뉴로모픽 소자 어레이 개발	유기물 기반 뉴로모픽 소자 어레이를 이용한 패턴 인식 시스템 개발
	초박막 접합 구조기반 시냅스 모방 메모리 소자 및 회로 기술 개발	접합용 다중박막 구조 설계 및 제작 기술 이온의 반복적인 산화•환원을 통한 전도성 경로 형성으로 인한 높은 on/off 구현 연구	디지털 및 아날로그 메모리 특성의 모델링을 통한 소자/회로 시뮬레이션 플랫폼 연구	
	초저전력 비실리콘계 대면적 일렉트로닉스용 적응학습형 뉴런칩 개발	비실리콘계 산화물반도체 기반의 시냅스 소자 개발 및 학습 알고리즘 개발	적응학습형 인공 신경회로 구축을 위한 산화물반도체 기반 뉴런회로 기술 개발	시냅스어레이와 뉴런 회로의 접적화 공정 기술 최적화 및 뉴런칩 제작
초저전압 반도체 소자 및 공정	초저전압 반도체 소자	0.5V 이하 구동전압용 반도체 소자/회로 기술 개발	0.3V 이하 구동전압용 반도체 소자/회로 기술 개발	
	3~5족 초고속 채널을	스핀-케도결합이 큰 3~5족 고성능	스핀전류 생성 및 전기장 제어	

	이용한 스피드랜지스터	채널 개발		트랜지스터 개발	
		인텔리전트 엣지(IE)용 초실감 텍타일 인터페이스 소자 및 구동 SoC 기술 개발	자유곡면, 초고감도, 고출력 등의 특성을 가지는 텍타일 인터페이스 소자 및 구동 SoC 일체형 모듈 기술 개발		
	초저구동전압 소자 시스템 실증 및 범용시스템 플랫폼 개발		초저구동전압 신소자/집적공정/플랫폼 기술개발	초저구동전압 하드웨어 응용 시스템 구현/고도화/상용화 개발	
	3D 적층형 초고속 저전력 CMOS 반도체 소자 및 소자 공정 개발	한계 극복 위한 3D 적층 가능한 초고속 저전력 CMOS 반도체용 신소재 및 소자 공정 개발	복수의 층으로 적층된 CMOS 소자 통해 단위로 저/메모리 동작 구현		
	극저전력 단일층 수평 집적형 3~5 CMOS on Si 논리회로	3~5 p-type, n-type 소자의 Si 기판상 형성 기술, 수평형 p/n 소자제작기술, 3~5소자의 Si기판상 전자 기술, 3~5 저전력/고밀도 메모리소자 제작기술	3~5 CMOS 디지털 logic 회로 구현		
	인체 친화적인 인텔리전트 엣지 IoT 모듈용 패키징 인터커넥션 기술	인체 부착 및 접입형 초소형·초경량 system-in-pac kaging (SiP) 기술 개발	인체 친화적인 신축형 인터커넥션 소자 및 공정 기술 개발	인체 친화적인 encapsulant 소자 국산화 및 공정 기술 개발	
메모리 프로세서 용합	단밀용 저장 솔루션 및 아키텍처 기술	IoT/웨어러블용 솔루션		인공지능 처리를 위한 메모리 솔루션	
		근사 메모리용 컨트롤러 설계 기술			
		메모리 데이터 압축 기술			
	프로세서 내장 지능형 스토리지 기술	메모리 솔루션 특화 프로세서			
		초고속 메모리 인터페이스 컨트롤러		차세대 고대역폭 메모리용 인터페이스 설계 기술	
인공지능 반도체 응용기술	다계층 메모리 액세스 최적화 기술	NVDIMM-P 기반 메모리 아키텍처		NVDIMM-P 기반 인공지능을 위한 메모리 솔루션 개발	이기종 메모리 아키텍처/솔루션
		DRAM/PRAM 연동 메모리 아키텍처	DRAM/PRAM 연동 메모리 솔루션		
	고신뢰 지능형 이벤트 저장장치 핵심기술	DRAM Row hammering 방지 기술 개발	고신뢰 내장형 메모리 설계 기술	빅데이터 처리를 위한 메모리 솔루션	
				낸드플래시 Multi-Chip Package를 위한 인터페이스 기술 개발	
		인공지능 SoC 오픈코어 기술	오픈코어용 운영체제 및 미들웨어 기술	오픈코어 생태계 구축 및 온·오프라인 공동 활용 기술	
인공지능 반도체 응용기술	다종 경량 인공지능 기기간 협업 기술 개발	협업통신 프로토콜 기술 및 플랫폼	다종 경량 인공지능 장치의 Seamless 협업 시스템		
	버추얼 SoC 플랫폼 기술 개발	버추얼 SoC 플랫폼 프레임워크	멀티코어 지원 고속 애플리케이션 및 성능분석 기술	GUI기반 버추얼 SoC 플랫폼 통합개발환경	
	경량 인공지능 기반 실시간 저전력 영상신호처리 기술	초실감 AR/MR 핵심 알고리즘, 경량 고속신호처리 엔진 및 SoC	초실감 AR/MR SoC 기반 무선 HMD 개발	경량 학습 기반 초실감 AR/MR 원천기술 및 SoC	
	다시집 및 자유시점 영상의 실시간 저전력 신호처리 및 디스플레이 기술	다시집/자유시점 초실감 가상현실 영상처리 SoC 및 디스플레이	SoC 기반 무선 HMD 및 360도 카메라	경량 학습 기반 초실감 가상현실 원천기술 및 SoC	
	초실감형 공간 이미지 재현 패널 및 구동 기술	완전입체 디스플레이용 조미세 픽셀 소자 기술 및 구동 기술	서피스 임베디드 완전입체 디스플레이 모듈 및 구동 SoC 기술, 공간 이미지 기반 UI/UX 기술		
	웨어러블 및 최소침습 엣지 의료기기를 위한 인공지능 기술	다기능 센서용 경량 인공지능 반도체 기술 개발	최소침습 의료기기용 경량 인공지능 기반 시스템 반도체		

원격진료를 위한 경량 인공지능 기반 웨어러블 플랫폼 기술		인공지능 기반 웨어러블 디바이스용 SoC 및 플랫폼		
자율주행/비행을 위한 경량 인공지능 기반 3D 비전 SoC 플랫폼 기술		오토파일럿을 위한 3D 비전 경량 인공지능 SoC 플랫폼 개발	자율비행이 가능한 비행제어 프로토콜 및 HDK/SDK 플랫폼 개발	
자율주행 무인기기를 위한 충돌방지용 초소형, 초경량 인공지능 레이다 기술	120GHz 레이다 센서용 핵심 반도체 IP	충돌방지용 레이다 SoC 플랫폼		
자율주행/비행을 위한 멀티모달 신호 처리 반도체		경량 인공지능 컴퓨팅 기반 멀티모달 신호처리 반도체		
인공지능 컴퓨팅 기반 상황인지 및 제어 기술		멀티모달 상황인지 및 제어 SoC 플랫폼	경량 인공지능 기반 무인이동체 및 비행/주행 제어 시스템	
고정밀 객체검출을 위한 경량 인공지능 기반 이종 영상 퓨전 기술		경량 인공지능 기반 이종 영상 퓨전 기술	경량 인공지능 기반 이종 영상 퓨전의 실차 통합	
경량 인공지능 기반 고정밀/고해상도 LIDAR 기술	LIDAR용 레이저 공간 스캐닝 광학 시스템	경량 인공지능 기반 LIDAR 반도체		
스포테이먼트를 위한 경량 인공지능 기반 영상과 레이저 센서 기술		경량 인공지능 기반 스포츠용 웨어러블 디바이스 및 응용 플랫폼		
홈/빌딩 오토모티브 시스템용 마이크로 인터랙션 플랫폼		인공지능 컴퓨팅 기반 성능 서비스 최적화 기술		
인공지능 디바이스용 Sensor Assistant IP		Sensor Assistant IP 기술		
고감도 생체 신호 측정을 위한 삽입형 경량 인공지능 SoC		생체 삽입형 경량 유연 인공지능 SoC	운용 시스템 기술 개발, 채널 집적도 향상, 및 통물 실험	
고감도 생체 신호 측정을 위한 생체분해형 경량 인공지능 SoC		생체 흡수 소재만을 이용한 생분해형 SoC 기술	경량 인공지능을 이용한 운용시스템 기술 개발	

- 원천기술 개발가능성을 검증하고 각 요소기술들을 개발하기 위한 체계 구축
- 국내 R&D 역량강화가 필요한 부분을 보완하기 위해 해외 연구진을 적극 활용하고, 글로벌 R&D 프로그램 네크워크를 구성
- 핵심기술의 성숙도를 높이기 위해, 사업기간 내 상용화 가능성이 높은 유망기술을 중심으로 시제품 수준의 기술검증을 완료
- 시스템 적용이 가능한 수준으로 검증된 핵심기술들을 대상으로 다양한 응용시스템을 구현하고, 시제품을 제작하여 성능을 검증

□ 기술개발 로드맵



□ 기술정의 및 초고속, 초저전력 반도체 목표달성 개념

- (뇌모방형 미래소자 기술) 현재의 인공지능 기술은 시냅스 동작 알고리즘을 SW(GPU) 또는 HW(가속기)로직으로 구현하고 있으나, 뇌모방형 미래소자 기술은 시냅스 동작을 구현함으로써, 단위 시냅스 동작을 구현하는데 필요한 HW 요구량을 1,000배 이상 축소할 수 있는 기술
- (초고속 인공지능 프로세서 기술) 인공지능 연산에 필요한 프로세서의 병렬 집적도를 20배 이상 향상시키고, 반도체 공정 미세화 및 뇌모방형 미래소자 활용을 통해 프로세서 효율을 50배 이상 개선함으로써, 인공지능 실행속도를 1,000배 향상시키는 기술
- (뉴로모픽 SoC 기술) 미래 뉴로모픽 소자 기반의 인공지능 프로세서를 이용하여 뉴로모픽 SoC를 구현함으로써 인공지능 연산에 필요한 전력 소비를 1,000배 이상 개선시키는 기술
- (장비기술) 초고속, 초저전력 반도체 소자(뇌모방형 미래소자 등) 제조에 필요한 핵심 장비를 선행 개발하여 미래 기술을 선점하고 특허를 확보하여 선두기업과의 기술격차를 좁히고 중국 등 후발 국가와의 기술격차를 넓이는 전략 추진



<그림 109> 초고속, 초저전력 반도체 기술 개발 개념

- (개발 개념) 기존의 소자를 능가하는 신소자 개발 및 이를 위한 제조기술 확보, 그리고 신소자를 활용한 인공지능 반도체개발 또한, 제조기반의 저전력 기술을 종합적으로 개발하여 최종 목표를 달성하고자 함

□ 성과확산 및 기술별 연계

- (설계기술) 초고속(1,000배), 초저전력(1/1,000배) 인공지능, 빅데이터 관련 핵심 원천기술은 기업이 활용 가능하도록 특허와 IP 형태의 유형 자산으로 개발하여 활용 할 수 있도록 추진
- IoT 기술은 자동차, 가전, 바이오, 로봇·기계 산업과 반도체산업 간의 융합얼라이언스를 구축하여 기술개발 로드맵을 공유하여 각 산업에서 필요한 기술을 개발하여 성화 확산 추진
- (제조기반 기술) 차세대반도체 기술개발에 필요한 핵심 장비(부품 포함), 첨단 패키지기술은 한국반도체산업협회에서 운영중인 ‘반도체 장비·재료 성능평가 사업’을 활용하여 최종 수요기업이 성능 검증 및 신뢰성 테스트를 통해 상용화를 앞당기고 최종적으로 글로벌 수요기업(삼성전자, SK하이닉스, 마이크론, 인텔 등)에 납품함으로써 개발기술 결과물의 성과 확산 극대화 추진



<그림 110> 세부사업-세부기술간 기술 및 산출물 간 연계 전략

4.3 개발기간 및 소요예산

□ 개발기간 : 2019년 ~ 2028년 (10년)

□ 소요예산 : 총 13,219억원 (국비 10,595억원, 민간 2,624억원)

<표 65> 인공지능 반도체 사업 연구비

단위: 억원

구분	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	합계
국고	1,113	1,158	1,198	1,173	1,153	1,053	958	943	923	923	10,595
민간	148	163	198	213	290	295	290	339	391	298	2,624
계	1,261	1,321	1,396	1,386	1,443	1,348	1,248	1,282	1,314	1,221	13,219

□ (반도체 설계 기술) 10년간 7,500억원 이내의 예산을 지원하며 세부 기술 품목은 아래 표 참조

<표 66> 반도체 설계 세부기술

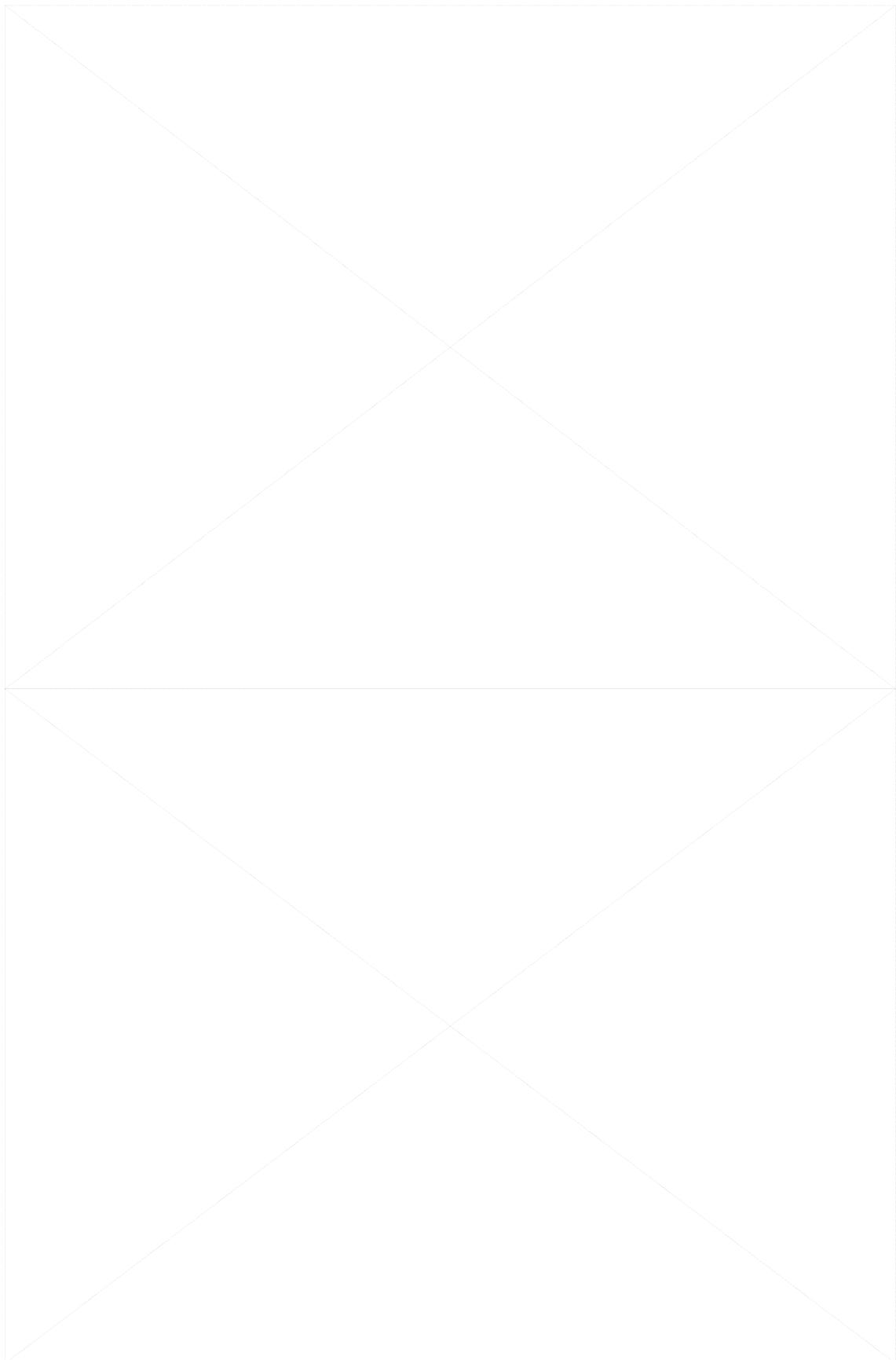
기반기술	요소기술	세부기술
반도체 설계	인공지능 프로세서	초병렬 컴퓨팅 반도체
		뉴럴넷 프로세싱 반도체 기술
		뉴로모픽소자 프로세서 설계
	초저전력 엣지 SoC	저전력 경량 지능형반도체 기술
	인공지능 프로세서 API	초저전력 엣지 반도체 기술
		센서통합 및 이종센서 처리 기술
	초병렬 고속 인터페이스	다중인터페이스 처리 기술
		데이터 센싱/로그/결정화/공유 기술
		산업별 전용라이브러리 기술
	지능형보안 반도체기술	인공지능프로세서 컴파일러
		모바일/서버용 인공지능 API
	인공지능 학습기반 반도체	초병렬 고속 인터페이스
		초고속 프로세서 메모리 인터페이스
		플랫폼 보안 /인증/ 암호화기술
	초저전력 지능형반도체 설계 응용기술	지도/비지도/강화학습 기반 프로세서
		신소자 기반 지능형반도체설계 기술
		신소자 기반 초저전력 시스템 설계 기술
	초저전력 지능형반도체 설계 기반기술	신소자기반 설계 Tool 기술
		인공지능 특화 소자/설계 기술

□ (반도체 소자·공정 기술) 10년간 4,500억원의 예산을 지원하며, 세부 기술 품목은 아래 표를 참조

<표 67> 반도체 소자·공정 세부기술

기반기술	요소기술	세부기술
반도체 소자·공정 기술	Brain Inspired 지능형 소자 기술	로직/메모리 하이브리드 기술
		인공지능 특화 소자/아키텍처 기술
	인공지능/초저전력 소자 공정/집적 기술	초저전력 소자/아키텍처 기술
		초저전력 지능형반도체 단위공정기술
	신소자 특화 파운드리 기술	초저온 3차원 집적 공정 기술
		신소자 기반 특화 파운드리 기술
	특화 공정장비 /소재 기술	신소자 특화 공정 장비/소재 기술
	고급 패키지 기술	초저온 3차원 공정장비/부품/소재 기술
	지능형반도체 원자수준 공정 장비/소재 기술	고급패키지 공정 장비/부품/소재 기술
		극초미세 원자수준 공정장비/부품/소재 기술
	초저전력 3D 반도체 지능형 공정/장비 소재 기술	초저전력 3D 지능형 공정장비/부품/소재 기술

□ 연차별 예산



5. 추진 전략 및 체계

5.1 추진 전략

비전

4차 산업혁명시대의 핵심 지능형반도체 원천기술 선점 및 조기 상용화로 반도체산업 견인 및 글로벌 기술경쟁력을 확보

사업 목표

인공지능 반도체 글로벌 시장의 미래 핵심 선도기술 개발과 산업화

1. 현재의 지능형 반도체 대비 1000배의 성능
2. 1000배의 전력효율성을 가지는 지능형반도체 혁신 원천기술 확보
3. 혁신 원천기술 기반 지능형반도체 세계 시장 10% 점유

중점추진내용

구분	반도체 설계기술	반도체 소자기술	산업 응용기술
내용	<ul style="list-style-type: none">고성능 인공지능 프로세서초저전력 경량 지능형 반도체메모리·프로세서융합	<ul style="list-style-type: none">신경세포 모방소자 및 공정 기술초저전력 소자/공정 기술	<ul style="list-style-type: none">개방형 시스템 반도체 SW-SoC 기술인공지능 반도체 응용 기술 (지능형IoT, 차세대자동차, 실감형 UX, 헬스케어)

투입

사업기간 '19년~'28년(10년) / 총사업비 13,000억원

- 본 사업을 성공적으로 이끌기 위한 네개의 추진방향을 설정하고 각각의 추진방향별 세부계획을 설정함

<표 68> 사업 추진방향

연번	추진방향
1	원천기술 개발과 상용화기술 개발의 연계
2	소자/공정 기술개발과 설계/솔루션기술 개발 분야의 협력
3	과제의 성격에 따라 추진체계와 방법을 다양화
4	국제공동연구를 통한 글로벌시장 진출 촉진

□ (사업기획) 연구개발 트랙간의 연계

- 연구개발이 원천기술 개발과 상용화기술 개발 두 트랙으로 진행되기 때문에 두 트랙간의 긴밀한 연계가 중요함
- 특히 원천기술 개발 트랙의 경우 도전적인 목표를 설정하여 연구개발을 하기 때문에 실패를 용인해야 하지만 상용화가 가능한 아이디어가 도출되면, 상용화기술 개발 트랙에서 R&D사업을 추진
- 반대로 상용화기술 개발 트랙에서 장기적인 R&D가 필요한 핵심기술이 도출되면 원천기술 개발 트랙 트랙에서 장기적인 사업으로 추진

□ (사업관리) 통합적인 관리

- 중장기 원천기술 개발과 단기 상용화기술 과제를 통합하여 관리함으로써 서로 기술과 시장동향에 대해 활발한 교류를 촉진
- 상용화를 목표로 하는 기업들은 원천기술 개발과제에서 새로운 아이디어를 얻고, 원천기술 개발을 추진하는 연구자들은 시장과 기술 추세에 어긋나지 않도록 함
 - 소자/공정기술 개발과 설계/솔루션기술 개발분야의 협력

□ (근원경쟁력 확보) 반도체기술의 근원경쟁력 확보를 위해서는 소자/공정기술과 설계/솔루션기술이 결합되어야 함

- 반도체기술 패러다임이 근본적으로 변화하면서 소자/공정만이 아니라 설계/솔루션 기술도 상당한 변화가 있을 것으로 보임
- 이에 따라 어느 정도 고정된 제조기술이나 설계기술을 전제로 한 연구개발은 성과를 내기 어려우며, 정부의 R&D전략도 이런 추세를 반영해야 함
- 예를 들어 초저전력 기술은 소자/공정기술과 설계기술이 결합될 때 획기적인 변화를 가져올 수 있음
- 따라서 가능한 폭넓은 영역에서 두 분야의 긴밀한 협력이 필요함
 - 과제의 성격에 따라 추진체계와 방법을 다양화

- 원천기술 개발은 주로 학교와 연구소가 중심이 되어 추진하되 가능한 기업이 참여하도록 함
 - 학교는 새로운 아이디어를 탐색하는 역할을 하고 연구소는 아이디어를 상용화 전단계까지 개발하는 역할을 하며, 기업은 기술개발이 성공할 경우 상용화를 추진
 - 학교가 주관하는 과제는 연구범위만 정하여 소규모, 장기과제로 지원하고, 세계적인 연구추세와 같이할 수 있도록 국제적인 연구협력을 장려
 - 연구소에서 주관하는 과제는 목표를 명확하게 정하여 대규모, 중기과제로 추진하되, 과제의 성과를 상용화할 의지가 있는 기업의 참여가 필수
- 상용화과제는 중소기업이 중심이 되어 연구개발을 추진하되 대기업은 수요제기와 기술평가를 담당
 - 대기업의 과제 참여를 활성화하기 위해 과제참여를 제한하는 규제를 풀 필요가 있음
 - 기술의 난이도가 높거나 투자비용이 많아 중소기업이 담당하기 어려운 경우 대기업이 주도하고 중소기업이 일부 기술을 담당하는 경우도 가능
 - 상용화과제는 개발목표를 명확하게 하여 중규모, 단기과제로 추진
 - 국제공동연구를 통한 글로벌시장 진출 촉진
- (글로벌 경쟁력을 갖춘 R&D) 연구 기획단계부터 해외의 최신 연구동향을 분석하는 한편 수요기업의 의견을 반영함으로써 사업성과가 글로벌 경쟁력을 갖추어야 함
 - 해외의 앞선 연구성과를 적극 수용하기 위해 국제공동연구의 비중을 일정 수준 이상으로 정하여 추진하고, 국제컨퍼런스 등을 통해 국제적인 교류와 기술 확산을 추진
 - 연구개발이 완료된 후에 제품이나 기술을 해외 수요기업에 판매하는 것은 반도체업계가 표준을 결정하는 일부 품목에서만 가능
 - 특히 인도, 중국 등 주요 반도체 시장에 대해서는 전략품목을 정해서 수요기업과 공동R&D를 통해 상용화를 추진

5.2 추진 체계

□ 인공지능 반도체 사업단의 필요성



- (전담 사업단의 필요성) 본 사업은 기술개발 및 제품개발 시기, 제품 사양 및 종류, 그리고 제조기술의 연결까지 필요한 종합적 목표를 설정한 사업임
 - 목표를 효과적으로 달성하고 빠르게 변화하는 대외 동향에 능동적으로 대처하기 위해서는 개별형 과제로 추진하는 것 보다는 독립적인 연구조직을 구성함
 - 반도체는 기술의 속도가 매우 빠르게 변화하는 분야이므로 급격히 변화하는 국제 정책·기술·산업 동향의 흐름을 신속히 파악하여 적기에 Moving target 설정을 위한 R&D 기획이 필요
- 본 사업은 기술개발, 시제품 개발 및 제품 확보를 목표로 하고 있어 연구와 비즈니스를 겸할 수 있는 사업단 조직이 적합함
 - 사업단 조직은 R&D에 초점이 맞추어져 있어 기초·원천기술의 개발이나 환경분야와 같은 공공적 성격이 강한 연구개발 사업에 적합함
- 체계적 관리 시스템 마련 필요
 - 지금까지 지능형반도체 관련 R&D 사업들은 정부부처간 유기적이고 통합적인 관리체계 없이 독립적인 형태의 기술개발로 진행되었음
 - 인공지능 반도체 기술개발의 효율성을 높이기 위해서는 개별과제간 기술교류, 기술협력을 이를 지원할 체계적 통합적인 관리 시스템이 필요
- 인력양성, 사업화연계 등 종합적 지원체계 구축 필요
 - 기술개발 참여를 통한 우수 인력양성, 과제별 기술개발 연계, 제조공정 구축, 사업화 지원을 통한 산업생태계 조성 등 인공지능 반도체 산업육성을 위한 토탈 솔루션 형태의 지원이 요구됨

- 기초연구성과의 관리·활용·확산 체계 구축 필요

- 그동안 국가연구개발사업을 통해 확보된 지식 및 기술의 이전·활용·확산이 활성화되지 않고 있는 상황에서 기술이전·사업화의 장애요인 해소 필요
- 대학·연구소에서 개발한 기초·원천 연구성과물의 산업계 기술이전을 촉진하여 성과확산, 사업화 연계를 위한 선순환 구조를 형성함으로써 성장 기회 확대, 부가가치창출 및 경제성장, 고용창출에 기여해야 할 필요가 있음

<표 69> 인공지능 반도체 사업단의 역할

기능	내용
과제기획	<ul style="list-style-type: none"> • 해외 시장 동향조사 및 분석 • 기술개발 과제기획 및 발굴(기획위원회)
기술개발 진도관리 (과제지원)	<ul style="list-style-type: none"> • 유관기술 사업단, 기술그룹과의 연계활동 및 기술적/정책적 연계활동 (예시 : 4차산업혁명위원회, 인공지능사업단, 인공지능의료영상 사업단, 나노융합사업단, 시스템-반도체 포럼 등) • 과제별 추진현황 모니터링/기술자문 • 과제간 기술연계/협력 유도 • 참여기관(인프라 구축 기관)간 인프라/장비 활용 연계 • 기업애로기술지도
기술이전 사업화지원	<ul style="list-style-type: none"> • 대학·원천기술 개발성과 기술이전 중개 • 해외 전시회 참가지원 등

- 전략적 연구개발 과제기획

- 국내외 주요기업의 제품 및 기술개발동향에 대한 사전조사를 통해 미래시장 대응기술 적기 개발 추진
- 산·학·연 수요조사, 기술로드맵, 수요기업 검토, 국내 개발가능성에 대한 종합적 검토를 통해 핵심 추진과제 도출

- 연구개발과제 효율적 관리 지원

- 분야별 전문가로 구성된 기술 자문위원회 운영을 통한 과제별 기술개발 현황 파악, 기술개발 애로사항 자문
- 기술개발 로드맵과 사업화전략 연계를 통한 체계적 과제 관리 지원
- 총괄워크숍/기술교류회를 통해 과제별 기술개발 현황 공유 및 과제간 협력 네트워크 강화

- 인공지능반도체 산업생태계 조성 및 인프라 강화 지원

- 인공지능 반도체 개발을 위한 장비·공정지원 기관 연계, 수요 분야의 신뢰성 검증 및 인증 지원
- 연구개발 결과물 사업화 지원을 위한 전략 수립 및 협력기관과의 역할 조정, 민간 기업에서 추진 중인 인공지능 사업단과의 업무협력
- 인공지능 반도체 사업성과 홍보 및 산업화 촉진
- 대학의 원천기술 R&D 참여를 통한 석박사급 고급 인력양성
- 산업계 요구수준에 따른 아키텍트급 인력확보를 통해 중소기업 우수인력 확보 지원

- 정부부처간 연계 및 각종 지원정책 수립 지원

- 정부의 인공지능 반도체 산업육성정책 수립 지원 및 인공지능 반도체를 위한 정부 R&D 리소스의 통합 관리 운영
- 부처 공동의 시장창출 지원, 공공분야 수요연계를 통한 R&D 시범서비스 적용
- 인공지능 반도체 산업활성화를 위한 규제·제도 개선, 정책제안 등 정책 발굴 등
- 대학·연구소에서 개발한 원천기술 성과물에 대한 기술거래 중개(매칭)를 통해 성과확산 지원
 - 연구결과물의 기술이전, 사업화 중개를 기업으로부터 기술료를 징수하고, 이를 대학의 연구 개발에 재투자함으로써 국내 반도체 산업생태계 선순환 구조 구축

□ 사업단의 구성 및 선정

- 사업단장의 역할
 - 인공지능 반도체사업단의 대표로서 사업단 운영, 사업기획, 세부추진계획 수립, 사업관리, 사업화 지원 등 사업 총괄
- 사업단장 선정
 - R&D 기획 및 인프라 구축을 최적 운영·관리할 수 있는 능력을 가진 자
 - 인공지능 반도체관련 연구실적, 경영능력 등을 종합적으로 고려하여 선정
 - 연구수행능력 : 연구성과 및 연구역량 우수성
 - 경영관리능력 : 기업지원 등 경영관리 능력
 - 연구개발계획 : 연구내용 및 추진전략의 체계성/구체성, 예산활용의 적정성, 과학기술분야에서 국내외 인지도 및 활동범위 (학회/위원회/국제기구/회의 활동 등)
 - 법률적 기준
 - 단장의 자격 : 「기초연구진흥 및 기술개발지원에 관한 법률(‘11.3.9)」 제14조 제1항에서 정하는 기관 및 단체에 소속된 자로서 당해 기술분야에서 연구수행능력과 경영관리능력이 뛰어난 전문가로 접수마감일 전일까지 「국가연구개발사업의 관리 등에 관한 규정(‘11.3.28)」 제27조에 의하여 참여제한이 종료되지 않는 자는 과제신청 자격이 없음
- 사업단 설치 및 운영(안)
 - 다음의 기관 중 사업단을 운영할 수 있는 전문성과 기술력, 행정능력을 겸비한 기관을 선정
 - ① 국·공립연구기관
 - ② 특정연구기관육성법에 의한 특정연구기관 및 정부출연연구기관등의설립·운영및육성에관한법률에 의한 정부출연연구기관
 - ③ 산업기술연구조합육성법에 의한 산업기술연구조합
 - ④ 산업기술기반조성에관한법률에 의한 전문생산기술연구소
 - ⑤ 기술개발촉진법 제8조의3제1항제2호의 규정에 의한 기업부설연구소를 보유한 사업자
 - 총괄운영위원회를 구성, 각 사업단의 주요 의제에 대한 심의 및 결정
 - 신규 연구과제 선정, 기존 과제 변경, 관련 제도·규제개선 등 총괄 사항 심의·확정

- 사업단 사업추진·관리, 사업 계획 등 주요사항 심의·의결
- 기획·평가위원회 운영을 통해 연구기획, 성과 검증, 평가 수행
- 분야별 전문위원회를 구성하여 과제별 기술개발 수행에 대한 모니터링, 기술개발자문, 개발성과 이전 및 사업화 자문



<그림 111> 사업 추진체계

<표 70> 인공지능 반도체 사업단의 주요역할

기능	내용
기술개발	<ul style="list-style-type: none"> • 기술개발 과제기획 및 발굴(기획위원회) • 과제수행기관 선정/평가 • 관련기관 co-work, 컨소시엄 구성 등
기업지원	<ul style="list-style-type: none"> • 참여기관(지원 가능한 인프라를 구축한 기관)과 연계 강화 • 참여기관을 통해 기업애로기술지도, 장비활용 등
정부 R&D 연구결과 DB구축	<ul style="list-style-type: none"> • 범부처 R&D 현황 조사 • 범부처 R&D DB 구축 및 관리
기술이전중개	<ul style="list-style-type: none"> • 대학·원천기술 개발성과 기술이전 중개
성과전시/수출지원	<ul style="list-style-type: none"> • 해외 시장 동향조사 및 분석 • 해외 전시회 참가지원 등
협의체 운영	<ul style="list-style-type: none"> • 분야별 산·학·연·관 전문협의체 • 공동연구과제 발굴 및 기획 • 포럼 및 세미나 개최 등

□ 사업선정

- 사업내 모든 과제는 사전 기획단계를 통해 선정된 RFP를 공고하고 경쟁공모를 통하여 선정
- 사업선정은 별도로 구성된 평가위원회가 담당하며, 관련 산학연 전문가의 자문, 기술수요조사, 정책 등을 반영하여 도출된 RFP를 대상으로 함
- 선정과정은 다음과 같은 프로세스를 따름

- 신규과제의 선정은 기술자문위원회 중심의 평가단에서 1차 평가 후, 기술자문위원회에서 2차 서면 평가 후 사업단 운영위원회에서 최종결정
- 잠재적 투자기업의 대표를 평가단에 포함시키고, 1인 이상의 특히 전문가를 포함하여 특허가치에 대한 평가시행
- 사업선정은 별도로 구성된 평가위원회가 담당하며, 관련 산학연 전문가의 자문, 기술수요조사, 정책 등을 반영하여 도출된 RFP를 대상으로 함
- 선정과정은 다음과 같은 프로세스를 따름
 - 사업 공고
 - 우편 및 온라인 접수에 대해 제안번호 부여
 - 제안된 과제에 대해, 제안자(기관)의 자격(참여제한 등), RFP의 부합여부, 가점 등의
- 사전 서류 검토
 - 발표 평가를 통해 최종 선정

□ 사업진도 관리

- 분기별 진도 점검
 - 분기별 보고서 작성 : 사업단을 중심으로 한 보고서 및 과제 책임자 면담 등 진도 점검을 수행하고 연구 트렌드를 반영하기 위한 세부 사업 목표 및 내용 수정 가능
 - 분기별 정량성과 관리 : 논문 및 특히 출원 계획 등 진도 점검

- 과제별 컨설팅 시행
 - 연차별 연구개시후 6개월이 지난 시점에서, 반기별 워크샵과 동시에 기술컨설팅 실시
 - 기술적 평가, 특히 평가가 가능한 전문가로 컨설팅 팀 구성
- 과제별 컨설팅 내용
 - 연차평가에 대비한 기술적 보완의견 제시 (연차평가 시 보완의견 반영수준 평가)
 - 특히전략에 대한 자문 (정부R&D특허전략사업과 연계 검토)

- 연차 평가

- 연차 보고서 및 발표평가를 통한 진도 점검
- 개발결과 실태 평가 : 현장조사를 통한 시제품 및 개발 결과

- 서면 검토: 연차실적 계획서 서면평가

- 연구 종료 시점 한 달 전에 전담기관이 총괄하여 모든 세부과제를 대상으로 발표 평가를 실시하며, 평가 시 패널 토의와 국가R&D 조사분석평가(조분평)에 연구팀이 등록한 정량적 성과를 중심으로 평가 점수를 정량적으로 산출
- 중간평가결과에 대한 피드백의 충실히 평가
- 평가위원은 평가 대상과제의 평가관련 자료에 대해 사전에 심층적인 검토를 하고, 과제별 질의 및 검토사항을 사전에 작성하여 발표평가 시 활용
- 서면 검토를 통한 과제별 질의 및 검토사항은 사업단에서 취합, 평가위원 간 사전공유
- 서면 검토에서 각 과제별 핵심 내용 및 미흡한 부분에 대한 질의를 세부과제 책임자로부터 소명 및 답변을 전달 받아 발표 평가 시에 구체적인 논의
- 발표 평가
- 연차평가 워크샵 시 기술자문위원회 중심으로 평가위원회 운영.
- 평가위원회는 각 과제별로 평가, 계속지원여부, 예산 조정에 대한 의견 제시
- 평가 후속조치
- 평가결과를 사업단장의 승인을 받은 후, 후속조치 결정, 최종 조정결과는 사업단 총괄운영위원회에서 결정함

- 최종 평가

- 최종 보고서 및 발표평가를 통한 진도 점검
- 개발결과 실태 평가 : 기업중심의 자문단 구성을 통한 개발 결과물의 상용화 및 기술이전 가능성 평가

- 사업단의 최종 연구성과 발표를 위한 열린보고회 개최

- 연구성과 발표를 아래와 같은 내용
- 기술사업화 추진 실적
- 기술료 징수 및 관리 실적
- 연구개발 결과의 활용 실적
- 우수 연구개발 사례집 배포 및 홍보
- 국제협력과제 성공 사례 홍보
- 사업화 기술 홍보
- 투자기관 및 기술이전 대상 과제 및 특허 소개

- 사업단의 연구성과 관리 지원 방안

- 우수한 연구 및 특허 성과를 창출한 세부과제는 타부처를 포함한 사업화 연구로 이어 질 수 있도록 지속적 지원
- 홈페이지 및 각종 언론 매체를 통한 홍보 및 기업대상 기술 설명회를 상시운영
- 사업 단장은 국외의 기업과 국외의 국제학회를 통한 홍보수행

□ 사업성과 평가기준

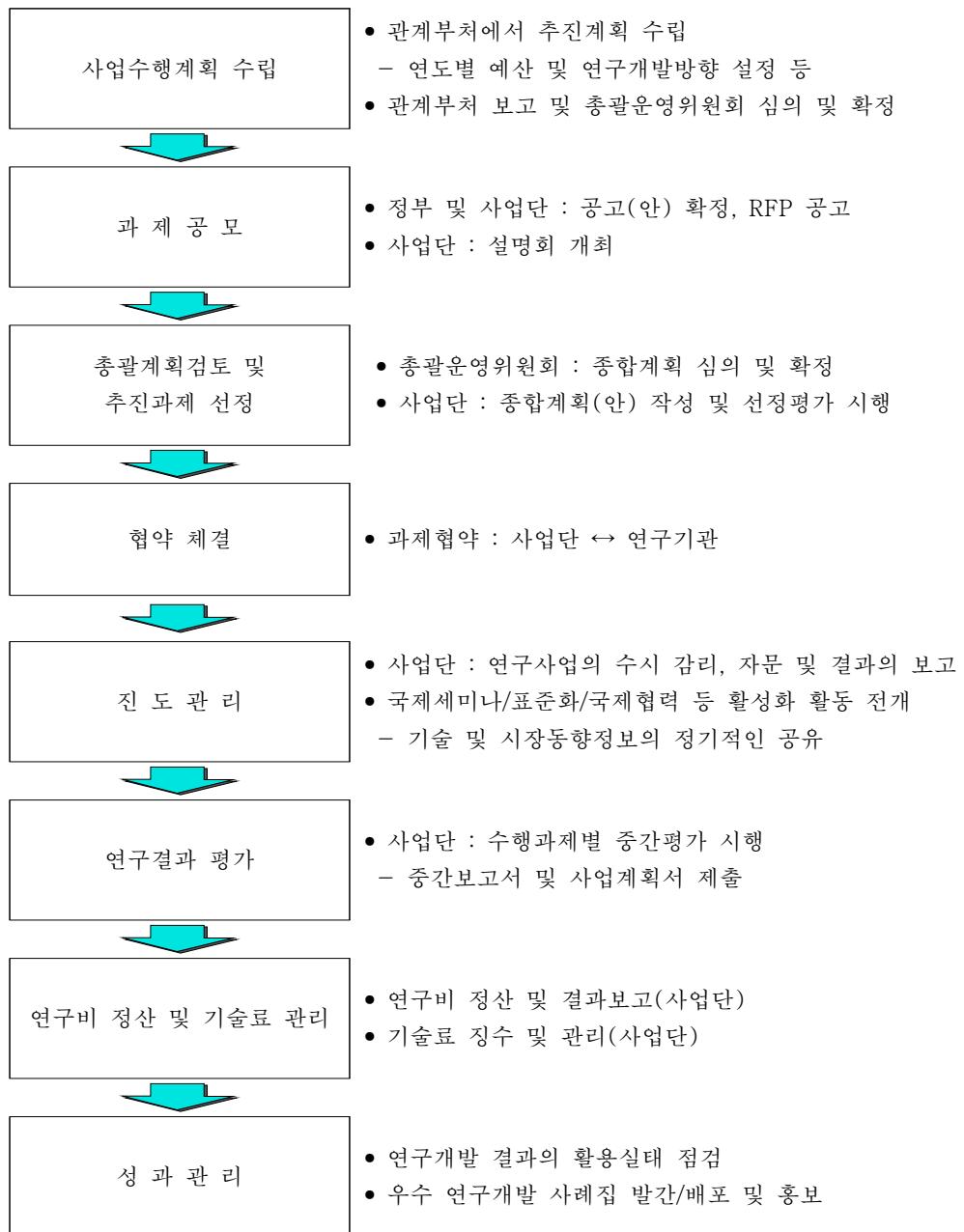
- 개발목표의 달성 : 개발한 기술의 수준과 시장성을 글로벌한 전문가 풀을 구성하여 평가
- 특허 : 산학연 전문가, 변리사 중심의 자문단 구성을 통해 특허의 질을 평가
- 표준화 : 특허와 표준화 연계, 단체표준, 국가표준, 사실상표준, 국제 표준 등 평가 가중치 설정
- 매출 : 제품화를 통한 매출 발생, 기업중심의 자문단 구성을 통한 개발 결과물의 기술 이전 및 상용화 가능성 평가

□ 사업성과 관리계획

- 과제 종료 후 관리 시스템 구축 및 운영
 - 연차별 정량적 및 정성적 사업성과 통계 산출
 - 사업 종료 후 5년까지의 사후 성과 관리

□ 연구개발 사업수행 절차

- (사업수행계획 수립) 연도별 예산 및 연구개발방향 등의 설정을 통한 추진계획 수립
 - 관계부처 보고 및 총괄운영위원회 심의를 통해 확정
- (과제공모) 사업단은 공고(안)을 확정하여, RFP(제안요구서) 작성 및 배포
 - 과제 전반에 대한 이해도 제고를 위한 설명회 개최
- (종합계획검토 및 추진과제 선정) 총괄운영위원회를 통한 종합계획 심의 및 확정
- (선정평가) 종합계획(안)을 토대로 평가 시행
- (협약체결) 평가를 통해 선정된 연구기관과 사업단간 연구협약 체결
- (진도관리) 연구기관은 사업단에 수시로 연구 결과 보고
 - 국제세미나, 표준화, 국제협력 등 대외활동 활성화 활동 전개를 통한 국내외 기술 및 시장동향정보의 정기적인 공유
- (중간평가) 사업단은 수행과제별 중간평가를 시행
 - 중간보고서 및 사업계획서 검토
- (연구비 정산 및 기술료 관리) 각 연구기관은 연구수행에 사용된 연구비에 대한 증빙자료를 제출하며, 사업단은 연구비 정산 및 결과보고 점검
 - 사업단은 연구 결과를 통한 기술이전, 사업화성과에 대한 기술료 징수 및 관리
- (성과관리) 연구개발 결과의 활용실태를 점검하고, 우수 연구개발 사례집 발간/배포 및 홍보 수행



<그림 112> 사업수행 흐름도

□ 주요 사업 관리 및 연구성과 확산방안

○ 지재권 관리전략

- 일관성 있는 연구성과 관리를 위해 사업단내에서 사업성과 총괄관리
- 연구 성과의 일관성 있는 관리 체계 구축 및 기술 실용화 활성화를 위해 사업단 내에서 대학과 지적재산권 소유를 공유 하며 관리 효율 증대
- 실용화 가능성 점검 및 특허포트폴리오 구축 등 전문컨설팅, 해외특허지원, 분쟁조정, 법률 특허자문, 성과홍보 등의 기본적인 기능 외에 원천특허 결과를 표준화, 산업화 활동추진

○ 사업단의 IP관련 구체적 기능 및 업무

- 특허 성과 출원을 위한 발명인터뷰 및 IP 사업화 목표 및 추진 전략 수립
- 전주기적 성과관리를 위한 연구성과 통합추적관리시스템 구축·운영
- 연구성과 확산 전문컨설팅 지원사업
- 연구성과 통합 홍보·확산

○ 기술 이전 체계 개선

- 기존의 과제 추진체계에서는 지적재산권의 관리주체가 개별 산학협력단이기 때문에 개별 연구자 수준에서 기술이전을 시도하지만, 협상력도 떨어지고, 기술이전효율도 낮음
- 반도체 기술은 소재, 장비, 설계, 소자기업등 기존의 산업이 활성화되어 있는 상태이기 때문에, 수요기업에서 요구하는 수준의 지재권을 확보하고, 집단협상을 한다면, 기술이전효율을 획기적으로 제고할 수 있을 것임

<표 71> 기술이전 체계 개선

	현행방식	개선방향
지재권 창출	연구자의 개인적 창의성에 의존	집단 연구/집단 학습을 통해 시너지 효과 창출 과제지원과의 직접연계, 인센티브 강화를 통한 동기부여
특허작성	개별 연구자 중심	전문특허 작성서비스 지원, 특허의 가치를 제고 (사업단)
지재권 가치 평가	산학협력단 (개별 연구자)	사업단내 특허가치평가팀 별도 운영 (산업체 (전문가 참여)
출원자	산학협력단	사업단 (특허 출원 및 관리비용 별도 산정)
기술이전	산학협력단, 개별 특허 중심	사업단 중심의 기술이전 (기술이전 협상력 제고) 특허 package 형태의 집단 기술 이전으로 기술이전 수익성 제고 사업단의 IP 전문기업화로 미래 가치 창출

○ 기술 이전 및 사업화

- 사업단에서 연구개발 기간 중 및 종료 후 지속적으로 산업체에 연구개발 방법론을 전파·확산하여, 국가연구개발의 효과가 산업체로 이어질 수 있는 브릿지를 형성

5.3 추진 근거

□ 시스템반도체 및 장비산업 육성전략('10.9.)

- 시스템반도체와 장비산업의 점유율 및 국산화율 확대를 목표로 관계부처²⁵⁾ 합동 시스템반도체 및 장비산업의 육성전략 수립

비전

시스템반도체 및 장비산업 본격 진입

- 시스템반도체 점유율 7.5%, 국산화율 50% 달성
- 반도체장비 점유율 13%, 국산화율 35% 달성
- 시스템반도체·장비부문 고용을 3.5만명에서 5.7만명으로 확대
- 세계 최고수준의 중소·중견 시스템반도체·장비기업 30개사 육성

중점
전략

1. 핵심기술 전략적 개발
2. 중소·중견 팹리스장비 및 파운드리 대표기업 육성
3. 중소·중견기업 중심 반도체 클러스터 구축
4. 신규고용 창출 및 인력애로 해소

<그림 113> 시스템반도체 및 장비산업 육성전략 개요

- 핵심기술 전략적 개발을 필두로 민·관 합동의 반도체 산업 지원과 중소·중견 기업의 육성 및 반도체 클러스터 구축을 중점전략으로서 추진

- (핵심기술 전략적 개발) 민·관 합동으로 1.7조원을 투입하여 시스템반도체 국산화율 50% 및 반도체장비의 국산화율 35% 달성
- (중소·중견 시스템반도체·장비 대표기업 육성) 시스템반도체 산업의 핵심분야인 팹리스의 대형화와 수요창출 지원 등을 통해 세계 최고수준의 팹리스 및 장비 중견기업 30개를 육성하고, 민간기업의 파운드리 설비투자 확대와 전문화 지원을 통해 국내 파운드리의 세계시장 점유율을 '09년 6%에서 '15년 15%로 확대
- (중소·중견기업 중심 반도체 클러스터 구축) 혁신주도 생태계 구축 및 중소·중견 팹리스·장비기업 지원을 위한 반도체 클러스터 조성을 지원하고 벤류체인 참여기업간의 협업체계 강화
- (신규고용 창출 및 인력애로 해소) 중소·중견기업의 주요 애로사항인 석·박사급 고급인력 부족 해소를 위한 인력양성 프로그램 지원

25) 기획재정부, 지식경제부, 교육과학기술부, 금융위원회, 중소기업청, 경기도청, 법무부(이상 부처명은 전략 발표 시점인 '10년 9월 기준) 합동 하에 전략을 수립하고 세부 실천 과제 수행



<그림 114> 제3차 과학기술기본계획 비전 및 목표

- 제3차 과학기술기본계획에서 국가중점과학기술로 선정된 반도체 관련 기술
 - 초고속 반도체 디바이스, 초고집적 반도체 공정 및 장비, 친환경 초절전형 반도체 회로, 질병진단 바이오칩

□ 19대 미래성장동력 추진 전략('15.3)

<표 72> 미래성장동력(산업엔진 포함) 19대 분야

미래신산업	주력산업	공공복지·에너지산업	기반산업
① 지능형로봇(공)	⑥ 스마트자동차(공)	⑩ 맞춤형 웨니스케어(공)	⑯ 융복합소재(공)
② 착용형 스마트기기(공)	⑦ 심해저 해양플랜트(공)	⑪ 신재생 하이브리드(성)	⑯ 지능형반도체(성)
③ 실감형콘텐츠(성)	⑧ 5G 이동통신(성)	⑫ 재난안전시스템(성)	⑰ 사물인터넷(성)
④ 스마트바이오생산시스템(엔)	⑨ 수직이착륙무인기(엔)	⑬ 직류송배전시스템(엔)	⑯ 박테이터(성)
⑤ 가상훈련시스템(엔)	-	⑭ 초소형 발전시스템(엔)	⑯ 첨단소재가공시스템(엔)

* (성) : 미래성장동력 단독분야 / (공) : 공동추진분야 / (엔) : 산업엔진 단독분야

- 19대 미래성장동력은 미래부가 현재까지 200여명의 전문가가 참여해 마련한 「미래성장동력 실행계획」의 '15년 연동계획*과 산업부가 작년 하반기부터 추진단을 중심으로 마련한 「산업엔진 프로젝트 발전계획」을 통합한 계획
- 기술개발과 함께 국제공동연구, 인프라 구축, 사업화, 제도개선 등 종합적인 지원을 통해 창조경제 대표 신산업을 창출하고, 산·학·연이 동반성장할 수 있는 선순환적 산업생태계를 조성하는 계획으로 분야별 기술 및 비즈니스 로드맵을 포함
- 정부는 동 계획의 실행을 위해 '15년에 약 1조원 투자*를 시작으로 '20년까지 약 5.6조원을 투자하여, '24년까지 수출 1천억달러 규모의 신산업을 육성할 계획
- 지능형반도체 분야의 목표는 SoC+SW 융합을 통한 지능형반도체 강국 도약
- (추진전략) 지능형반도체 개발 기반과 차세대 제품개발 플랫폼 구축을 통해 미래시장 주도형 산업발전 기반 구축
- (R&D/사업화) OS, 융합IP 등 핵심요소기술 개발 및 스마트융합기기용(웨어러블, 스마트자동차 등) 지능형반도체 플랫폼 개발
- (인프라) 반도체설계자산유통센터(KIPEX) 구축 및 개방형 Soc+SW 융합 플랫폼 테스트베드 구축
- (인력양성) SoC+SW 융합형 지능형반도체 전문인력 양성 및 아키텍트급 지능형반도체 고급 인재 양성 프로그램 운영



<그림 115> 제4차 나노기술종합발전계획의 비전 및 목표

- 지능정보화, 환경·에너지 등 미래이슈 대응에 핵심적인 나노기술을 적용한 부품과 시스템을 선제적으로 개발하는 「4대 나노 챌린지 프로젝트」의 하나로 초저전력 미래 반도체 개발 추진
 - 소모전력 1/1000 이하, 저장능력 및 정보처리 속도 100배 이상 차세대 나노정보처리소자 개발

□ 관계부처 합동 제4차 산업혁명에 대응한 지능정보사회 중장기 종합대책('16.12)

- 인간 중심의 지능정보사회를 구현하기 위한 기술·산업·사회분야별 정책 방향을 설정하고 이를 달성하기 위한 전략과제 추진

분야별 목표	기술 측면	산업 측면	사회 측면
	글로벌 수준의 지능정보기술 기반 확보 <ul style="list-style-type: none"> ▣ 경쟁 원천인 기술·데이터 기반 강화 ▣ 데이터를 안전하게 연결하는 네트워크 확보 	전 산업의 지능정보화 촉진 <ul style="list-style-type: none"> ▣ 공공서비스의 마중물 역할 수행 및 민간 혁신 촉진 ▣ 경제적 파급효과가 큰 의료·제조분야 중점 지원 	사회정책 개선을 통한 선제적 대응 <ul style="list-style-type: none"> ▣ 지능정보의 사회적 기반인 교육·고용·복지 정책 개편 ▣ 사이버 위협, 윤리 등 신규 이슈 대응 강화
정책 방향			
전략과제	<ul style="list-style-type: none"> ◊ 미래 경쟁력 원천인 데이터 자원의 가치 창출 ◊ 지능정보기술 기반 확보 ◊ 데이터·서비스 중심의 초연결 네트워크 환경 구축 	<ul style="list-style-type: none"> ◊ 국가 근간서비스에 선제적인 지능정보기술 활용 ◊ 지능정보산업 생태계 조성을 통한 민간 혁신 파트너 역할 수행 ◊ 지능형 의료서비스를 통한 혁신적 가치 창출 ◊ 제조업의 디지털 혁신 	<ul style="list-style-type: none"> ◊ 지능정보사회 미래교육 혁신 ◊ 자동화 및 고용형태 변화에 적극적 대응 ◊ 지능정보사회에 대응한 사회안전망 강화 ◊ 인간과 기계 공존을 위한 법제도 정비 및 윤리 정립 ◊ 사이버 위협, AI 오작동 등 역기능 대응

- 반도체와 관련하여 다음과 같은 세부 추진과제를 설정하고, R&D투자의 활성화를 통한 기술력 확보 추진
 - (AI) 선진국과 기술격차를 보이는 언어·시각·감성·공간 등 인지기술 분야는 '23년 글로벌 수준 확보를 목표로 단계적 기술격차 극복
 - (HW) 초고성능 컴퓨팅 핵심기술 및 지능형반도체 기술의 연구개발 및 고도화를 지속 추진하고 차세대 기술인 양자컴퓨팅, 뉴로모피칩에 대한 선도 연구 추진
 - (ICBM) 사물 스스로 데이터를 수집·학습하고 동작하는 지능형 IoT, 고속 클라우드 컴퓨팅 기술, 데이터의 노이즈 제거·정제 기술 등 인공지능기술과 밀접하게 연관되는 기술 중심으로 개발 및 고도화
- 다양한 IoT 센서망의 확산·연계를 통해 데이터의 유통·활용 지원
 - IoT 기능이 포함된 전기, 가스, 수도 등 사회 기반 인프라 고도화 사업 추진('17~) 등 IoT 네트워크를 활용한 혁신적 서비스 활성화

□ 산업통상자원부 시스템반도체산업 경쟁력 강화방안('17.3.)

- 4차 산업혁명의 도래로 기술(공급)·시장(수요)·생태계 측면에서 반도체산업의 경쟁요인 변화에 따라, 시스템반도체산업 선진국으로 도약하기 위한 정책과제 제시

비전	4차 산업혁명 下 시스템반도체 선도국 도약			
목표	시스템반도체	'15년	'20년	'25년
	수출	231억불	330억불	470억불
	점유율	4.3%	7%	10%
	세계50대 설계기업	1개	3개	10개

전략 및 과제	① [공급-기술] 3대 핵심 기술 확보, 메모리 공급능력 확대
	<ul style="list-style-type: none"> · 저전력·초경량·초고속 시스템반도체 경쟁력 확보 · NAND 메모리 투자를 통한 공급능력 확대
전략 및 과제	② [수요-시장] 신수요·신시장 진출을 위한 플랫폼 구축
	<ul style="list-style-type: none"> · IoT, 미래차 新수요 창출을 위한 협업프로젝트 추진 · 중국, 인도 등 新시장 진출 지원
전략 및 과제	③ [생태계] 설계·생산 협력체계 및 성장 인프라 구축
	<ul style="list-style-type: none"> · 설계·생산 서비스 체계 구축 · 설계기업 성장의 연결고리(창업→성장→회수) 강화

- 시스템반도체와 관련하여 다음의 세부 추진과제를 설정

- (기술경쟁력 확보) 저전력·초경량·초고속 시스템반도체 경쟁력 확보를 위해 설계, 인력양성, 소재·공정 분야에 2,598억원 투자
- (신수요 창출) IoT 산학연 협업 프로젝트 및 글로벌 자동차 수요기업 초청 네트워킹 시리즈 출범
- (신시장 진출 지원) 중국 수요 연계 기술개발 지원, 인도 시장개척단 파견 등에 47억원 지원
- (설계·생산시스템 구축) 속도감 있는 시장대응을 위한 디자인하우스를 활용한 반도체 생산 서비스 플랫폼 구축
- (설계기업 성장 지원) 설계 공용 실험실, 반도체 펀드 등 창업·투자 인프라 구축

□ 미래창조과학부 지능형반도체 2022전략 ('17.5.)

- 지능정보사회의 新융합 시장 선점과 글로벌 리더형 지능형반도체 기술 확보

- 지능정보사회의 핵심 동인인 초지능 반도체 설계 기술을 확보하고 고안전성과 초저전력 기

술을 융합하여 글로벌 리더형 기술 선점

<표 73> 미래창조과학부 지능형반도체 2022 전략 핵심기술

핵심기술	초지능	고안전성(기능안정성)	초저전력
주요 내용	빅데이터 서버에서 실행하는 인공지능 서비스를 소형의 ICT기기에서 실행하는 반도체	사용자의 안전을 위하여 스스로 고장을 감지하고 해킹을 방지하는 반도체 기술	초지능 지능형반도체를 이동형 디바이스에 적용하기 위한 저전력 기술
구현 서비스	지능적인 이동형 디바이스 (자율주행차, 드론, 휴머노이드) 및 서버 가속기	안전한 동작을 요구하는 자율주행차 및 드론	지능정보 서비스를 구현하는 웨어러블 IoT 디바이스

○ 진입장벽을 낮추고 트랜드 변화에 즉각대응 위한 유연한 생태계 형성

- 고도의 지능형반도체 기술의 오픈플랫폼화

- (오픈 IP) 지능정보 반도체 기술, 지능정보 프로세서 기술, 딥러닝 코어 기술을 국내 중소·중견 팝리스 및 대학에 무료로 공급
- (오픈커뮤니티) 지능형반도체 포럼 등 산·학·연 협력과 표준 대응 강화

○ 지능형반도체로 주력모델을 다변화하도록 지원체계 확충

- (맞춤생산지원) 파운드리와 협업하여 중소·중견 팝리스, 대학의 지능형반도체 IP 활용지원과 대기업 파운드리의 여유 생산시설 활용체계 마련
- (기술이전활성화) 기술료프리제를 통한 지능형반도체 기술 이전 확대, 세제지원을 통한 지능형반도체 상용화 연구 활성화

○ AI+ICBM 융합형 고급 아키텍트(Architect) 양성

- 지능정보사회가 요구하는 AI+ICBM 기술 이해도와 지능형반도체 기술 개발능력을 갖춘 고급 아키텍트 양성
 - (설계전문 인력양성) 미래인재양성 사업인 X-Corps 사업과 지능형반도체 ITRC 신설을 통해 대학에서 반도체 설계 연구를 지원하여 아키텍트 양성
 - (산업융합 인력육성) 팝리스, 글로벌 지능정보 기업, 고급 IP 퇴직인력이 참여하는 인력 교류 프로그램(UST 혁장중심연구 등)을 통한 산업 노하우 전수

□ 부처별 사업 추진 경과

○ 미래창조과학부

- 19대 미래성장동력 분야로 지능형반도체 선정 ('14년)
 - ICT융합산업원천기술개발사업 : 미래성장동력_지능형반도체
- 전략적 미래반도체시장 선점을 위해 중규모 협력 기획연구('14년)
 - 초절전 고성능 미래 반도체 나노소자 기술개발 추진방안 연구
 - 신경세포 모방 나노전자소자의 원천기술 개발사업을 위한 기획 연구

- 상세기획연구('15년) 추진
 - 나노종합발전계획 - 초저전력 미래반도체 개발사업
- '16년 선행기술 투자 및 예비타당성 조사 신청
 - 초저전력 미래반도체 개발사업(예타기획)
 - 나노소재원천기술개발사업 : 초저전력미래반도체사업(50억/년)
- 13대 혁신성장동력 분야로 지능형반도체 선정 ('17년)
- 산업통상자원부
 - 신산업창출 파워반도체 상용화사업 예비타당성 조사 후, '17년 사업 시작
 - '16년 하반기부터 지능형반도체PD 중심으로 '17년 상반기 예비타당성 조사 신청을 위한 보고서 작성

<통합 예타 추진 협의>

- 부처별 '16년 투자현황 및 '17년 투자계획 점검에 따른 투자 효율화 및 반도체 산업 경쟁력 확보를 위한 후속조치 수립 제안
- ('16.11.22) 미래부-산업부 반도체 공동연구방안 협의
 - 미래부 융합기술과 과장, 담당 사무관, 산업부 전자부품과 과장, 담당사무관, 연구재단 나노 소재단장, 산기평 반도체 PD 참석
 - 양부처 사업 소개 및 향후 협력방안 협의
- ('16.12.07) 미래부(1,2차관실)-산업부 차세대 반도체 사업 추진협의
 - 미래부, 산업부 담당 사무관 및 PM, PD, CP
 - 3부처 공동연구방안 소개
- ('16.12.14) 미래부 융합기술과 예타대응팀 향후 대응방안 협의
 - 미래부 담당사무관, PM, 예타대응팀
 - 3부처 공동연구를 위한 예타 대응방안 협의
- ('17.01.03) 미래부(1,2차관실)-산업부 차세대 반도체사업 예타 추진 협의
 - 미래부, 산업부 담당 사무관 및 PM, PD, CP
 - 3부처 예타 추진안 소개 및 향후 대응방안 협의
- ('17.01.12) 미래부(1차관실)- HPC팀
 - 내부논의: 미래반도체 통합예타 기획팀 구성 및 통합안 준비
- ('17.01.20) 미래부(1차관실)- HPC팀
 - 범부처 예타 추진 전략 수립을 위한 전문가 간담회 실시
- ('17.01.24) 미래부(1,2차관실)-산업부 차세대 반도체 사업 예타 추진 협의

- 미래부, 산업부 담당 사무관 및 PM, PD, CP
- 공동 추진안 도출 및 향후 일정 협의
- ('17.03.08 ~) 산·학·연 총 60여명과 기획회의 개최
 - 기획추진단 : 20명
 - 분과위원회 : 45명
 - ('18.01.02/'18.01.24) 과기정통부(1,2차관실)-산업부 기획검토회의
 - ('18.02.12/'18.02.27) 산업부 차세대 지능형반도체 기획설명회 개최
 - ('18.02.12-'18.03) 범부처 기획작업총괄반 회의
- 기술 수요 조사
 - 반도체연구조합을 통한 수요조사
 - 기간 : '17. 4. ~ '17. 6.
 - 총 200건의 수요조사(RFP) 제출
 - 한국산업기술평가원 수요조사('18. 2 ~ '18. 3 : 총 156건)
 -

[참고] 기획 참여기관(R&D) : 총 37개

- 연구기관(4개) : ETRI, KETI, KIST, KRISS
- 기업(13개) : 삼성전자, SK하이닉스, 동부하이텍, 어보브반도체, 티엘아이, 픽셀플러스, 넥스트칩, 넥셀, 자람테크놀로지, 라온텍, UX팩토리, 테스, 넥스턴
- 학계(20개) : 서울대, KAIST, UNIST, GIST, 포항공대, 연세대, 고려대, 성균관대, 서강대, 한양대, 인천대, 성균관대, 경희대, 항공대, 단국대, 광운대, 인하대, 서울과학기술대, 충남대, 세종대

6. 개발기간 및 소요예산

□ 개발기간 : 2019년 ~ 2028년 (10년)

□ 소요예산 : 총 13,219억원 (국비 10,595억원, 민간 2,624억원)

<표 74> 인공지능 반도체 사업 연구비

단위: 억원

구분	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	합계
국고	1,11 3	1,15 8	1,19 8	1,17 3	1,15 3	1,05 3	958	943	923	923	10,595
민간	148	163	198	213	290	295	290	339	391	298	2,624
계	1,26 1	1,32 1	1,39 6	1,38 6	1,44 3	1,34 8	1,24 8	1,28 2	1,31 4	1,22 1	13,219

7. 타당성 분석 및 기대효과

7.1 정책적 타당성

가. 사업 추진의 시급성

- (인공지능 반도체 시장의 급성장 전망) 4차 산업혁명 시대에 본격적으로 진입함에 따라 인공지능 반도체 시장의 폭발적 성장이 전망되며 시급한 대비 필요
 - 인공지능 반도체 시장은 2016년 23억달러에서 2025년 1,283억달러로 연평균 56.6%로 고성장 전망 (출처: Tractica 2016)
 - 인공지능 서비스를 위한 단말에 적용하는 IoT용 반도체 시장은 2014년 91억불 규모에서 2020년 352억불로 연평균 24.2%로 고성장 전망
- (인공지능 반도체 기술 확보 경쟁중) 주요 글로벌 기업들은 자체 기술개발과 M&A를 통해 인공지능 반도체 핵심기술을 확보하기 위해 치열하게 경쟁하고 있는 반면 우리는 아직 연구 시작 단계임
 - 인텔, 퀄컴 등 글로벌 반도체 기업들은 자사 제품에 인공지능 기능을 포함하기 위해 집중적인 자체 연구개발을 추진하고 있으며 병행하여 관련 핵심기술을 가지고 있는 기업들을 인수하고 있음
 - 인텔은 2016년 인공지능 전문기업 Chaperon, Movidus, Nervana 등을 인수하였고, 향후 출시되는 Xeon™ 및 Xeon Phi™ 프로세서의 딥러닝 성능을 강화할 예정
 - 퀄컴은 2016년 인간처럼 학습하고, 주변 환경을 인지할 수 있는 신경망 처리장치 (NPU, Neural Processing Unit) Zeroth™를 개발하여 자사의 모바일 AP인 스냅드래곤 820에 내장
 - 구글, 소프트뱅크 등 반도체를 전문으로 하지 않은 기업들도 인공지능 반도체 기술의 중요성을 자각하고 자체적으로 기술을 개발하거나 관련 기업들을 인수하는 데 집중적인 노력을 기울이고 있음
 - 구글은 인공지능 등을 필요로 하는 특수 서비스의 필요성이 증대되면서 2015년부터 프로세서 반도체를 개발하기 시작하였고, 딥 러닝을 위한 TPU (Tensor Processing Unit)라는 독자적 하드웨어를 발표하였음
 - 소프트뱅크는 2016년 320억달러(약 36조원)를 들여 영국 반도체 설계회사 ARM을 인수해 화제가 됐는데, 이는 손정의 소프트뱅크 사장이 주장하는 AI, IoT 기반의 미래 ‘Singularity (특이점)’ 시대를 대비한 것으로서 인수된 ARM에서는 이듬해 인공지능 분야에서 기존 모바일 칩보다 성능을 50배가량 끌어올린 ‘다이내믹’ 기술을 공개하였음
 - 미국 최대 전자상거래 업체인 아마존도 2015년 인수한 이스라엘 반도체 개발 업체인 안나푸르나의 기술 인력을 내세워 자사의 AI 스피커인 에코와 클라우드(가상 저장 공간) 서버용 AI

반도체를 개발하였으며, 2018년에는 별도의 사내 인공지능(AI) 반도체 개발 조직을 구성하고 인공지능 반도체 시장에 뛰어들었음

나. 정부지원의 필요성

- (고위험 고수익 사업) 인공지능 반도체는 성공할 경우 수익성은 매우 크지만 초기 비용투자가 많기 때문에 민간기업들이 주도하기에는 리스크가 큰 사업임
 - 인공지능 반도체는 현재의 빅데이터 기반의 시스템뿐만 아니라 자율주행자동차, 로봇, 가전, 헬쓰케어 등 우리 사회와 생활 전반에 적용되는 반도체 기술로서 성공적인 기술개발을 통하여 큰 수익을 꾀할 수 있는 사업임
 - 하지만 인공지능 반도체는 새로운 소자/공정, 반도체 셀 및 IP, 임베디드SW 등을 새롭게 개발해야 하는, 반도체산업 생태계 전체를 아우르는 사업으로서 대규모 투자가 필요하며, 새로운 기술 적용에 따른 위험성도 크므로 정책적인 판단에 의한 정부의 투자가 필요함
- (선제적 R&D투자가 필요) 현재 전세계적으로 지능정보 처리를 위한 인공지능 반도체 기술은 아직은 도입수준이므로, 정부주도의 선제적이고 공격적인 연구개발 투자를 통해 핵심적 선도기술을 확보할 수 있는 중요한 시기임
 - 인공지능 반도체 기술의 연구개발 투자 방향은 아래와 같이 분류할 수 있음
 - 상용화 R&D형 (성숙도 高, 격차 低)
 - 원천기술 확보형 (성숙도 低, 격차 低)
 - 장기기초 R&D형 (성숙도 低, 격차 高)
 - 특히 뉴로모픽칩과 같은 인공지능 반도체기술은 아직 성숙도가 낮은 기술이므로 “장기기초 R&D형”, “원천기술확보형” 기술에 해당되며 따라서 정부주도의 꾸준한 연구개발 투자가 필요함

< 지능정보기술별 기술성숙도와 기술격차 분석 (IITP, '15.9월) >	
	시사점
	(I) 상용화R&D형 기술群 초기제품이 출하되고 기술격차는 적어 기술 및 제품 R&D 병행 개발을 통한 시장선점이 요구되는 기술군
	(II) 원천기술확보형 기술群 기술 초기단계이며, 격차도 크지 않아 선도적 R&D를 통한 기술 확보가 요구되는 기술군
(III) 장기기초R&D형 기술群 기술 초기단계이며 격차도 매우 높게 나타나 장기적이고 지속적인 R&D를 통해 기초기술 확보가 요구되는 기술군	
※ 기술완성은 지능형 SW의 경우 사람의 지능수준을 의미	

- (국내 반도체 산업구조 다각화) 고성능 고용량 메모리반도체 산업에 특화된 기술을 가진 우리나라가 상대적으로 열세에 있는 프로세서 및 장비/소재 기술을 확보하여 반도체 산업구조를 다각화하고 기술경쟁력을 강화할 수 있음
 - 인공지능 반도체 기술에서 중요한 이슈는 프로세서와 메모리를 융합하는 것으로 우리의 선진적인 메모리 기술이 중요한 기술적 장점이 될 수 있음
 - 한편으로 새로운 프로세서 아키텍처와 소자기술, 다양한 응용분야의 SoC 설계기술, 새로운 장비/소재기술 등이 등장하고 있고 아직은 확고한 기술 리더십을 가진 기업이 없음
 - 우리의 발전된 메모리 기술에 새로운 인공지능 반도체 기술을 결합하면 우리가 취약한 분야인 시스템반도체와 장비/소재산업을 강화하여 우리나라 반도체 산업구조를 근본적으로 개선할 수 있음
- (중소 벤처기업 육성 및 고용창출) 인공지능 반도체 소자/설계, 장비/소재 분야에서는 새로운 혁신기술이 등장하고 있어서 기술기반 벤처기업 창업이 활성화될 수 있음
 - 반도체분야의 활발한 창업은 메모리반도체 대기업 중심의 우리 반도체산업 생태계에 새로운 활력을 불어넣을 것이며, 자동차, 가전, 모바일 등 국내 세트기업의 경쟁력 강화에도 많은 기여를 할 수 있음
 - 특히 팹리스, 반도체장비/소재/부품 분야는 대규모 자동화 설비투자에 의지하는 메모리반도체, 파운드리와 달리 기술을 가진 전문인력이 핵심 경쟁력이기 때문에 매출 신장이 곧 고용창출로 연결되는 특성을 가지고 있어 이 분야 중소벤처기업의 성장은 곧 질 좋은 일자리의 대량 창출을 의미
- (중국의 반도체 산업육성 견제) 중국 정부는 기술력을 갖춘 스타트업들을 대상으로 국가차원에서 인공지능 반도체 기술개발을 적극 지원하고 있음
 - 이러한 중국정부의 지원에 힘입어 중국의 Cambricon Technology는 창업 1년 만인 2017년 11월 음성·이미지 인식에 쓰이는 AI 반도체 3종을 출시
 - Horizon Robotics, Delphi도 인간의 뇌 구조를 본뜬 AI 반도체를 개발 중인으며 이들 기업의 기업가치는 각각 10억달러(약 1조800억원) 이상으로 평가받고 있음
- (일본의 인공지능 반도체 지원) 일본 정부는 올해부터 인공지능 반도체 개발을 위해 소프트뱅크와 소니, 후지쯔 등과 공동으로 신생기업 및 젊은 연구자 지원
 - 일본 정부는 올해 안에 인공지능 반도체 관련 신기술을 겨루는 경연대회를 개최, 우수 기업과 인재에 개발 자금 등을 제공할 계획
 - 구체적으로는 경제산업성이 개발비를 지원하거나 참가 기업이 출자하는 방법 등으로 선진기술의 제품화를 가속할 방침
 - 일본정부는 인공지능 반도체가 자동차 운전 등 차세대 기술 개발의 중요한 요소라는 점에 주목해 관민이 함께 세계 표준이 되는 인공지능 반도체 개발을 목표로 하고 있음

다. 상위계획과의 부합성

- ('10.9 시스템반도체 및 장비산업 육성전략)에서는 인공지능 반도체 기술의 기반이 될 수 있는 시스템반도체 및 장비 관련 핵심기술 개발과 중소·중견 기업의 육성을 추진
 - 민·관 합동으로 1.7조원을 투입하여 핵심기술을 전략적으로 개발, 시스템반도체 국산화율 50% 및 반도체장비의 국산화율 35% 달성
 - 시스템반도체 산업의 핵심분야인 팹리스의 대형화와 수요창출 지원 등을 통해 세계 최고수준의 팹리스 및 장비 중견기업 30개를 육성
- ('13.7 미래창조과학부 제3차 과학기술기본계획)에서는 인공지능 반도체 관련 핵심기술을 국가중점과학기술로 선정
 - 30대 국가중점과학기술에는 지능형 인터랙티브 기술, 초고집적 반도체 공정 및 장비, 질병진단 바이오칩 기술이 포함되어 있음
 - 국가전략기술에는 신개념 컴퓨팅 기술(양자, 뉴로), 지식정보보안기술, 초고속 반도체 디바이스 기술, 친환경 초절전형 반도체 회로가 포함되어 있음



- ('15.3 19대 미래성장동력 추진 전략)에서는 인공지능 반도체 관련 기술 개발과 생태계 조성을 추진과제로 제시
 - 지능형반도체 개발 기반과 차세대 제품개발 플랫폼 구축을 통해 미래시장 주도형 산업발전 기반 구축
 - OS, 융합IP 등 핵심요소기술 개발 및 스마트융합기기용(웨어러블, 스마트자동차 등) 지능형반도체 플랫폼 개발

- ('16.5 미래창조과학부 제4기 나노기술종합발전계획)에서는 인공지능 반도체 소자 기술을 「4대 나노 챌린지 프로젝트」의 하나로 제시
 - 소모전력 1/1000 이하, 저장능력 및 정보처리 속도 100배 이상 차세대 나노정보처리소자 개발
- ('16.12 관계부처 합동 제4차 산업혁명에 대응한 지능정보사회 중장기 종합대책)은 인간 중심의 지능정보사회를 구현하기 위해 인공지능 반도체 관련 R&D투자의 활성화를 통한 기술력 확보를 추진
 - 초고성능 컴퓨팅 핵심기술 및 지능형반도체 기술의 연구개발 및 고도화를 지속 추진하고 차세대 기술인 양자컴퓨팅, 뉴로모픽칩에 대한 선도 연구 추진
 - 사물 스스로 데이터를 수집·학습하고 동작하는 지능형 IoT, 고속 클라우드 컴퓨팅 기술, 데이터의 노이즈 제거·정제 기술 등 인공지능기술과 밀접하게 연관되는 기술 중심으로 개발 및 고도화
- ('17.3 산업통상자원부 시스템반도체산업 경쟁력 강화방안)에서는 인공지능 반도체 관련 기술의 개발과 생태계 조성을 위한 정책과제를 제시
 - 저전력·초경량·초고속 시스템반도체 경쟁력 확보를 위해 설계, 인력양성, 소재·공정 분야에 2,598억원 투자
- ('17.5 미래창조과학부 지능형반도체 2022전략)에서는 인공지능 반도체 기술의 선점과 관련 업계 및 학계의 지원을 정책과제로 제시
 - 지능정보 반도체 기술, 지능정보 프로세서 기술, 딥러닝 코어 기술 등의 핵심IP를 개발하여 국내 중소·중견 팝리스 및 대학에 무료로 공급

다. 사업 추진의지 및 위험요인

사업 추진의지

- 그 동안 정부는 시스템반도체와 반도체장비/소재산업 육성을 위해 다양한 정책을 마련하고 R&D 투자와 더불어 생태계 조성을 위한 노력을 기울여왔음
 - 4차 산업혁명시대를 맞이하여 인공지능을 실현하기 위해서는 인공지능 반도체 기술개발이 시급함을 인식하고 관련 정책을 발표한 바 있음
 - 나아가 본격적인 인공지능 반도체산업의 육성을 위해서는 대규모 국책사업이 필요하다는 데 의견을 모으고 범부처 차원의 힘을 모아 R&D사업을 추진하기에 이르렀음
- 반도체산업 산학연에서는 4차 산업혁명을 우리 반도체업계를 위한 새로운 기회로 인식하고 미래 핵심기술을 준비하고 있음
 - 업계에서는 대기업과 관련 중소기업을 중심으로 새로운 방식의 컴퓨팅 아키텍처와 소자를 연구하기 시작했으며, 관련 벤처기업이 창업되고 있음

- 학교와 연구소에서는 뉴로모픽 소자, 병렬컴퓨팅, 프로세서 인 메모리 등 인공지능 반도체 기술을 집중적으로 연구하고 있음

사업의 위험요인

□ 기존 시스템반도체 시장의 높은 진입 장벽

- 대부분의 시스템반도체는 수입에 의존하고 있으며, 글로벌기업의 독점구조가 심각한 상태여서 시장 진입이 어려울 수 있음
- (위험회피 전략) 선진 시스템반도체기업과 정면 승부를 하기보다는 초병렬 프로세싱, 프로세서 메모리 융합반도체, 엣지컴퓨팅 등 새롭게 형성되는 시장에 집중하여 글로벌시장에 진입할 수 있는 원천기술을 확보하고, 장비/소재분야는 수요 대기업과 협력을 통해, 응용분야에 최적화된 솔루션을 개발

□ 인공지능 반도체 기술은 시작단계로 아직 충분히 검증되지 않은 상태

- 시장상황이 크게 변화하여 어렵게 개발한 기술이 시장에 적용하기 힘들어지는, 시장과 기술의 미스매치가 발생할 수도 있고, 기술개발 과정에서 새로운 유망기술이 등장할 수도 있음
- (위험회피 전략) 시장 및 기술 동향을 면밀히 관찰, 분석하여 주요한 변화가 발생할 경우 기술개발 목표와 계획을 변경하는 Moving Target 방식 적용
- 사업기간이 긴 원천기술 개발과제의 경우 과제의 중간 단계에서 과제 목표와 달성계획에 대한 재검토가 필요

□ 중국 반도체기업들의 성장

- 정부의 공격적인 지원에 기반한 중국 반도체기업들의 인공지능 반도체 시장진입이 가시화될 경우 시장에서 가격경쟁이 심화될 우려
- (위험회피 전략) 우리가 차별성을 확보하고 있는 메모리반도체 기술을 적극적으로 활용하고, 부가가치가 높은 첨단 인공지능 반도체 개발에 집중함으로써 새로운 블루오션을 창출
- 반도체 장비 및 소재 분야는 장비 완성품뿐만 아니라 고부가가치 핵심 부품핵심소재 기술에 집중하여 장비 및 소재의 차별성을 확보하는 방향으로 사업을 추진

7.2 기술적 타당성

가. 기술개발 계획의 적절성

사업목표 설정의 적절성

- 향후 인공지능 반도체산업을 좌우할 수 있는 핵심기술을 개발하고 첨단기술을 갖춘 반도체기업을 육성하기 위한 구체적인 목표를 설정하였음
 - 향후 세계 인공지능 반도체산업을 선도할 수 있는 핵심 기술 100개 개발
 - 반도체업계가 전략적으로 활용할 수 있는 S등급 특허 100개 확보
- 관련 국내외 시장 및 기술 동향, 선진국과 우리의 기술수준 격차 등을 면밀히 분석하여 기술개발 목표 및 계획을 수립하였음
 - 계획대로 사업이 수행되면 우리는 핵심 선도기술에 기반하여 글로벌 인공지능 반도체 시장에서 이니셔티브를 확보하고 나아가서는 전체 반도체산업에서 리더십을 확보하게 됨

사업 추진체계의 적절성

- 과제의 성격, 추진주체에 따라 추진체계, 연구목표, 기간, 연구비를 달리 적용함으로써 획일적인 사업방식이 갖는 비효율성을 극복하고 성과를 극대화할 수 있음
 - 학교는 새로운 아이디어를 탐색하는 역할을 하고 연구소는 아이디어를 상용화 전단계까지 개발하는 역할, 기업은 핵심 선도기술의 상용화를 추진
 - 학교가 주관하는 과제는 연구범위만 정하여 소규모, 장기과제로 지원하고, 세계적인 연구추세와 같이할 수 있도록 국제적인 연구협력을 장려
 - 연구소에서 주관하는 과제는 목표를 명확하게 정하여 대규모, 중기과제로 추진하되, 과제의 성과를 상용화할 의지가 있는 기업의 참여가 필수
 - 상용화과제는 중규모, 단기과제로 추진하되, 중소기업이 연구개발을 주관하고 수요 대기업이 참여하여 수요제기와 기술평가를 담당하는 방식으로 컨소시엄 구성
- 4차 산업혁명을 주도하기 위한 인공지능 반도체 핵심기술 개발사업을 성공으로 이끌어 새로운 지능형반도체를 성장동력으로 만들기 위해서는 R&D 기획·관리뿐만 아니라 생태계 조성까지를 담당할 수 있어야 함
 - (전략적 연구개발 과제기획) 국내외 주요기업의 제품 및 기술개발동향에 대한 사전조사를 통해 미래시장 대응기술 적기 개발 추진
 - (연구개발과제 효율적 관리) 분야별 전문가로 구성된 기술 자문위원회 운영을 통한 과제별 기술개발 현황 파악, 기술개발 애로사항 자문

- (인공지능 반도체 산업생태계 조성) 인공지능 반도체 개발을 위한 수요기업/파운드리와 협력 강화, 장비/소재기업과 소자 대기업 협력 활성화, 인력양성 및 중소기업 취업 지원
 - (정부 정책 수립 지원) 정부의 인공지능 반도체 산업육성정책 수립 지원 및 공공분야 수요연계를 통한 시범서비스 창출
 - (산학연 협력 활성화) 대학·연구소에서 개발한 원천기술 성과물의 기술거래 중개를 통해 성과 확산 지원
- 기존의 개별부처 중심의 전담조직이나 주관기관을 맡은 산학연 주체들은 별도의 역할이 존재하며 이 사업을 책임감 있게 추진해나갈 사업단이 있을 때 성과 창출이 가능함
- 총괄운영위원회를 구성하여 사업단 사업계획, 신규 R&D과제의 선정 등 중요한 사항을 심의, 결정하고 구체적인 사항은 사업단이 책임을 지고 수행

나. 기술개발 성공가능성

- (인공지능 반도체 기술은 개발 태동기) 딥러닝 등을 구동하기 위한 인공지능 반도체 기술은 세계적으로 다수의 업체가 개발을 시작한 상태이고 아직 절대 강자가 없으므로 선제적이고 적극적인 연구개발 투자를 통한 시장선점 가능
- 기존 시스템반도체 시장은 해외 선두업체에서 선점하고 있으나 새로운 개념의 인공지능 반도체 분야는 다양한 기업들이 각축을 벌이고 있으며, 아직은 검증된 기술, 기업이 시장을 주도하는 상태는 아님
 - 우리나라 반도체업계는 다양한 기술과 경험이 있는 전문인력을 가지고 있으며 이 시장에 진입할 만한 잠재력을 가지고 있음
- (국내의 우수한 반도체 기술) 우리나라는 인공지능 반도체 기술에서 중요한 축인 메모리, 영상처리 등의 기술에서 세계 최고 수준이며, 이를 잘 활용하면 전체 인공지능 반도체 분야에서도 독보적 입지를 구축할 수 있음
- 삼성전자, SK Hynix, 동부하이텍 등의 제조능력은 세계적인 수준이므로 팹리스 등에서 새로운 기술과 아이디어를 양산하기 위한 조건이 마련되어 있다고 할 수 있음
 - 삼성전자, SK Hynix는 세계 최고 수준의 반도체기업으로 장비/소재의 국산화에 대한 적극적인 의지를 가지고 있어서, 새로운 장비/소재의 개발에 필요한 기반이 마련되어 있음
- (글로벌 경쟁력을 가지고 있는 세트기업의 존재) 국내에는 삼성전자, LG전자, 현대자동차 등 휴대폰, 가전, 자동차 등에서 세계적인 경쟁력을 갖춘 세트업체가 존재하며, 이들과 협력을 강화함으로써 인공지능 반도체산업의 도약을 이룰 수 있음
- 인공지능 반도체 기술은 모든 세트기업들이 절실하게 요구하는 핵심 기술이므로, 우리가 선도 기술을 확보한다면 세트를 차별화하는 핵심 경쟁력이 될 수 있음
 - 국내 세트기업의 수요를 기반으로 선도기술을 개발하여 상용화에 성공한다면 검증된 기술로서 글로벌 시장에 쉽게 진출할 수 있음

다. 기존 사업과의 중복성

□ ICT융합산업원천기술개발사업

- (사업내용) ICT 기반의 산업 융합 핵심·원천기술 개발에 대한 집중 지원으로 미래 ICT융합 신산업을 육성하여 우리 경제의 성장 잠재력 확충

※ 협의의 지능형반도체는 지능정보IC(전자제품의 연산 및 제어 기능을 수행하는 집적회로) 및 로직IC(다양한 제품에서 특정기능을 수행하는 집적회로)로 정의

※ '16년 예산: 총 668억원 중 반도체 분야는 107억원

- (차별성) 한정된 예산으로 일부 시스템반도체 개발에 투자, 인공지능 반도체 핵심기술 전반에 종합적으로 투자하기는 어려움

□ 전자정보디바이스 R&D사업

- (사업내용) 반도체, 디스플레이, LED 산업 경쟁력 제고를 위해 원천기술개발을 지원하는 사업

※ '16년 예산 : 총 549억원 중 반도체 분야는 363억원

- (차별성) 한정된 예산으로 시스템반도체 전분야를 소규모로 지원하고 있어서 인공지능 반도체 핵심기술에 집중 투자가 곤란함

<표 75> 기존 사업과의 비교

구분	동 사업	ICT융합산업원천기술개발사업 (미래부)	전자장보 디바이스 산업융합 원천사업(산업부)
총사업비	13,219억원	5,711.21억원('17년까지)	10,151억원
사업기간	'18 ~ '27	'00 ~ '19	'09 ~ '18
사업목적	인공지능 실현을 위한 반도체 핵심기술 개발	ICT 기반의 산업 융합 핵심·원천기술 개발에 대한 집중 지원으로 미래 ICT융합 신산업을 육성	목표지향적 핵심기술 확보 및 신시장 선점기술 개발
세부내용	인공지능 반도체 소자 및 프로세서, 공정장비 기술 개발	(지능형 반도체)지능정보IC 및 로직IC, 지능형SW 개발	반도체/디스플레이/LED 산업의 핵심 원천기술 개발

7.3 경제적 타당성

가. 비용편익 분석개요

□ 경제성 분석기법

- 일반적으로 자본예산(capital budgeting)에서 이용되는 경제성 분석기법으로는 순현재가치법 (net present value : NPV), 내부수익률법(internal rat of return : IRR), 회수기간법 (payback period : PBP), 평균이익률법(average rate of return : ARR) 등이 있음
 - 이러한 방법들 중에서는 화폐의 시간적 가치를 반영한 현금흐름할인법(discounted cash flow : DCF)에 해당하는 순현재가치법과 내부수익률법이 가장 합리적인 의사결정 선택의 수단으로 활용
 - 순현재가치법은 미래현금유입의 현재가치에서 투자비용을 차감한 값을 순현재가치로 정의하여 이 값이 0보다 크면 경제성이 있다고 판단하며 내부수익률법은 투자안의 내부수익률을 산출해서 이 값이 자본비용보다 크면 경제성이 있다고 판단하는 방법
 - 단일사업의 경제성 평가에서는 순현재가치법의 평가결과와 내부수익률법의 평가결과가 일치하지만 두 방법 중에서도 재투자수익률에 대한 가정이 합리적인 순현재가치법이 더 우수한 경제성 분석기법으로 평가
- 기획재정부 예비타당성조사 운용지침에서 경제성 분석과정으로 사용하는 비용편익분석기법 (benefit cost analysis)도 순현재가치법의 결과를 이용하는 것
 - ※ 경제적 타당성 분석의 기본사항으로 할인율은 5.5%(KDI, 2009)를 일반적으로 적용하고 있으며 경제적 활용연수는 과제별 기술수명을 기준으로 정함
 - 구체적으로 미래 현금유입의 현재가치를 투자비용의 현재가치로 나눈 값을 비용편익지수 (benefit-cost ratio)로 산출하고 이 지수값이 1보다 크면 경제성이 있다고 판단
 - ※ 본 사업의 경제성 분석에서 비용과 편익의 현재가치를 산출하는 기준시점은 분석이 수행되는 2017년 초(=2016년 말)임
 - 여기서 이용되는 비용편익지수(benefit-cost ratio)는 순현재가치법을 적용해서 산출한 결과에서 현금유입의 현재가치를 현금유출의 현재가치로 나누어 구한 수익성지수(profitability index : PI)와 같은 개념

□ 순현재가치법

- 현금흐름 할인모형(Discounted Cash Flow model)의 일종
- 사업의 전 기간에 걸쳐 순현재가치를 계산

$$NPV = \sum_{t=1}^T \frac{E(NB_t)}{(1+r)^t} - I_0$$

- NB_t : 기간 t 의 순편익의 흐름(순편익=비용-편익)
- E : 기대연산자(expectation operator: 미래 순편익의 불확실성이 예상될 경우 사용)
- r : 할인율
- T : 사업의 기대수명
- I_0 : 초기투자비용

- 사업성 판단

- 고려하는 사업대상이 단수인 경우 NPV가 0보다 클 때 경제적 타당성이 확보된 것으로 간주
- 고려하는 사업대상이 복수인 경우 NPV가 0보다 큰 사업들 중 가장 큰 NPV값을 가진 사업을 선택

- 장점

- 시행예정인 사업의 전략적 분석에 유용
- 재무지표와 연결한 분석을 통해 보다 구체적이고 현실적인 방향제시 가능
- 현재 발생되는 현금흐름에 입각하여 평가하므로 회계처리방식에 따른 결과 변화로 인한 오류를 최소화 가능

- 단점

- 할인율, 비용 및 편익의 불확실성, 사업시행여부에 따른 경영재량권의 가치 차이 등에서 한계가 존재하므로 제한된 범위 내 해석이 필요

□ 내부수익률법

○ 내부수익률(IRR: Internal Rate of Return)의 개념

- 각 기간별 편익의 현재가치 합계와 비용의 현재가치 합계의 최종합계가 0을 나타내도록 하는 이자율
- 투자안 자체에 내포된 수익률이 자본 조달에 소요되는 금융비용보다 조금이라도 크면 투자하겠다는 의미

$$\sum_{t=0}^T \frac{B_t}{(1+IRR)^t} = \sum_{t=0}^T \frac{C_t}{(1+IRR)^t}$$

○ 사업성 판단

- 내부수익률이 자본의 기회비용보다 큰 값을 보일 경우 해당 사업의 경제적 타당성이 확보되는 것으로 간주
- 고려하는 사업이 다수일 경우 내부수익률이 가장 큰 사업을 시행
- 수익률이라는 점에서 개념의 접근성은 높으나, 경우에 따라 2개 이상의 값이 구해지거나 답이 없는 경우가 존재

□ BC 비율법

○ 비용 대비 편익의 비율을 계산

- 각 기간별 편익의 현재가치 총합을 각 기간별 비용의 현재가치 총합으로 나눈 값
- BC ratio가 커질수록 사업의 비용 한 단위당 편익의 발생이 커진다는 의미이므로 경제적 효과성이 높다고 볼 수 있음

$$B/Cratio = \sum_{t=0}^T \frac{B_t}{(1+r)^t} / \sum_{t=0}^T \frac{C_t}{(1+r)^t}$$

○ 사업성 판단

- 비용 대비 편익, 즉 비용효율성을 측정하기에 용이한 지표로, 경제성 평가 과정에서 많이 이용되고 있음
 - BC ratio가 1보다 크면 사업의 경제성이 확보되었다고 간주
 - 각기 다른 사업들 간 비교시 BC ratio의 크기로 대조
 - 편익의 절대적 크기를 비교해야 할 경우 효율적인 기준은 아님(사업 규모가 차이가 날 경우 NPV와 BC ratio의 순위가 바뀔 수 있음)

□ 본 B/C 분석의 전제조건

- 본 분석의 신뢰성을 확보하기 위해서 KISTEP에서 발간한 “연구개발부문 사업의 예비타당성 조사 표준지침 연구(제2-1판)”의 지침 및 권고사항을 따름
- 가장 기본적인 경제성 분석의 내용으로 유형(Tangible) 편익을 가능한 정확하게 추정하고, 동시에 개발 시스템과 부수적 항목들에 대한 비용을 추정한 후, 편익비용분석(cost-benefit analysis)을 수행함
 - 또한, 사업에 대한 다양한 경제성 검토 차원에서 순현재가치분석(Net present value analysis)을 적용함
- 경제적 타당성 분석의 기본사항으로 할인율은 5.5%(KDI, 2009)를 일반적으로 적용하고 있으며 경제적 활용연수는 과제별 기술수명을 기준으로 정함

□ 경제적 타당성 부분의 주요 검토 항목

- 경제적 타당성 분석의 기본 항목으로는 비용과 시장, 수혜자 그룹, 편익으로 분류할 수 있음
 - 비용은 R&D 비용과 외부 기술 및 시스템 도입 비용, 시설구축비용 등으로 분류할 수 있으며 이외 사업의 특성에 따라 과제별로 투입되는 비용 항목을 결정함
 - 수혜자 그룹은 연구개발 결과물을 활용할 지능형반도체 관련 제조업체(실질적으로 혜택을 받게 되는 수혜자 그룹)로 설정함
 - 편익은 본 사업의 수행을 통해서 시장에서 추가적으로 창출되는 가치를 추정함
 - 분석된 비용과 편익을 현재가치화 시켜 B/C Ratio를 분석하고, 분석 값이 1이상일 경우 사업성이 있는 것으로 판단함

□ 편익 산출 방안

- 미래 시장규모 및 점유율 데이터 확보가 용이한 경우 시장규모와 점유율을 기준으로 R&D 기여율과 기술개발 성공률, 부가가치율, 사업기여율을 고려하여 산정함

□ 산출 공식 및 분석 지표 요약

지능형반도체 세계시장규모×시장점유율×R&D 사업화 성공률×부가가치율×R&D 기여율×사업기여율
(할인율 적용)

편익 발생기간	<ul style="list-style-type: none">편익발생기간은 통상적으로 특히 분석 중 기술혁신주기(TCT: Technical Cycle Time)를 토대로 적용함<ul style="list-style-type: none">'12년에 수행한 기존 예비타당성조사의 특허분석 결과 TCT는 7년으로 분석과제별로 다르게 적용할 수도 있으나, 기존 예비타당성조사 결과를 토대로편익발생기간: 7년
시장규모	<ul style="list-style-type: none">세계시장 규모를 산정하는 시장조사기관의 시장 DATA 활용<ul style="list-style-type: none">세부추진과제별로 구분하여 각각의 시장규모를 적용
시장 점유율	<ul style="list-style-type: none">편익의 계산에 있어서 유리한 Log 형태의 성장이나 불리한 exp 형태의 성장보다는 중립적인 linear 성장 방식을 채택하여 적용
할인율	<ul style="list-style-type: none">5.5%(KDI) 적용
R&D 사업화 성공률	<ul style="list-style-type: none">연구개발부문 예비타당성조사 표준지침에 의하면 공신력 있는 자료를 기획주체에서 제시할 경우 해당 값을 적용하도록 정하고 있음본 사업에서는 산업기술개발사업 성과활용보고서(KEIT) 전기전자부문의 사업화성공률의 내용을 수용하고 기존 예비타당성조사에서도 적용되었던 42.7% 적용
R&D 기여율	<ul style="list-style-type: none">연구개발부문 예비타당성조사 표준지침 수정판(제2판)의 내용에 따라 35.4% 적용
부가 가치율	<ul style="list-style-type: none">37.2% 적용(2013년 산업연관 연장표 반영)
사업 기여율	<ul style="list-style-type: none">(해당사업 투자규모)/(해당사업투자규모+정부 유사과제규모+민간 유사과제규모)기존 예비타당성조사에서 도출된 규모(국내 유사 R&D투자규모)를 토대로 분석본 분석에서는 유관 R&D투자 규모에 대해 파악하여 산출한 값인 16.5% 적용

편익 산출 공식 및 지표 요약

□ B/C 분석 Process

- 분석대상 과제는 지능형반도체 분야별로 총 3개 사업이 선정되었으며 과제별로 총금액과 연차별 투입규모를 검토함
- 편익 발생시점과 종료시점을 결정하고, 과제별로 세계 시장규모 및 성장률 산출
- 최종적으로 B/C를 도출하기 위한 분석 지표(할인율, R&D 기여율, R&D 사업화 성공율, 부가 가치율, 시장점유율, 사업기여율)의 요율을 결정한 후 B/C Ratio를 도출함

□ Cost 산정

- 개별 분야에서 제시하고 있는 연도별 R&D 투자 금액의 적정성을 검토하고 할인율 5.5%로 현재가치화 시켜 최종 Cost를 산정함
 - 정부 및 민간 부담금(현금+현물) 합산, '16년을 기준으로 현재가치화 함

□ Benefit 산정 및 B/C ratio 도출, Cost 산정, 회임기간 설정

- 추정된 연도별 시장규모에 할인율 5.5%를 적용하여 '16년 기준으로 현재 가치화시키고, NPV를 산정한 후 최종적으로 B/C Ratio를 도출함
 - B/C Ratio가 “1”보다 큰 값을 가지는 경우 투입대비 수익을 창출할 수 있는 과제로 볼 수 있음
- ※ 예를 들어 B/C Ratio가 “10”일 경우 투입대비 10배 이상의 수익을 창출하는 것임
- B/C Ratio가 클수록 경제적 파급효과가 높은 과제라 할 수 있으며 B/C Ratio가 충분히 확보된 과제를 발굴하여 지원함으로써 정부 사업의 ROI 향상에 기여할 수 있음
- 연구개발부문 예비타당성조사 표준지침 수정판(제2-1판)에서 회임기간을 고려할 것을 권고함에 따라 본 분석에서는 1년을 설정함
- ※ 반도체분야는 급격한 기술적 변화와 상용화를 위한 전략도 빠르게 변하는 특성을 가짐

나. 편의 산정 및 근거

< 지능형반도체 세계시장 규모 >

□ 세부추진과제별로 향후 지능형반도체의 세계시장규모 및 전망은 아래 표와 같음

<표 76> 지능형반도체 세계시장규모

단위: 백만불

구분	2018	2019	2020	2021
Cognitive Computing	Cloud Services	4,641	8,119	13,563
	CPU	3,624	6,011	9,650
	GPU Chips	776	1,347	2,267
	Network Products	1,512	2,562	4,179
	Storage Devices	3,389	5,714	9,294
Intelligent Edge	Processor	12,968	16,206	20,045
	Communications	1,877	2,066	2,409
반도체장비/재료	식각/CMP/세정 공정	13,707	12,841	13,012
	증착 공정	9,450	8,530	8,840
	MI 공정	5,716	5,119	5,325
	웨이퍼 패키징 공정	1,729	1,620	1,592
	칩공정 패키징/테스트	5,618	5,060	5,178
	전공정 소재	20,341	21,065	21,866
	후공정 소재	19,946	20,151	20,332

*Intelligent Edge 부분은 2020년까지 시장규모가 예측되어 제시됨

- Cognitive Computing
 - AI-Driven Hardware Revenue by Technology Category, World Markets(2016-2025) 자료 활용
- Intelligent Edge
 - Market&Markets(2017), Gartner(2017) 자료 활용
- 반도체장비/재료
 - Gartner(2014, 2017), SEMI's 1Q2017 MMDS Report 자료 활용

- 세계시장 점유율

- 연도별 세계시장 점유율을 산정하는 방식에 있어서 과제별 종료 후 1년 후(회임기간)부터 4%의 점유율로 시작하여 매년 1%씩 증가한다는 가정으로, 7년까지는 10%를 점유
- 본 사업에서 추진하는 세부추진과제들의 기술개발 수준이 세계 수준 이상을 목표로 하고 있으므로 이를 감안하여 세계시장 점유율을 10% 달성하는 것으로 추정
- 반도체 장비의 경우, 본 사업의 결과물을 고려한 전문가 논의 결과를 반영하여 20%에서 30% 수준까지 성장하는 것으로 산정

※ 독일과 스위스의 파워반도체 분야 시장점유율은 8~9% 수준임

<표 77> 세부추진과제별 시장점유율

단위: %

세부추진과제별 점유율	2030	2031	2032	2033	2034	2035	2036
Cognitive Computing	4	5	6	7	8	9	10
Intelligent Edge	4	5	6	7	8	9	10
반도체장비/재료	20	22	24	26	28	30	32

<R&D 사업화성공률, 부가가치율, R&D 기여율, 사업기여율>

- 본 사업은 지능형반도체 분야에서 3개의 세부추진과제를 선정하였으며 반도체 분야의 특성을 고려한 R&D 사업화성공률과 부가가치율을 적용함

- R&D 사업화 성공률은 “산업기술개발사업 성과활용현황보고서(KEIT)”의 내용을 수용하여 42.7%를 반영
- 부가가치율은 '13년 산업연관 연장표에서 제시된 반도체 업종의 총산출액 대비 부가가치 비중의 평균인 37.2%를 적용함
- R&D 기여율은 “연구개발부문 사업의 예비타당성 조사 표준지침 연구(제2-1판)”에서 제시하고 있는 35.4%를 적용함
- 사업기여율은 기존 예비타당성조사에서 도출된 유관R&D투자 규모에 대해 산술평균을 적용하여 계산
- 사업기여율은 기준선분석의 일종으로 미래 시장 규모 중에서 본 사업의 기여율을 계산하기 위해 적용

※ 사업기여율의 개념은 국내에서 수행하고 있는 유관 R&D(정부+민간)투자 비중 중에서 본 사업의 비중이 차지할 비율로 정의

- 기존 예비타당성조사에서 도출된 규모(국내 유사 R&D투자규모)를 토대로 분석
- 본 분석에서는 유관 R&D투자 규모를 파악하여 산출한 값인 16.5%를 적용

< 분석지표 요율 종합 >

□ B/C 분석을 진행하기 위해 산출된 지표들을 요약해 보면 다음과 같음

<표 78> 편익분석 지표 요율 종합

구 분	적용 값	비고
미래시장규모	시장자료 및 로지스틱모형으로 미래시장 예측	세부추진과제별로 시장구분
시장점유율	세계시장 10% (반도체장비의 경우 30% 수준)	본 사업의 목표에서 제시한 2036년 세계시장 점유율 10% 반영 (반도체장비는 전문가 의견 반영)
사업기여율	16.5%	유관 R&D투자 규모를 파악하여 산출
부가가치율	37.2%	2013년 산업연관 연장표 준용
R&D기여율	35.4%	연구개발부문 예비타당성조사 표준지침 내용 반영
R&D 사업화성공률	42.7%	성과분석 보고서 내용 반영
편익발생기간	7년	기술혁신주기 적용
할인율	5.5%	예비타당성조사 지침(KDI) 내용 준용
회임기간	1년	연구개발부문 예비타당성조사 표준지침 내용 반영

< 세부추진과제별 연도별 편익분석 결과 >

※ 세부추진과제별 연도별 편익분석은 환율(1\$ = 1,100원)을 적용하여 모두 원 단위로 환산하여 계산된 결과임

- Cognitive Computing 편익 합계(현가)는 10,225억 원으로 분석됨

<표 79> Cognitive Computing 연도별 편익 분석 결과

단위: 억 원

구분	편익 분석(7년)							
	세계시장	세계 시장점유율	R&D 기여율	R&D 사업화 성공률	부가 가치율	사업 기여율	편익	편익 현가
2030	212,844	4%	35.4%	42.7%	37.2%	16.5%	869	814
2031	217,774	5%	35.4%	42.7%	37.2%	16.5%	1,111	1,036
2032	220,855	6%	35.4%	42.7%	37.2%	16.5%	1,352	1,254
2033	222,753	7%	35.4%	42.7%	37.2%	16.5%	1,591	1,469
2034	223,911	8%	35.4%	42.7%	37.2%	16.5%	1,828	1,679
2035	224,615	9%	35.4%	42.7%	37.2%	16.5%	2,063	1,885
2036	225,040	10%	35.4%	42.7%	37.2%	16.5%	2,297	2,088
합계	1,547,792						11,112	10,225

*세계시장규모 단위는 백만불임

- Intelligent Edge 편익 합계(현가)는 6,489억 원으로 분석됨

<표 80> Intelligent Edge 연도별 편익 분석 결과

단위: 억 원

구분	편익 분석(7년)							
	세계시장	세계 시장점유율	R&D 기여율	R&D 사업화 성공률	부가 가치율	사업 기여율	편익	편익 현가
203_0	107,286	4%	35.4%	42.7%	37.2%	16.5%	438	410
203_1	118,218	5%	35.4%	42.7%	37.2%	16.5%	603	562
203_2	128,519	6%	35.4%	42.7%	37.2%	16.5%	787	730
203_3	137,976	7%	35.4%	42.7%	37.2%	16.5%	986	910
203_4	146,452	8%	35.4%	42.7%	37.2%	16.5%	1,196	1,098
203_5	153,889	9%	35.4%	42.7%	37.2%	16.5%	1,414	1,292
203_6	160,291	10%	35.4%	42.7%	37.2%	16.5%	1,636	1,487
합계	952,631						7,059	6,489

*세계시장규모 단위는 백만불임

- 반도체장비/재료 편익 합계(현가)는 6,223억 원으로 분석됨

<표 81> 반도체장비/재료 연도별 편익 분석 결과

단위: 억 원

구분	편익 분석(7년)							
	세계시장	세계 시장점유율	R&D 기여율	R&D 사업화 성공률	부가 가치율	사업 기여율	편익	편익 현가
203_0	97,372	20%	35.4%	42.7%	37.2%	16.5%	696	652
203_1	99,350	22%	35.4%	42.7%	37.2%	16.5%	781	728
203_2	101,327	24%	35.4%	42.7%	37.2%	16.5%	869	806
203_3	103,305	26%	35.4%	42.7%	37.2%	16.5%	959	885
203_4	105,283	28%	35.4%	42.7%	37.2%	16.5%	1,053	967
203_5	107,261	30%	35.4%	42.7%	37.2%	16.5%	1,149	1,050
203_6	109,238	32%	35.4%	42.7%	37.2%	16.5%	1,249	1,135
합계	723,135						6,756	6,223

*세계시장규모 단위는 백만불임

< 본 사업의 B/C 분석 결과 >

- 사업기여율 16.5%를 적용하여 세부추진과제별 B/C Ratio를 산출한 결과는 아래 표와 같음
- 3개 세부추진과제 모두 B/C Ratio가 1보다 크게 산출되어 본 사업은 경제적 타당성이 있는

것으로 판단할 수 있음

<표 82> 본 사업의 세부추진과제별 B/C 분석 결과

세부추진과제	비용현가(억 원)	편익현가(억 원)	B/C Ratio
Cognitive Computing	9,445	10,225	1.08
Intelligent Edge	6,411	6,489	1.01
반도체장비/재료	6,219	6,223	1.00

7.4 기대효과 및 파급효과

가. 기대효과

- 인공지능 반도체 선도기술 100개가 계획대로 개발되어 상용화되면 '35년 매출 500억달러, 세계 시장 점유율 10% 달성할 수 있을 것임
 - 단순한 상용화 기술을 넘어선 인공지능 반도체 핵심 선도기술에 기반하여 글로벌한 경쟁력을 갖춘 기술집약적 강소기업 100개가 육성될 것임
 - 텐센트, 반도체장비/소재기업들은 자동화된 설비투자에 근거한 메모리반도체 대기업과 달리 매출이 곧 고용창출로 연결되기 때문에 고용창출능력이 있어서, 5만명 정도의 일자리를 창출할 수 있을 것으로 기대됨
- 우리 반도체산업이 검증된 선진기술을 양산에 적용하는 수준에서 벗어나 기술적 리더십을 확보하게 됨
 - 우리는 현재 메모리반도체 기술을 선도하고 있을 뿐 대부분의 영역에서는 선진 기술을 도입하여 상용화하는, 부가가치가 낮은 사업을 위주로 하고 있음
 - 반도체분야의 미래 핵심선도기술을 확보할 경우 모든 분야에서 산업을 리드하는 수준에 이르러 우리 반도체산업은 고부가가치산업으로 자리매김하게 될 것임
- 반도체산업이 메모리반도체와 시스템반도체, 소자와 공정장비가 균형있게 발전하게 되어 생태계

가 완결성을 갖게 됨

- 우리 반도체산업은 메모리반도체만 발전되어 있고 다른 모든 영역은 수입에 의존하고 있어 생태계의 취약성을 드러내고 있음
- 팹리스와 반도체장비/소재기업이 글로벌한 경쟁력을 갖게 되면 우리 반도체산업은 메모리반도체와 시스템반도체라는 두 축을 갖게 되고, 인프라산업이라 할 수 있는 장비/소재산업도 튼튼해지게 됨

나. 파급효과

- 인공지능 반도체는 인공지능을 실현하기 위한 핵심 기술로서 스마트기기, 자동차, 의료기기, 산업기기 등 다양한 산업의 경쟁력의 원천이 될 것으로 예상
 - 자동차, 금융, 의료, 유통, 개인용 로봇 등의 분야에서 인공지능을 통해 과거에는 구현할 수 없었던 서비스를 실행하는 다양한 단말기의 출현을 촉진하고 단말기를 제조하는 세트산업의 경쟁력을 강화할 것임
- 인공지능 반도체의 발전은 인공지능 관련 SW산업과 서비스를 촉진하여 우리나라는 초고속통신 네트워크에 기반한 IT강국에서 인공지능 강국으로 발돋움할 수 있게 됨
 - 인공지능 반도체 기술의 발전은 곧 그것에 기반한 SW와 서비스의 발전으로 이어지게 되며 우리나라는 새로운 인공지능 SW와 서비스가 활발하게 발명되는 선도국가로 발전할 수 있음

부록 1. 기획위원회 명단

부록 2. 기술 수요조사표

		RFP 번호	A-1
과제명		저전력 모바일 인공지능 프로세서	
1. 연구목표			
<p>분산된 전력관리기능을 포함하는 프로세서를 이용한 저전력 모바일용 인공지능 프로세서 개발</p> <ul style="list-style-type: none"> 전력 측정 및 관리가 가능한 메모리를 기반으로 하는 매니코어 아키텍처, 저전력 모바일용 매니코어 프로세서 개발 및 매니코어 어플리케이션 개발 			
2. 연구내용 및 범위			
<p>0. 1단계(5년): 전력 자가 측정을 통한 전력 관리 기능을 포함하는 매니코어 프로세서 코어 개발</p> <ul style="list-style-type: none"> 전력 모니터링 및 분산형 전력정보 전송 프로토콜 전력 제어 정보 분배 및 분산형 전력 제어 기능 분산된 전력 측정 및 제어기능을 갖는 저전력 매니코어를 위한 프로세서 코어 개발 저전력 매니코어를 위한 분산된 전력 측정 및 제어기능 라이브러리 저전력 매니코어 프로세서 칩 및 어플리케이션 개발 			
3. 성과목표			
<p>■ 1단계(5년): 전력 자가 관리형 초병렬 매니코어</p> <p>0. 저전력 메모리 관련 국제 컨소시움 참여, 프로세서 아키텍처 논문(20건)</p> <p>0. 저전력 기능 어플리케이션 및 저전력 매니코어 프로세서 설계 기술 이전 및 상용화(2건)</p>			
4. 특기사항			
<p>0. 국내 독자적인 저전력 프로세서 아키텍처 연구개발과 병행하여 해외 프로세서 개발 기관과의 명령어 아키텍처(ISA) 공유를 위한 국제컨소시움 구축(2억원/년 내외)</p>			
5. 사업기간/예산		5년 (연간 50억원)	

		RFP 번호	A-2
과제명	모바일용 초저전력 지능컴퓨팅 SW 프레임워크		
1. 연구목표			
사물/상황 인지 및 판단을 위한 매니코어(Many-Core) 프로세서 구조 기반 모바일용 초저전력 지능컴퓨팅 SW 프레임워크 및 어플리케이션 개발			
o. 1단계(5년): 실시간 사물/상황 인지형 초고속 뉴럴넷(NN) 인퍼런스 SW 프레임워크 개발			
2. 연구내용 및 범위			
o. 1단계(5년): 실시간 사물/상황 인지형 초고속 뉴럴넷(NN) 인퍼런스 SW 프레임워크 개발			
<ul style="list-style-type: none"> - 시냅스 메모리 공간 압축 및 메모리 대역폭 향상을 위한 컴파일러 기술 - 인퍼런스 검출 성능 향상을 위한 데이터 오그멘테이션(augmentation) 전처리 라이브러리 - Convolution 및 Fully-connected 레이어 처리 알고리즘 가속 기술 - Convolution 및 Fully-connected 레이어 연산 가속을 위한 메모리 관리 - 비선형 activation 함수 가속을 위한 SW 가속 라이브러리 - 폴링 / 정규화 레이어 처리를 위한 SW 가속 라이브러리 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계(5년): 실시간 사물/상황 인지형 초고속 NN 인퍼런스 SW 프레임워크 개발 			
o. 뉴럴넷 인퍼런스 동작 가속을 위한 SW 프레임워크 구조 논문(10건)			
o. 뉴럴넷 인퍼런스 가속용 SW 프레임워크 기술 이전 및 상용화(2건)			
4. 특기사항			
<ul style="list-style-type: none"> o. 매니코어 프로세서 기반 뉴럴넷 처리 고속화 기술이전 및 상용화 o. 초고속 인퍼런스 전용 SW 프레임워크 개발 및 보급 확산 			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	A-3
과제명	모바일용 실시간성 인공지능 SW		
1. 연구목표			
<p>사용자 및 디바이스 특성을 고려한 모바일 지능 컴퓨팅 인퍼런스용 실시간 운영체제 개발</p> <p>o. 1단계(5년): 사용자 인터페이스 및 주변 장치 입력에 대해 지능형 반응하기 위한 실시간 운영체제 개발</p>			
2. 연구내용 및 범위			
<p>o. 1단계(5년): 사용자 인터페이스 및 주변 장치 입력에 대해 지능형으로 반응하기 위한 실시간 운영체제 개발</p> <ul style="list-style-type: none"> - 실시간 지능형 서비스를 위한 멀티프로세서, 멀티태스킹 처리 기능 개발 - 사용자 인터페이스 및 주변 장치 입력에 대한 실시간 처리 조건을 지능형으로 부여하는 운영체제 개발 - 지능컴퓨팅 가속 장치 및 코프로세서 하드웨어 연동을 위한 자원 및 메모리 할당 기능 개발 			
3. 성과목표			
<p>■ 1단계(5년): 사용자 인터페이스 및 주변 장치 입력에 대해 지능형으로 반응하기 위한 실시간 운영체제 개발</p> <p>o. 지능형 실시간 운영체제 관련 SW, 논문(10건), 국외특허(5건)</p>			
4. 특기사항			
<p>o. 본 과제에서 개발되는 운영체제는 특정 아키텍처 및 하드웨어에 국한 되어 운영 되는 의존성은 최소화 해야 함</p>			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	A-4
과제명	저전력 모바일 인공지능 프로세서 상용화		
1. 연구목표			
<p>신 메모리 이용, 분산된 전력관리기능을 포함하는 프로세서를 이용한 저전력 모바일용 인공지능 프로세서 개발</p> <ul style="list-style-type: none"> - 새로운 메모리를 이용한, 분산 전력 측정 및 관리가 가능한 저전력 매니코어 프로세서 개발, 프로세서 칩 및 어플리케이션 개발 			
2. 연구내용 및 범위			
<p>o. 1단계(5년): 새로운 메모리를 이용한, 분산 전력 측정 및 관리를 통한 저전력 매니코어 프로세서 개발, 프로세서 칩 및 어플리케이션 개발</p> <ul style="list-style-type: none"> - 전력 측정 및 관리가 가능한 메모리 구조 - 메모리 일치성을 고려한 전력 관리 가능 메모리 구조 - 전력 측정 및 관리가 가능한 메모리 구조를 이용한 저전력 매니코어 프로세서 아키텍처 - 전력 관리 가능 메모리를 적용한 매니코어 프로세서 칩 및 어플리케이션 개발 			
3. 성과목표			
<p>■ 1단계(5년): 신개념 메모리 통합 저전력 매니코어</p> <p>o. 신개념 메모리 기반 프로세서 칩 개발, 논문(10건), 기술이전 및 상용화(5건)</p>			
4. 특기사항			
<p>o. 국내 독자적인 신개념 메모리 기반 저전력 프로세서 아키텍처 연구개발과 병행하여 해외 프로세서 개발 기관과의 명령어 아키텍처(ISA) 공유를 위한 국제컨소시움 구축(2억원/년 내외)</p>			
5. 사업기간/예산	5년 (연간 25억원)		

		RFP 번호	A-5
과제명	빅데이터 서버용 초병렬 멀티쓰레드 인공지능 프로세서		
1. 연구목표			
<p>초병렬의 프로세서 코어에서 거대규모의 멀티쓰레드를 구현하여 인공지능 컴퓨팅을 초소형 저전력으로 구현하기 위한 아키텍처 및 프로세서 개발</p> <p>o. 1단계(5년): 초병렬 프로세서 코어 기반의 거대규모 멀티쓰레드 실행을 위한 프로세서 아키텍처 및 프로세서 기술, 에뮬레이터 및 컴파일러 기술 개발</p>			
2. 연구내용 및 범위			
<p>o. 1단계(5년): 초병렬 프로세서 코어 기반의 거대규모 멀티쓰레드 실행을 위한 프로세서 아키텍처 기술, 에뮬레이터 및 컴파일러 기술 개발</p> <ul style="list-style-type: none"> - 초병렬 프로세서 코어 아키텍처의 멀티쓰레딩을 위한 코어 아키텍처 - 초고속의 뉴메모리(PRAM, STT-MRAM) 기술을 캐시메모리로 사용하는 프로세서 코어 - 뉴메모리를 기반으로 한 다중 적층 메모리 레이턴시 분석 - 뉴메모리 기반의 초병렬 프로세서 코어를 위한 거대규모 멀티쓰레드 아키텍처 - 초병렬 프로세서와 멀티쓰레딩을 융합한 프로세서 반도체 - 거대규모 멀티쓰레드 아키텍처를 위한 컴파일러 및 툴체인 기술 			
3. 성과목표			
<p>■ 1단계(5년): 초병렬 프로세서 및 거대규모 멀티쓰레드 통합 아키텍처 및 프로세서</p> <p>o. 초병렬 프로세서와 뉴메모리 통합 아키텍처 및 프로세서 아키텍처 논문(20건)</p> <p>o. 거대규모 멀티쓰레드 병렬코어 프로세서 설계 기술 이전 및 상용화(2건)</p>			
4. 특기사항			
<p>o. 초병렬 멀티쓰레드 아키텍처 개발과 병행하여 해외 프로세서 개발 기관과의 명령어 아키텍처(ISA) 및 기술 공유에 의한 국제컨소시움 구축 (2억원/년 내외)</p> <p>o. 초병렬 멀티쓰레드 프로세서 기반의 설계 기술 이전 및 상용화, 패리스 육성</p>			
5. 사업기간/예산	5년 (연간 50억원)		

		RFP 번호	A-6
과제명	서버용 지능컴퓨팅 고속 병렬 운영체제		
1. 연구목표			
<p>매니코어 기반 초고성능 스케일러블 서버용 운영체제 개발</p> <p>0. 1단계(4년): 스케일러블 Lock 기술 개발 및 모노리티 운영체제의 구조 개선을 통한 초병렬 매니코어 메모리 공유형 운영체제</p>			
2. 연구내용 및 범위			
<p>0. 1단계(4년): 스케일러블 Lock 기술 개발 및 모노리티 운영체제의 구조 개선을 통한 초병렬 매니코어 메모리 공유형 운영체제 기술 개발</p> <ul style="list-style-type: none"> - 매니코어 시스템에서 lock에 의한 성능 저연을 개선한 스케일러블 lock 기술 개발 - 메모리 관리 중심 벤치마크 대상으로 lock에 의한 성능 저하를 개선한 메모리 관리 기술 개발 - 매니코어용 커널 자료구조 기술, lock granularity 연구, 스케일러블러티를 고려한 커널 기능 디자인 기술 - 매니코어 자원 외현화를 통해 모노리티 운영체제의 구조 개선을 통한 매니코어 성능 스케일러블 운영체제 기술 개발 			
3. 성과목표			
<p>■ 1단계(4년): 초병렬 매니코어 메모리 공유형 운영체제 기술 개발</p> <p>0. 초병렬 매니코어 메모리 공유형 운영체제 논문(10건), 기술이전 및 상용화(2건)</p>			
4. 특기사항			
<p>0. 매니코어 기반 스케일러블 운영체제 기술의 구축 및 이를 공유하기 위한 컨소시엄 구축</p> <p>0. 매니코어 기반 초고성능 스케일러블 운영체제 기술이전 및 상용화</p>			
5. 사업기간/예산	4년 (연간 30억원)		

		RFP 번호	A-7
과제명	서버용 인공지능 프로세서 상용화		
1. 연구목표			
<p>초병렬의 프로세서 코어에서 거대규모의 멀티쓰레드를 구현하여 인공지능 컴퓨팅을 초소형 저전력으로 구현하기 위한 아키텍처 상용화</p> <p>o. 1단계(4년): 초병렬 프로세서와 거대규모 멀티쓰레드 통합 아키텍처를 구현한 프로세서 반도체 개발 및 인공지능 컴퓨팅 어플리케이션 개발</p>			
2. 연구내용 및 범위			
<p>o. 1단계(4년): 초병렬 프로세서와 거대규모 멀티쓰레드 통합 아키텍처를 구현한 프로세서 반도체 개발 및 인공지능 컴퓨팅 어플리케이션 개발</p> <ul style="list-style-type: none"> - 초병렬 프로세서의 뉴메모리 구조 기반의 캐시 아키텍처와 메모리 관리 유닛 - 뉴메모리 구조에서 거대병렬 쓰레드를 구현한 멀티쓰레드 아키텍처 - 초병렬 프로세서와 멀티쓰레딩을 융합한 프로세서 반도체 - 분할적층 메모리와 뉴타입 메모리를 융합한 거대병렬 프로세서 반도체 - 인간형 휴머노이드를 목표로 하는 거대병렬 멀티쓰레드 어플리케이션 및 시제품 개발 			
3. 성과목표			
<p>■ 1단계(4년): 초병렬 거대규모 멀티쓰레드 프로세서 반도체 및 어플리케이션</p> <p>o. 멀티쓰레드 프로세서 반도체 개발, 논문(10건), 기술이전 및 상용화(5건)</p>			
4. 특기사항			
<p>o. 초병렬 멀티쓰레드 아키텍처 개발과 병행하여 해외 프로세서 개발 기관과의 명령어 아키텍처(ISA) 및 기술 공유에 의한 국제컨소시움 구축 (2억원/년 내외)</p> <p>o. 초병렬 멀티쓰레드 프로세서 기반의 설계 기술 기술이전 및 상용화, 패리스 육성</p>			
5. 사업기간/예산	4년 (연간 25억원)		

		RFP 번호	A-8
과제명	Chip-to-chip 초고속/저전력 인터커넥션 연구		
1. 연구목표	<p>NN (Neural Network) 프로세서 Chip 간 인터커넥션을 위한 초고속/저전력 인터페이스 개발</p> <p>o. 1단계(3년): NN 프로세서를 기반으로 하는 고대역폭 인터커넥션 네트워크의 구조 및 Chip 프로토타입 개발</p>		
2. 연구내용 및 범위	<p>o. 1단계(3년): NN 프로세서를 기반으로 하는 고대역폭 인터커넥션 네트워크의 구조 및 Chip 프로토타입 개발</p> <ul style="list-style-type: none"> - 고대역폭 및 최소 대기시간을 갖기 위한 인터커넥션 Topology 및 Routing 알고리즘 구현 - 대용량 메모리와 프로세서 사이에 고속 인터페이스 프로토콜 개발 - 최단 전송 선로의 구현을 통해 블록 간 최적화된 인터커넥션 구조 확보 - 초고속/저전력 인터페이스 IP 개발 - Chip 프로토타입 개발 		
3. 성과목표	<p>■ 1단계(3년):</p> <p>o. 3D TSV 방식을 기반의 인터커넥션 네트워크 개발 및 IP 확보 (5건)</p> <p>o. 국외 NN 선행 연구기관 (NVIDIA, Google, Baidu 등)과 공동연구 수행 및 인력 파견을 통한 뉴럴넷 관련 국제학회에 논문 제출 (5건)</p>		
4. 특기사항	<p>o. 국내 NN 아키텍처 연구기관과 함께 공동연구 수행 및 기술 탐색</p> <p>o. NN 프로세서 인터커넥션 구조 개발을 위한 통합 시뮬레이터 특허 등재</p>		
5. 사업기간/예산	3년 (연간 20억원)		

		RFP 번호	A-9
과제명		초고속 neural networking을 위한 광배선 interfacing	
1. 연구목표		neural network 회로와 synapse 디바이스 영역을 연결하는 광인터커넥트 interface 구현	
o. 1단계(3년): 대단위의 정보 처리를 요하는 neural networking 시스템의 정보처리 대역폭을 극단적으로 향상함과 동시에, 전력소모는 저감시킬 수 있는 chip-to-chip 광배선 interface용 필수 광소자 개발			
o. 2단계(3년): 개발된 광소자들을 실리콘 IC 공정을 통하여 모놀리식 통합 집적을 함으로써, Chip-to-chip 광배선을 구현하기 위한 프로토타입 광I/O interface칩 완성			
2. 연구내용 및 범위			
o. 1단계(3년): Neural networking 시스템의 정보처리 대역폭을 극단적으로 향상할 수 있는 chip-to-chip 광 interface 하드웨어용 필수 광소자 개발		<ul style="list-style-type: none"> - 기존 실리콘 IC 공정과 완벽히 호환 가능한 초고속 광 interface 용 광소자 개발 - 실리콘에 직접 증착이 용이한 게르마늄을 비롯한 4족 합금을 이용한 고성능 광원 구현 - 게르마늄 및 4족 합금을 이용한 광대역 광검출기 소자 개발 - 공정 및 환경 변동에 대해 민감도가 낮은 게르마늄/group-IV 광변조기 소자 기술 개발 - 적외선의 넓은 대역에서 손실이 매우 작은 유전체(예. silicon nitride) 또는 비정질 실리콘 기반의 광배선 도파로 개발 - 효율적인 광원-광배선의 커플링 구조 구현 	
o. 2단계(3년): 실리콘 IC 공정을 통한 모놀리식 chip-to-chip 광 interfacing 칩 개발		<ul style="list-style-type: none"> - 모든 필수 광소자들을 실리콘 IC 공정을 통해 monolithic integration할 수 있는 기술 개발 - 게르마늄/group-IV 광원, 광변조기, 광검출기등의 효율적인 통합 집적공정 개발 - 양방향 광 I/O 인터페이스의 프로토타입을 제작하고 칩 레벨에서 성능 평가 - 뉴럴 네트워크 칩 및 시냅스 디바이스 칩 간 공정 호환성 있는 소자 집적 아키텍쳐 및 공정 개발 	
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계(3년): 초고속 neural networking용 광소자 개발 o. 우수성과 논문(12건) 및 광소자 원천기술 IP확보(10건), 국제협력 네트워크 구성 			
<ul style="list-style-type: none"> ■ 2단계(3년): 프로토타입 광 interface 칩 제작 및 성능평가 o. 우수성과 논문(10건) 및 neural networking용 모놀리식 chip-to-chip optical interface 집적화기술 개발 및 IP 확보(5건) o. 기술 이전(2건) 			
4. 특기사항			
o. 1단계~2단계 중 선진 연구기관 (미국 MIT, 일본 동경대, 유럽 Leti, 싱가포르)과 국제협력 공동 연구 수행 (고품질 Ge성장기술, 집적화공정 등). 연간 2억원 내외			
5. 사업기간/예산		3년+3년(연간 20~30억원)	

		RFP 번호	A-10
과제명		지능형 센서 통합형 반도체 설계 기술	
1. 연구목표			
<p>CMOS 이미지 센서 기반의 저전력 Face Detection <u>프로세서</u>와 매니코어(Many-Core) <u>프로세서</u> 구조 기반 딥뉴럴 <u>프로세서</u> 통합 및 초저전력 얼굴인식 어플리케이션 개발</p> <p>o. 1단계(5년): 얼굴 검출 기능이 내장된 지능형 CMOS 이미지 센서와 매니코어 기반의 기계학습 <u>프로세서</u> 개발 및 얼굴 인식 어플리케이션 <u>프로토타입</u> 개발</p> <p>o. 2단계(5년): CMOS 이미지 센서와 기계학습 <u>프로세서</u>를 통합한 초저전력 얼굴인식 <u>프로세서</u> 및 초저전력 얼굴인식 어플리케이션 <u>프로토타입</u> 개발</p>			
2. 연구내용 및 범위			
<p>o. 1단계(5년): Face Detection CMOS 이미지 센서와 매니코어 구조 기반의 CNN <u>프로세서</u>를 개발 및 얼굴 인식 어플리케이션 <u>프로토타입</u> 개발</p> <ul style="list-style-type: none"> - 코어 (=Processing Engine) 최적화 및 분산형 메모리 아키텍처 개발 - 실시간 메모리 코히어런스 및 고속 메모리 공유를 위한 매니코어 <u>프로세서</u> 아키텍처 - CNN 연산에 최적화된 커스텀 SRAM 개발 - 초저전력 Face Detection을 위한 Hybrid (아날로그+디지털) Face Detection 구조 개발 - Viola-Jones 알고리즘 기반의 Hybrid Face Detection CMOS 이미지 센서 개발 <p>o. 2단계(5년): CMOS 이미지 센서와 CNN <u>프로세서</u>를 통합한 2-칩 얼굴인식 보드 개발 및 초저전력 얼굴인식 어플리케이션 <u>프로토타입</u> 개발</p> <ul style="list-style-type: none"> - 2-칩 얼굴인식 검증용 보드 개발 및 <u>호스트</u> <u>프로세서</u> 집적 - <u>프로세서</u> 및 시스템 제어를 위한 계층적 미들웨어 및 입출력 데이터 제어를 위한 Management 디바이스 드라이버 개발 - HW-SW 통합 플랫폼 개발 및 검증을 위한 디바이스 <u>프로토타입</u> 제작 			
3. 성과목표			
<p>■ 1단계(5년): Face Detection 전용 CMOS 이미지 센서 및 CNN <u>프로세서</u> 개발 개발</p> <p>o. 매니코어 아키텍처 개발을 위한 국제 컨소시움 참여, <u>프로세서</u> 아키텍처 논문(10건), 기술이전 및 상용화(5건)</p> <p>■ 2단계(5년): 초저전력 얼굴인식을 위한 보드 개발 및 어플리케이션 <u>프로토타입</u> 개발</p> <p>o. 보드 및 어플리케이션 <u>프로토타입</u> 개발, 논문(10건), 기술이전 및 상용화(5건)</p>			
4. 특기사항			
<p>o. 국내 독자적인 아키텍처 연구개발과 병행하여 해외 <u>프로세서</u> 개발 기관과의 명령어 아키텍처(ISA) 공유를 위한 국제컨소시움 구축(2억원/년 내외)</p> <p>o. Hybrid Face Detection 설계 기술 및 매니코어 <u>프로세서</u> 설계 기술 기술이전 및 상용화, 패리스 육성</p>			
5. 사업기간/예산		5년+5년 (연간 10억원)	

		RFP 번호	A-11
과제명	자율주행용 Data Set 기술		
1. 연구목표			
자율주행용 학습 데이터 세트 구축 기술 개발			
0. 1단계(3년): 로봇 및 운전자 보조 시스템 적용을 위한 합성데이터 기반의 “ROI(Region Of Interest)”사물인식 학습 데이터 세트 구축			
2. 연구내용 및 범위			
0. 1단계(3년): 로봇 및 운전자 보조 시스템 적용을 위한 복합센서 기반의 “ROI(Region Of Interest)”인식용 학습 데이터 세트 개발 <ul style="list-style-type: none"> - 이미지 내부의 다중 객체에 대한 다중 위치 인식형 학습 데이터 세트 개발 - 초음파, 라이다, 레이더, 영상 등 다중 입력 센서 기반의 ROI 인식용 데이터 세트 개발 - 로봇 및 운전자 보조 시스템 적용을 위한 학습 데이터 세트의 표준화 작업 수행 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계(3년): 로봇 및 운전자 보조 시스템 적용을 위한 데이터 세트 구축 0. 다중 입력 센서 기반의 학습 데이터 세트 구축 (기술이전 2건) 0. 로봇 및 운전자 보조 시스템 적용을 위한 학습 데이터 세트의 표준화 작업 수행 (표준화2 건)			
4. 특기사항			
0. 본 과제 결과물에서는 국외에서 개발, 배포 되고 있는 데이터 세트가 포함 하고 있지 않는 국내 고유의 환경 및 객체 등을 반영하여 포함해야 하며, 본 과제 결과 평가 시에 그 포함 여부를 증명 할 수 있어야 함 (예, 국내 거리 환경, 전통 한옥 건물 등) 0. 특정한 환경에서만 구동되거나, 복잡한 전처리 작업 후에 동작 수행이 가능하다는 등의 전제 조건은 최소화 되어야 함			
5. 사업기간/예산	3년 (연간 10억원)		

		RFP 번호	A-12
과제명	자율주행 뉴럴넷 가속기		
1. 연구목표			
자율주행을 위한 뉴럴넷 어플리케이션(Neural Network Application) 특성 선정과 해당 알고리즘에 특화된 가속기 구조 연구 개발 및 가속기 개발			
o. 1단계(5년): 자율주행에 사용되는 뉴럴넷 어플리케이션 분석을 통한 최적 하드웨어 및 자율주행 뉴럴넷 가속기 구조 연구와 어플리케이션 워크로드(Workload) 분석을 통한 최적화 및 가속기 구조 및 소프트웨어 개발			
2. 연구내용 및 범위			
o. 1단계(5년): 자율주행에 사용되는 뉴럴넷 어플리케이션 분석을 통한 알고리즘 선정과 각 알고리즘의 분석을 통한 소프트웨어 프로토타입, 자율주행 뉴럴넷 가속기 구조 연구와 어플리케이션 워크로드(Workload) 분석을 통한 최적화 및 가속기 개발			
<ul style="list-style-type: none"> – 자율주행을 위한 뉴럴넷 어플리케이션의 성능 분석 및 타겟 알고리즘 선정 – 자율주행 가속기 개발을 위한 성능 병목(Bottleneck) 프로파일링 – 상용 자율주행 가속기 구조 연구 및 프로토타입 가속기 개발 – 벡터 연산의 VLIW-SIMD 프로세서를 통한 비전(Vision) 프로세서 워크로드의 최적화 – 워크로드 알고리즘을 통한 구조 최적화 및 소프트웨어/하드웨어 코디자인(Co-Design) 설계 – C, C++, OpenCL 지원을 통한 설정 가능한(Configurable) Development Kit 구축 – 이종의 High Throughput의 성능을 가진 멀티코어(Multi-Core) 프로세서 아키텍처 – 파워 매니지먼트(Management) 저전력 및 최소 공정을 사용한 에너지 효율 극대화 – 높은 ILP(Instruction Level Parallelism) 와 TLP(Thread Level Parallelism) 지원 – 메모리 바운드 연산의 해소를 위한 데이터 압축(Data Compressor) 설계 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계(5년): 자율주행 뉴럴넷 가속기 소프트웨어 프로토타입 및 자율주행 뉴럴넷 가속기 구조 설계 및 최적화 			
o. 자율주행 뉴럴넷 가속기 구조 연구를 위한 국제 컨소시움 참여			
o. 뉴럴넷 알고리즘 분석과 가속기 개발, 논문(10건), 기술이전 및 상용화(5건)			
4. 특기사항			
o. 자율주행을 위한 인공지능 기술 동향 및 뉴럴넷 가속기 구조의 성능 분석			
o. 독자적인 가속기 구조 연구와 병행하여 해외의 자율주행 뉴럴넷 가속기의 기술공유를 위한 국제컨소시움 구축			
o. 자율주행 가속기 구조의 설계 기술 특허 등재와 기술이전 및 상용화			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	A-13
과제명	자연어처리용 Data Set 기술		
1. 연구목표			
다중 응용 도메인 적용을 위한 자연어 처리용 다목적 감독형(Supervise) 학습 데이터 세트 구축 기술 개발			
o. 1단계(3년): 10가지 이상 응용 도메인의 자연어 인식기술 개발을 위한 도메인 별 레이블링 기초 데이터 세트 구축			
2. 연구내용 및 범위			
o. 1단계(3년): 10개 이상 응용 도메인의 자연어 인식기술 개발을 위한 도메인별 레이블링 데이터 세트 구축			
<ul style="list-style-type: none"> - 다중 도메인의 대규모 레이블링을 갖는 음성 데이터 세트 구축 - 다양한 도메인의 상황의 조합을 고려한 대규모 학습 데이터 세트 구축 - 대용량 학습 데이터 세트의 효과적 저장 및 관리를 위한 데이터 포맷 및 체계 개발 			
3. 성과목표			
<p>■ 1단계(3년): 10개 이상 도메인의 자연어 인식을 위한 음성 및 레이블링 세트 구축</p> <p>o. 도메인 별 자연어 인식을 위한 데이터 세트 제공 오픈 서비스 수행</p> <p>o. 대규모 병렬 컴퓨팅 환경에 적용하기 위한 고속 학습 데이터 세트 구축(기술이전 3건)</p>			
4. 특기사항			
o. 본 과제 결과물에서는 국외에서 개발, 배포 되고 있는 데이터 세트가 포함 하고 있지 않는 국내 고유의 도메인을 반영하여 포함해야 하며, 본 과제 결과 평가 시에 그 포함 여부를 증명 할 수 있어야 함			
o. 특정한 환경에서만 구동되거나, 복잡한 전처리 작업 후에 동작 수행이 가능하다는 등의 전제 조건은 최소화 되어야 함			
5. 사업기간/예산	3년 (연간 10억원)		

		RFP 번호	A-14
과제명	자연어 처리 뉴럴넷 가속기		
1. 연구목표			
<p>자연어 처리를 위한 뉴럴넷 <u>프로세서</u> 설계 및 <u>프로세서 최적화 소프트웨어 플랫폼</u> 개발</p> <p>o. 1단계(5년): 자연어 처리를 위한 알고리즘 선정 및 해당 알고리즘을 효과적으로 구동 할 수 있는 하드웨어 및 자연어 처리 프로세서의 메모리 최적화를 위한 <u>소프트웨어 지원 플랫폼</u> 개발 및 최적화 진행</p>			
2. 연구내용 및 범위			
<p>o. 1단계(5년): 자연어 처리를 위한 알고리즘 선정 및 해당 알고리즘을 효과적으로 구동 할 수 있는 하드웨어 및 자연어 처리 프로세서의 메모리 최적화를 위한 <u>소프트웨어 지원 플랫폼</u> 개발 및 최적화 진행</p> <ul style="list-style-type: none"> - 자연어 처리 알고리즘 분석을 통해 타겟 알고리즘 선정 - 자연어 처리에 특화된 DNN 알고리즘을 고속으로 연산하기 위해 Matrix-multiplication HW를 고안하고 SIMD unit 추가 - 다양한 New memory를 사용하여 자연어 처리에 적합한 Memory 선정 및 Memory size 와 Bandwidth를 변화시켜 RNN에 적합한 Memory 구조 정립 - <u>프로토타입</u> 자연어 처리 NN 프로세서의 정확도 및 성능 검증 - 메모리 최적화를 위해 메모리 병목 지점을 도출하는 <u>프로파일러</u> 설계 - <u>프로파일</u>을 통해 자연어 처리 NN 프로세서의 아키텍처적 최적화 진행 - CPU, GPU, 그리고 다른 가속기들과 연산 능력 및 에너지 효율성 비교를 통한 성능 평가 			
3. 성과목표			
<p>■ 1단계(5년):</p> <p>o. 자연어 처리를 위한 알고리즘 개발을 위한 국제 학회 참여 및 관련 논문 작성 (10건)</p> <p>o. 자연어 처리 알고리즘 동작을 위한 고효율 프로세서 설계 및 기술 이전 (4건)</p> <p>o. <u>프로세서</u>의 최적화를 위한 <u>소프트웨어</u> 개발 및 open source 공개</p> <p>o. 고효율 자연어 처리 NN 하드웨어 상용화 및 기술 이전 (4건)</p>			
4. 특기사항			
<p>o. 현재 NN을 이용한 영상인식 <u>프로세서</u>에 비해 낮은 관심을 받고 있는 자연어 처리 NN <u>프로세서</u>를 개발하여 기술을 선도 가능</p> <p>o. 자연어 처리 NN <u>프로세서</u> 개발로 관련 기술 특허 등재</p> <p>o. 자연어 처리 <u>프로세서</u>의 개발로 인간의 삶의 질 향상 실현</p>			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	C-1
과제명	엣지 컴퓨팅기반 멀티모달 신호처리 기술 개발		
1. 연구목표	<p><input type="checkbox"/> 초저전력 경량 엣지 디바이스의 특성에 따라 다양한 머신러닝 알고리즘 가속을 통해 엣지 컴퓨팅 서비스를 제공할 수 있는 초저전력 신호처리 기술 개발</p> <ul style="list-style-type: none"> ○ 1단계(4년): 엣지 디바이스의 다차원 신호처리를 위한 초저전력 물리엔진 개발 ○ 2단계(3년): 센서와 엣지 디바이스의 연결을 위한 신호 변환, PnP 인터페이스 및 연결 프로토콜 기술 ○ 3단계(3년): 음성, 영상, 환경, 동작 센서 등의 엣지단에서 융합 판단을 하는 알고리즘 및 개발환경, 응용 기술 		
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(4년): 엣지 디바이스의 다차원 신호 입력/처리를 위한 머신러닝 기반 초저전력 초소형 물리엔진 개발</p> <ul style="list-style-type: none"> - 정형·비정형 다중센서를 위한 확장성 있는 신호변환 및 처리 기술 개발 - 다중센서 Post 처리(Featuring Extraction)을 위한 데이터 처리 유닛 개발 - 다중센서 Classification을 위한 ML(Machine Learning)-Engnie 개발 - 머신러닝 아키텍처를 위한 버스/메모리/캐시/NoC 컨트롤러 개발 - 멀티모달 신호처리를 위한 지능형 초 저전력 Edge SoC 개발 <p><input type="checkbox"/> 2단계(3년): 센서와 엣지 디바이스의 연결을 위한 신호 변환, PnP 인터페이스 및 연결 프로토콜 기술</p> <ul style="list-style-type: none"> - 스마트 센서를 위한 통합 인터페이스 기술 - 확장성 있는 PnP 인터페이스를 위한 연결 프로토콜 기술 - 멀티 블럭 PnP가 가능한 SoC 기반 모듈 응용 환경 구축 <p><input type="checkbox"/> 3단계(3년): 음성, 영상, 환경, 동작 센서 등의 IE 융합 판단을 하는 알고리즘 및 개발환경, 응용 기술</p> <ul style="list-style-type: none"> - 엣지 컴퓨팅 환경을 위한 데이터 인지 및 처리 기술 - 엣지 컴퓨팅 환경을 진화 학습 알고리즘 및 라이브러리 개발 		
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(4년): 복합센서 데이터의 처리를 통한 데이터 추출, 논문/특허 각 10건 ○ 2단계(3년): 표준 플랫폼 기반 지능적 협업 가능한 연결, 논문/특허 각 8건 이상 ○ 3단계(3년): 엣지 컴퓨팅을 위한 지능적 데이터 추출, 논문/특허 각 8건 이상 		
4. 특기사항	<ul style="list-style-type: none"> ○ 기존 IoT 표준과의 호환성 ○ 엣지 오픈 코어, 엣지 오픈 플랫폼과 연계 		
5. 사업기간/예산	4+3+3년 (연간 30억원)		

		RFP 번호	C-2
과제명	엣지용 초저전력 온칩 인터커넥션 기술 개발		
1. 연구목표	<ul style="list-style-type: none"> <input type="checkbox"/> 인텔리전트 엣지 플랫폼을 구성하는 IP들 사이의 고속 및 신뢰성 있는 협업을 지원하기 위한 온칩 인터커넥션 기술 개발 <ul style="list-style-type: none"> ◦ 1단계(3년): 고성능, 고신뢰 온칩 인터커넥션 기술 개발 ◦ 2단계(3년): 초경량 멀티코어 지원 하이브리드 온칩 인터커넥션 기술 개발 ◦ 3단계(3년): 초저전력 3D 온칩 인터커넥션 기술 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> <input type="checkbox"/> 1단계(3년): 고성능, 고신뢰 온칩 인터커넥션 기술 개발 <ul style="list-style-type: none"> ◦ 응용설계 특화형 고성능 온칩 인터커넥션 기술 개발 <ul style="list-style-type: none"> - 응용설계 특화 온칩 인터커넥션 토플로지, 아키텍처 및 모듈 라이브러리 - 설계자의 경험에 기반한 설계를 지원하기 위한 그래픽 사용자 편집기 - 응용 설계의 통신 패턴에 최적화된 온칩 인터커넥션 자동 생성 기술 - 온칩 인터커넥터 기반 엣지 플랫폼 설계 및 검증을 지원하기 위한 GUI 기술 ◦ 고신뢰(Fault Tolerant) 온칩 인터커넥션 설계 기술 ◦ Cache Coherent 지원 온칩 인터커넥션 설계 기술 <input type="checkbox"/> 2단계(3년): 초경량 멀티코어 지원 하이브리드 온칩 인터커넥션 기술 개발 <ul style="list-style-type: none"> ◦ 매니코어를 지원하는 하이브리드 온칩 인터커넥션 토플로지 기술 ◦ 통신 패턴에 최적화된 하이브리드 토플로지 맵핑 툴 및 설계 도구 ◦ 상위수준 하이브리드 온칩 인터커넥터 고속 시뮬레이션 및 성능 분석 기술 ◦ 초경량 멀티 코어 지원 하이브리드 온칩 인터커넥터 기능 검증용 플랫폼 <input type="checkbox"/> 3단계(3년): 초저전력 3D 온칩 인터커넥션 기술 개발 <ul style="list-style-type: none"> ◦ 3D 패키징을 위한 3D 온칩 인터커넥션 아키텍처 개발 <ul style="list-style-type: none"> - 3D 칩 레이아웃을 고려한 네트워크 토플로지 합성 툴 개발 - 멀티 칩 통신 프로토콜 및 통신 모듈 개발 ◦ 초저전력 온칩 인터커넥션 기술 개발 <ul style="list-style-type: none"> - 초저전압(0.5V) 동작 온칩 인터커넥션 아키텍처 및 모듈 개발 - 전력/에너지 파티션의 전압/동작모드/클럭속도 등을 제어하는 제어기 - 전력/에너지 파티션 분할 툴 설계 기술 - 전력/에너지 파티션을 고려한 라우팅 알고리즘 및 인터커넥션 스위치 기술 		
3. 성과목표	<ul style="list-style-type: none"> ◦ 1단계(3년): 400MHz급 고성능 온칩 인터커넥션 기술 개발, 논문/특허 각 10건 ◦ 2단계(3년): 초경량 멀티코어 지원 온칩 인터커넥션 기술 개발, 논문/특허 각 12건 이상 ◦ 3단계(3년): 0.5V 동작 초저전력 온칩 인터커넥션 기술 개발, 논문/특허 각 14건 이상 		
4. 특기사항	<ul style="list-style-type: none"> ◦ 오픈코어, 오픈 플랫폼과 연계한 유기적인 협력이 추진되어야함 ◦ 온칩 인터커넥션 설계 기술 기술이전 및 상용화, 팩리스 육성 		
5. 사업기간/예산	3+3+3년 (연간 20억원)		

		RFP 번호	C-3
과제명		엣지 컴퓨팅용 초경량 지능형 반도체 기술 개발	
1. 연구목표			
<input type="checkbox"/> 경량 디바이스에서 지능형 처리를 통해 엣지 컴퓨팅의 서비스를 제공할 수 있는 초저전력 지능형 경량 물리엔진 개발 <ul style="list-style-type: none"> ◦ 1단계(4년): 에너지 고효율 지능형 칩 개발 ◦ 2단계(3년): 지능형 칩의 On-chip 학습 기술 개발 ◦ 3단계(3년): 지능형 칩 검증용 지능형 서비스 응용 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계(4년): 에너지 고효율 지능형 칩 개발 <ul style="list-style-type: none"> ◦ HW 모델 기반 저전력 지능형 회로 기술 ◦ 온칩 멀티레벨 CMOS 회로 기술 ◦ 온칩 러닝 학습 회로 기술 ◦ 영상 객체인식 위한 비감독(Unsupervised) 특징점 추출 엔진 ◦ 재구성형 및 스케일러블 지능형 프로세서 기술 ◦ 초경량 지능형 칩의 SW 모델링 및 아키텍처 시뮬레이터 기술 ◦ 범용 객체 인식용 지능형 칩 및 시스템 설계 제작 			
<input type="checkbox"/> 2단계(3년): 지능형 엣지 칩의 On-chip 학습 기술 개발 <ul style="list-style-type: none"> ◦ 초경량 지능형 칩 기반 영상객체 인지모델 및 학습 SW 기술 ◦ 초경량 지능형 칩 기반 인지 시뮬레이션 기술 ◦ 학습결과의 지능형 칩 적용 위한 재구성 및 최적화 기술 ◦ 영상/음성 센서 연동 실시간 ROI(Region of Interest) 필터 및 전처리 엔진 			
<input type="checkbox"/> 3단계(3년): 지능형 엣지 칩 검증용 응용 서비스 <ul style="list-style-type: none"> ◦ 지능형 칩과 폰노이만 구조 연동을 위한 API 기술 개발 ◦ 객체 인식/추적 기반 지능형 서비스 응용 시연 			
3. 성과목표			
<ul style="list-style-type: none"> ◦ 1단계(4년): 소비에너지 80 uW/셀/MHz, 논문/특허 각 20건 ◦ 2단계(3년): 인식객체수 100종 이상, 논문/특허 각 12건 이상 ◦ 3단계(3년): 인식정확도 95% 이상, 상용제품 2건, 논문/특허 각 8건 이상 			
4. 특기사항			
<ul style="list-style-type: none"> ◦ HW기반 전기적 신호를 모델링한 지능형 신호를 통한 지능적 처리 ◦ 엣지 오픈코어, 엣지 오픈 플랫폼과 연계 ◦ 2개 이상의 분야의 서로 다른 상용화 제품 			
5. 사업기간/예산		4+3+3년 (연간 50억원)	

		RFP 번호	C-4
과제명		에너지절감형 엣지 마이크로서버 SoC 및 시스템 개발	
1. 연구목표			
<p><input type="checkbox"/> 세계시장에서 마이크로서버의 단점인 성능과 유연성 확보를 위한 연구가 활발하게 이루어지고 있으며, 따라서 국내 마이크로서버의 성능과 전원 효율, 공간 효율 그리고 유연성까지 고려한 연구 개발이 필요</p> <ul style="list-style-type: none"> ◦ 1단계(3년): 웹뿐만 아니라 엣지 컴퓨팅에서의 다양한 환경에 대응하는 지능형 반도체(엣지) 기반 고성능-저전력 마이크로서버 SoC 개발 ◦ 2단계(3년): 고성능-저전력 마이크로서버 시스템 개발 			
2. 연구내용 및 범위			
<p><input type="checkbox"/> 1단계(3년): 웹뿐만 아니라 다양한 환경에 대응하는 오픈코어 기반에 고성능-저전력 마이크로서버 SoC 개발</p> <ul style="list-style-type: none"> ◦ 지능형 반도체(엣지) 기술을 활용한 20W이하의 고성능 멀티코어 AP 개발 ◦ 스토리 고속화(10Gb/s)를 위한 고성능 멀티 I/O 개발 ◦ 고성능-저전력 오픈코어 기반 마이크로서버 SoC용 SDK 및 HDK 개발 <p><input type="checkbox"/> 2단계(3년): 고성능-저전력 마이크로서버 시스템 개발</p> <ul style="list-style-type: none"> ◦ 에너지 절감형 다기능 마이크로 서버를 위한 통신 통합형 BMS 칩셋개발 <ul style="list-style-type: none"> - 네트워크 기반의 전원제어장치 기능 지원 - 개별 셀의 전원측정을 위한 16비트 이상의 분해능력의 전원 측정 기능 - 개별 셀의 측정을 위해 저전압 동작 및 최저 소모 전력의 기능 ◦ 관리기능과 유연성을 위한 고성능-저전력 마이크로서버 시스템 개발 <ul style="list-style-type: none"> - 웹브라우저나 모바일 장치를 통해 개별서버 및 그룹별 관리 기술개발 - 오픈코어와 BMS 칩셋을 활용한 마이크로서버 SoC 플랫폼 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ◦ 1단계(3년): 소모전력20W이하, 스토리 고속화(10Gb/s), 논문/특허 각 13건 ◦ 2단계(3년): 오픈코어와 엣지 디바이스용 칩셋을 활용한 마이크로서버 SoC 플랫폼, 논문/특허 각 8건 이상 			
4. 특기사항			
<ul style="list-style-type: none"> ◦ 엣지 오픈 코어, 엣지 오픈 플랫폼과 연계 			
5. 사업기간/예산		3+3년 (연간 25억원)	

		RFP 번호	C-5
과제명	SW-SoC 융합 인텔리전트 엣지(IE) 공통 플랫폼 기술 개발		
1. 연구목표	<p><input type="checkbox"/> 인텔리전트 엣지 핵심 IP(SIMD 가속기, 네트워크, 스마트 센서, 보안모듈 등) 들로 구성된 인텔리전트 엣지 SoC 공통 플랫폼 개발</p> <ul style="list-style-type: none"> ◦ 1단계(3년): 경량화, 안전성, 초저전력, 실시간 처리 보장 등의 특성을 가지는 오픈플랫폼 기반 개방형 엣지 플랫폼 기술 ◦ 2단계(3년): 클라우드/인공지능 서버와 상호 운용성 증대를 위한 플랫폼 운영(응용) 기술 개발 		
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(3년): 경량화, 안전성, 초저전력, 실시간 처리 보장 등의 특성을 가지는 오픈플랫폼 기반 개방형 엣지 플랫폼 기술</p> <ul style="list-style-type: none"> ◦ 저전력 스케일러블 경량 커널, 저전력 시스템 운용을 위한 Task 관리 모듈 ◦ 초저전력 재기동(Cold Restart) 기술 ◦ 다양한 센서의 연결성을 지원하는 인터페이스 미들웨어 ◦ 개발자 친화형 소프트웨어 분석 및 성능 검증 도구 ◦ IE용 응용개발을 위한 웹 기반 통합개발환경 ◦ 서비스 플랫폼 연동 지원 API 및 SW 라이브러리 <p><input type="checkbox"/> 2단계(3년): 클라우드/인공지능 서버와 상호 운용성 증대를 위한 플랫폼 운영(응용) 기술 개발</p> <ul style="list-style-type: none"> ◦ 오픈 하드웨어, 오픈 소프트웨어 기반 개방형 IE 플랫폼 ◦ 오픈코어-오픈하드웨어플랫폼-오픈SW 개발환경의 수직적 연계 프레임워크 ◦ 코드변환 기반 엣지 플랫폼 고속 에뮬레이션 및 성능 분석 기술 ◦ 클라우드 기반 온·오프라인 응용 기술 		
3. 성과목표	<ul style="list-style-type: none"> ◦ 1단계 (3년): IE 미들웨어 및 플랫폼 기술 개발 <ul style="list-style-type: none"> - 저전력 스케일러블 경량 커널 및 미들웨어 개발, 논문(10건), 기술이전 및 상용화(5건) ◦ 2단계 (3년): 인공지능 서버-IE간 응용 기술 개발 <ul style="list-style-type: none"> - 클라우드 기반 온·오프라인 공동 활용 기술 개발, 논문(10건), 기술이전 및 상용화(5건) 		
4. 특기사항	<ul style="list-style-type: none"> ◦ 국내 독자적인 반도체 연구개발과 병행하여 해외 개발 기관과의 플랫폼 협업을 위한 위한 국제컨소시움 구축(2억원/년 내외) ◦ 경량 지능형반도체(엣지) 기반의 설계 기술 기술이전 및 상용화, 패리스 육성 		
5. 사업기간/예산	3년+3년 (연간 30억원)		

		RFP 번호	D-1		
과제명	재구성형 논리 회로용 소자				
1. 연구목표					
인공지능 구현에 최적화된 재구성형 논리 회로 구현이 가능한 신소자/공정/회로 개발					
0. 1단계(5년): 재구성형 논리 회로를 위한 신소자/공정/모델링 기술 개발 0. 2단계(5년): 재구성형 논리 회로의 구현 및 적용					
2. 연구내용 및 범위					
0. 1단계(5년): 재구성형 논리 회로를 위한 신소자/공정/모델링 기술 개발 <ul style="list-style-type: none"> - 로직/메모리 융합기술을 이용한 reconfigurable logic 반도체 소자 구현 및 공정 개발 <ul style="list-style-type: none"> . 새로운 소자구조/물질/동작원리를 이용한 reconfigurable logic 소자의 구현 . Reconfigurable logic 소자의 구현을 위한 신공정 개발 - 로직/메모리 융합기술을 이용한 reconfigurable logic 반도체 소자의 모델링 및 PDK 개발 <ul style="list-style-type: none"> . 회로설계를 위한 reconfigurable logic 소자의 compact modeling . Reconfigurable logic 소자에 대한 물리적 이해와 예측을 위한 모델링 0. 2단계(5년): 재구성형 논리 회로의 구현 및 적용 <ul style="list-style-type: none"> - 1단계 개발 기술에 기반한 재구성형 논리 회로의 구현 및 적용 <ul style="list-style-type: none"> . 개발된 신소자/공정/모델링 기술의 아키텍쳐 레벨에서의 평가 . 인공지능 응용 분야에의 적용 . 극한 환경에서 동작 가능한 재구성형 논리 회로 개발 . 인공지능 응용 분야 적용을 통한 신소자/공정/모델링의 개선 					
3. 성과목표					
0. 재구성형 논리 회로 구현을 위한 소자/공정/모델링/회로 아이디어 도출 (특허 매년 1건 이상) 0. 재구성형 논리 회로 기술의 구현 및 검증 (논문 매년 2건 이상)					
4. 특기사항					
0. 기존 MOSFET 기술과 호환성이 높은 공정/재료를 이용하여야 함 0. 삼차원 적층 구조에 기반하고 신소자 기술이 사용되어야 함 0. 단위 소자 개발만이 아닌 회로설계/아키텍쳐와의 유기적인 협력이 추진되어야 함					
5. 사업기간/예산	5년+5년 (연간 20억원)				

과제명	시냅스 및 뉴런 모사 반도체소자
1. 연구목표	
새로운 개념의 시냅스 전자 소자 및 뉴런 모사 반도체 개발	
2. 연구내용 및 범위	
<p>0. 1단계(3년): 기존 CMOS 시스템과 공정 호환성을 가지는 구조의 소자를 개발함과 동시에, 다치화 특성을 통한 단기기억 및 장기기억 특성 구현 및 검증</p> <p>0. 2단계(3년): 대용량 정보처리 기능을 가질 수 있도록 낮은 동작 전력 구현 및 대용량 어레이 구조 개발. HW 기반 인공지능 시스템 아키텍쳐 구조 개발</p> <p>0. 3단계(4년): HW 기반 신경계 모방 시스템 동작 검증 및 SW기반 인공지능 학습 방법과 차별화된 학습 방법 구축</p>	
3. 성과목표	
<p>■ 1단계(3년): 시냅스 및 뉴런 모사 반도체 개발</p> <p>0. 국제협력 네트워크 구성, 우수성과 논문(10건) 및 시냅스 및 뉴런 모사 반도체 원천기술 IP 확보(10건)</p> <p>■ 2단계(3년): 저전력, 고집적도 어레이 구현 및 인공지능 반도체 아키텍처 개발</p> <p>0. 우수성과 논문(10건) 및 인공지능 반도체 구조 개발 및 IP확보(5건)</p> <p>0. 기술 이전(2건)</p> <p>0. 인력 교류를 통한 국제협력 기관과의 공동 연구</p> <p>■ 3단계(4년): 인공지능 반도체 프로토타입 칩 제작 및 학습 방법 개발</p> <p>0. 우수성과 논문(14건) 및 HW 기반 인공지능 반도체 학습방법 IP 확보(10건)</p> <p>0. 기술 이전(3건)</p>	
4. 특기사항	
5. 사업기간/예산	3년+3년+4년 (연간 20억원)

		RFP 번호	D-3
과제명		고집적, 초저전력 삼차원 뉴럴 집적회로 소자 기술	
1. 연구목표			
하드웨어 기반의 3-D hybrid neural network 구현 <ul style="list-style-type: none"> o. 1단계(3년): biological 뉴런의 기능을 초저전력으로 수행할 수 있는 non-volatile 소자 개발 및 CMOS 회로와의 집적을 통하여 hybrid neuron 회로 구현 o. 2단계(3년): 개발된 hybrid neuron 회로와 시냅스 어레이의 3-D 집적 기술 개발을 통하여, 고집적, 초저전력 하드웨어 기반 neural network 설계 및 SW DNN 대비 높은 정확도의 영상/음성 인식 기능 구현 o. 3단계(4년): 모바일, 태블릿 PC 및 임베디드 시스템에 탑재 가능한 하드웨어 기반 뉴럴 네트워크 플랫폼 개발 및 칩 구현 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 1단계(3년): Biological 뉴런의 기능을 초저전력으로 수행할 수 있는 non-volatile 소자 개발 및 CMOS 회로와의 집적을 통하여 hybrid neuron 회로 구현 <ul style="list-style-type: none"> - 뉴런의 integration, threshold 기능을 수행할 수 있는 steep switching non-volatile 소자 개발 - 뉴런의 주요 역할을 non-volatile 소자가 수행, 최소 트랜지스터를 사용하여 뉴런 cell size를 최소화 - 뉴런의 발화 동작시의 전력 소모를 최소화 - steep switching 소자를 적용함으로써 뉴런이 발화하기 전까지의 전력 소모를 억제하여, 같은 layer에서 발화하지 않는 뉴런은 zero 전력 소모하도록 설계 - 뉴런이 발화할 때마다 set과 reset switching을 반복해야 하는 뉴런의 특성을 고려하여 무한대를 지향하는 endurance 특성을 갖는 non-volatile 소자 구현 o. 2단계(3년): 3-D 집적 기술 개발을 통하여, 고집적, 초저전력 하드웨어 기반 neural network 설계 <ul style="list-style-type: none"> - 뉴런의 back-propagation을 사용하여 시냅스의 on-line 학습이 가능하도록 시냅스 소자와 뉴런 회로의 설계 - Hybrid CMOS 뉴런 회로와 시냅스 어레이의 3-D 적층 기술 개발하고, 3-D 적층을 통한 고집적 neural network 구현 - 하드웨어 기반 neural network를 개발하여 SW DNN 대비 높은 정확도의 영상/음성 인식 기능 구현 o. 3단계(4년): 임베디드 시스템에 탑재 가능한 하드웨어 기반 뉴럴 네트워크 칩 개발 <ul style="list-style-type: none"> - 뉴럴 네트워크를 통하여 높은 에너지 효율로 빅데이터 처리 성능을 향상 - 모바일, 태블릿 PC등의 임베디드 시스템에 적용할 수 있는 플랫폼을 개발하여 영상/음성 신호 처리 능력을 향상 시킬 수 있는 칩 설계 - 임베디드 시스템에 적용하여 높은 정확도의 인식 및 학습 기능을 수행 하며, 전력 소모를 최소화. 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계(3년): non-volatile 소자/CMOS 회로 간 집적을 통한 초저전력 hybrid neuron 회로 구현 o. 우수논문(12건) 및 소자 및 회로 원천기술 확보(10건) ■ 2단계(3년): 고집적 3-D neural network 구현 o. 하드웨어 기반 neural network 성능 평가 o. 우수논문(10건) 및 원천기술 확보(10건) ■ 3단계(4년): 하드웨어 기반 뉴럴 네트워크의 임베디드 시스템 적용을 위한 플랫폼 개발 및 뉴럴 네트워크 칩 구현 o. 우수성과 논문(10건) 및 기술 이전(3건) 			
4. 특기사항			
<ul style="list-style-type: none"> o. 선진 연구기관(미국 IBM, HP, Stanford대, Numenta, 프랑스 LETI, 일본 AIST, 스위스 EPFL대, 독일 Heidelberg대)과 국제협력 공동연구 수행 및 인력 파견을 통한 기술 탐색: 연간 2억원 내외 			
5. 사업기간/예산		3년+3년+4년 (연간 20억원)	

과제명	삼차원 신경모방회로를 위한 이종시스템 집적공정기술
1. 연구목표	<p>신경모방 집적회로를 위한 삼차원 이종 시스템 집적공정기술</p> <p>o. 1단계(3년): 삼차원 신경모방 집적회로에 적용 가능한 기존의 Si 공정 기술과 완전한 호환성을 갖는 layer stacking 집적공정기술 개발</p> <p>o. 2단계(3년): 서로 다른 기능을 수행하는 chip들을 독립적으로 제작 후 상호 집적하는 차세대 interconnection 기술 개발</p> <p>o. 3단계(4년): 고밀도 시냅스 소자 집적회로와 뉴런회로 간 이종집적 및 성능 평가</p>
2. 연구내용 및 범위	<p>o. 1단계(3년): 삼차원 신경모방 집적회로에 적용 가능한 layer stacking 집적공정기술 개발</p> <ul style="list-style-type: none"> – VLSI의 high scalability를 위해 삼차원적으로 구성하는 집적회로 공정기술 개발 – 연속 공정을 통해 레이어들을 집적하기 위한 기반 물질 및 공정기술 개발 – Si 공정 호환성을 갖추면서도 적층에 유리한 열예산 배치가 가능한 공정집적 및 구현 <p>o. 2단계(3년): 서로 다른 기능을 수행하는 chip들을 독립적으로 제작 후 상호 집적하는 기술</p> <ul style="list-style-type: none"> – 타과제와의 구분을 위해 광학적 기법은 고려하지 않음. – 전단계에서 개발한 Si 집적회로 기술을 실장한 chip을 non-Si 기반 chip 또는 전단계에서 함께 집적할 수 없는 Si 회로와의 집적을 구현함. – 신뢰성과 성능 향상이 가능한 선행적 metallic interconnection을 위한 공정 기법 개발 <p>o. 3단계(4년): 고밀도 시냅스 소자 집적회로와 뉴런회로 간 이종집적 구현 및 성능 평가</p> <ul style="list-style-type: none"> – layer-to-layer 또는 chip-to-chip 집적회로에서 발생하는 열을 효과적으로 제거할 수 있는 회로 네트워크(heat delivery circuit)를 위한 물질 및 공정기술 개발 – 상기 기술들을 집약하여 단일 칩 내 layer-to-layer 또는 chip-to-chip 연결을 통해 고밀도 시냅스 소자 집적회로와 뉴런 회로의 통합한 집적회로를 제작하고 성능 평가를 수행 – 타 제안 과제와 긴밀히 공조, 새로운 신경모방 소자 활용하여 연구 내용의 중복을 피하고 본 과제에서는 집적공정기술 개발 자체에 집중하도록 함.
3. 성과목표	<p>■ 1단계(3년): 삼차원 집적회로 공정기술 개발</p> <p>o. 우수논문성과(10건), 집적회로 공정관련 원천기술 IP 확보(10건) 및 기술이전 2건</p> <p>o. 해외기술 자문 네트워크 구축</p> <p>■ 2단계(3년): multi-chip interfacing 기술</p> <p>o. 우수논문성과(10건), 집적회로 공정관련 원천기술 IP 확보(10건) 및 기술이전 2건</p> <p>o. 신경모방 집적회로를 위한 integration 및 interfacing 기술의 성능 평가</p> <p>■ 3단계(4년): 3차원 신경모방 집적회로의 제작 및 성능평가</p> <p>o. 우수논문성과(10건), 집적회로 공정관련 원천기술 IP 확보(10건) 및 기술이전 2건</p> <p>o. 개발 집적공정 적용한 신경모방 시스템의 전력 및 발열 측면에서의 신뢰성 있는 동작 평가</p>
4. 특기사항	o. 차세대 집적회로 관련 기술 선진 연구기관(미국 Intel, Stanford 대학교, U.C. Berkeley, 프랑스 IMEP-LAHC, 일본 AIST 등)과의 공동연구 수행 및 인력 파견을 통한 기술 탐색
5. 사업기간/예산	3년+3년+4년 (연간 20억원)

RFP 번호	D-5
과제명	나노소재 기반 뉴로모픽 시냅스 소자의 동작 신뢰성 향상을 위한 저주파 잡음 연구
1. 연구목표	
<p>나노소재를 이용한 뉴로모픽 반도체 소자 개발 및 소자 동작 신뢰성 향상</p> <p>o. 1단계(5년): 기존 CMOS 시스템과 공정 호환성을 가지는 나노소재 기반 memristor 소자를 개발함과 동시에 단기기억 및 장기기억 특성 구현 및 검증</p> <p>o. 2단계(5년): 나노소재 기반 저전력/고성능 뉴로모픽 시냅스 소자 동작 신뢰성 향상 연구 및 특성 모델링</p>	
2. 연구내용 및 범위	
<p>o. 1단계(5년): 나노소재 기반 저전력 뉴로모픽 시냅스 소자 개발</p> <ul style="list-style-type: none"> – 나노소재를 기반으로 한 새로운 개념의 memristor 전자 소자 개발 – 기존의 CMOS 시스템과 공정 호환성을 가진 memristor용 나노신소재 및 공정 방법 개발 <p>o. 2단계(5년): 나노소재 기반 저전력 뉴로모픽 시냅스 신뢰성 및 소자 저주파 잡음 연구</p> <ul style="list-style-type: none"> – 나노소재 기반 memristor의 저전력/고성능 동작특성 확보 – 나노소재 기반 memristor의 동작 신뢰성 극대화 연구 – 나노소재 기반 memristor의 저주파 잡음 (1/f, RTN) 특성분석 및 모델링 	
3. 성과목표	
<p>■ 1단계(5년): 나노소재 기반 저전력 뉴로모픽 시냅스 소자 개발</p> <p>o. 국제협력 네트워크 구성, 우수성과 논문 및 나노소재 기반 뉴로모픽 반도체 소자 원천기술 IP 확보</p> <p>■ 2단계(5년): 나노소재 기반 저전력 뉴로모픽 시냅스 신뢰성 및 소자 저주파 잡음 연구</p> <p>o. 우수성과 논문 및 인공지능 반도체 동작특성 및 신뢰성 향상을 위한 IP 확보</p> <p>o. 인력 교류를 통한 국제협력 기관과의 공동 연구</p>	
4. 특기사항	
<p>o. 선진 연구기관(미국 IBM, Micron, 프랑스 CEA-LETI, 일본 AIST, 스위스 EPFL대)과 국제협력 공동연구 수행 및 인력 파견을 통한 기술 탐색: 연간 3000만원 내외</p>	
5. 사업기간/예산	5년+5년 (연간 10억원)

과제명	뉴로모픽 소자 모델링을 통한 뉴럴네트워크 회로 최적화
1. 연구목표	<p>뉴로모픽 소자의 compact 모델 개발 및 이를 활용한 뉴럴네트워크 회로 최적화</p> <p>o. 1단계(3년): 뉴런 및 시냅스 모방 소자 compact 모델링</p> <p>o. 2단계(3년): 뉴런 및 시냅스 모방 소자 compact 모델링을 통한 단일레벨 뉴럴네트워크 회로 설계 및 최적화. 단일레벨 뉴럴네트워크의 수렴을 확보하기 위한 최소 가중치 해상도(멤리스터 해상도) 도출</p> <p>o. 3단계(4년): 뉴런 및 시냅스 모방 소자 compact 모델링을 통한 다중레벨 뉴럴네트워크 회로 설계 및 최적화. 다중레벨 뉴럴네트워크의 수렴을 확보하기 위한 최소 가중치 해상도(멤리스터 해상도) 도출.</p>
2. 연구내용 및 범위	
<p>o. 1단계(3년): 뉴런 및 시냅스 모방 소자 compact 모델링</p> <ul style="list-style-type: none"> - 문헌상 보고되는 뉴런 및 시냅스 소자 특성을 모사하는 compact 모델 개발 - compact 모델을 이용한 뉴런회로 설계 및 최적화. 기존 뉴런회로 대비 집적도, 속도, 신뢰도, 전력소비 향상 <p>o. 2단계(3년): 뉴런 및 시냅스 모방 소자 compact 모델링 + 단일레벨 뉴럴네트워크 회로 설계 및 최적화</p> <ul style="list-style-type: none"> - 뉴런 및 시냅스 모방 소자 compact 모델링 - 단일레벨 뉴럴네트워크 회로 설계 및 집적도, 속도, 전력소비 최적화 - 단일레벨 뉴럴네트워크의 수렴을 저해하는 요소로는 불연속적인 멤리스터소자 컨트롤 해상도에서 기인한 양자화 오류 및 멤리스터/CMOS소자의 PVT 변수 변동성이 있음(그림) - 멤리스터소자의 컨트롤 해상도를 증가시키면 양자화 오류를 낮출 수 있으나, 이는 전체 뉴럴네트워크의 하드웨어 복잡도를 증가시키고, 학습 효율을 저하시키는 문제점이 있음 - 멤리스터의 변동성 및 양자화 오류가 단일레벨 뉴럴네트워크의 수렴/오작동에 미치는 영향 분석, 수렴을 확보하기 위한 최소 멤리스터 해상도 도출을 목표로 함 - 소자 변동성에 대응 가능한 뉴럴네트워크 회로 개발 <p>o. 3단계(4년): 뉴런 및 시냅스 모방 소자 compact 모델링 + 다중레벨 뉴럴네트워크 회로 설계 및 최적화</p> <ul style="list-style-type: none"> - 뉴런 및 시냅스 모방 소자 compact 모델링 - 다중센서 시스템에 적용될 수 있는 다중레벨 뉴럴네트워크 회로 설계 및 최적화 - 다중레벨 뉴럴네트워크의 경우 하드웨어 부담이 증가함에 따라 높은 해상도로 멤리스터를 제어하는 것이 어려움(그림) - 다중레벨 뉴럴네트워크의 경우 각 멤리스터의 양자화 오류가 결과값에 미치는 영향이 단일레벨 뉴럴네트워크의 경우에 비해 작음 - 다중레벨 구조에서의 하드웨어 부담을 줄이기 위해 단일레벨보다 낮은 멤리스터 해상도를 적용시키는 것이 가능 - 멤리스터의 변동성 및 양자화 오류가 다중레벨 뉴럴네트워크의 수렴도에 미치는 영향 분석, 수렴을 확보하기 위한 최소 멤리스터 해상도 도출을 목표로 함 - 다중레벨 뉴럴네트워크에 최적화된 뉴런회로 개발 	
3. 성과목표	
<p>■ 1단계(3년): 뉴런 및 시냅스 모방 소자 compact 모델링</p> <p>o. 우수성과 논문(2건) 및 뉴런모사회로 IP 확보(2건)</p> <p>■ 2단계(3년): 뉴런 및 시냅스 모방 소자 compact 모델링 + 단일레벨 뉴럴네트워크 회로 설계 및 최적화</p> <p>o. 우수성과 논문(4건) 및 단일레벨 뉴럴네트워크 최적화 관련 IP 확보(3건)</p> <p>■ 3단계(4년): 뉴런 및 시냅스 모방 소자 compact 모델링 + 단일레벨 뉴럴네트워크 회로 설계 및 최적화</p> <p>o. 우수성과 논문(5건) 및 다중레벨 뉴럴네트워크 최적화 관련 IP 확보(4건)</p>	
4. 특기사항	
•	
5. 사업기간/예산	3년+3년+4년 (연간 5억원)

		RFP 번호	D-7
과제명	지능형 아키텍쳐 구현을 위한 브레인 기능모사 하드웨어 시스템 실증 및 범용시스템 개발 플랫폼 개발		
1. 연구목표			
○ 인공지능 구현에 최적화된 브레인기능모사 하드웨어 시스템 실증 및 범용시스템개발 플랫폼개발			
○ 세부연구목표	<ul style="list-style-type: none"> - 1단계 (3년): 브레인기능모사 신소자/ 집적공정/ 플랫폼 기술개발 - 2단계 (3년): 브레인기능모사 하드웨어 응용 시스템 구현/고도화/상용화 개발 		
2. 연구내용 및 범위			
○ 1단계 (3년): 브레인기능모사 신소자/집적공정/ 플랫폼 기술개발	<ul style="list-style-type: none"> - 브레인기능모사 소자 개념 정립/ 소자 실증 및 집적공정 개발 <ul style="list-style-type: none"> * 새로운 소자구조/물질/동작원리를 이용한 브레인기능모사소자의 구현 * 고집적 시스템 구현을 위한 단위공정/집적공정 개발 - 브레인기능모사 소자의 모델링 및 PDK 개발 - 브레인기능모사 소자 집적 플랫폼 개발 <ul style="list-style-type: none"> * 소자집적도 10^4 이상의 시스템 설계/제작 환경구축 및 성능검증 (수율>80%) * 어레이집적도 10^6 수준의 집적 환경 구축 및 성능 검증 (수율>70%) 		
○ 2단계 (3년): 브레인기능모사 하드웨어 응용 시스템 구현/고도화/상용화 개발	<ul style="list-style-type: none"> - 1단계에서 개발된 플랫폼 집적도 고도화 <ul style="list-style-type: none"> * 소자집적도 10^6 (수율>90%), 어레이집적도 10^8 (수율>80%) 구현 * 범용시스템 지원을 위한 상시 모니터링 및 수율관리 시스템 구축 - 플랫폼 PDK 및 집적공정을 이용한 초저전력 로직 플랫폼 시스템 구현 - 플랫폼 PDK 및 집적공정을 이용한 상용화목표 시제품 5종이상 제작 		
3. 성과목표			
	<ul style="list-style-type: none"> - 상용화 시제품 개발 지원이 가능한 브레인기능 모사 칩 제작 플랫폼 기술개발 - 브레인 기능모사 소자 기반의 시제품 5건 - 원천특허 10건 및 관련 특허 50건 이상 확보 - 플랫폼 서비스 실적 10건 이상 확보 		
4. 특기사항			
	<ul style="list-style-type: none"> - 사업단이 나노인프라 집적공정 개발 및 활용주체가 됨 - 1단계 예산의 20% 이내로 집적공정 인프라 구축 (나노인프라시설활용) - 2단계 예산의 30%이상을 상용화 목적의 범용 시스템 개발 지원에 활용 - 사업예산의 10%이상을 bottom-up 단위과제에 지원하여 풀뿌리 아이디어 창출/지원 - 사업예산의 5%이내의 교육프로그램, 글로벌 오픈이노베이션 프로그램 제안 		
5. 사업기간/예산	6년(3+3), 1단계 30억/년. 2단계/ 30억/년		

		RFP 번호	D-8
과제명	Spiking 뉴런 네트워크 모사를 위한 기가급 뉴로모픽 포토닉스용 반도체 소자 기술 개발		
1. 연구목표	<p>Spiking 뉴런 모델 기반 뇌 신경망 네트워크 모사를 위한 기가급 뉴로모픽 포토닉스 칩용 반도체 기반 광소자 및 광집적회로 기술 개발</p> <ul style="list-style-type: none"> o Spiking 뉴런 모사를 위한 기가급 뉴로모픽 포토닉스 소자 기술 개발 o 뉴런 네트워크 구성을 위한 뉴로모픽 포토닉스 광집적회로 및 구동기술 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o Spiking 뉴런 네트워크 모사를 위한 기가급 뉴로모픽 포토닉스 소자 기술 개발 <ul style="list-style-type: none"> - 기가급 Spiking 뉴런 모사를 위한 펄스 생성용 반도체 광원 소자 기술 개발 <ul style="list-style-type: none"> . 광원을 위한 에피 설계 및 성장 기술 개발 . 기가급 Spiking 신호 생성용 광원 설계 및 제작 기술 개발 . 단일 파장 발진 기술 및 파장 안정화 기술 개발 - 학습 프로그램이 가능한 programmable 반도체 광변조기 소자 기술 개발 <ul style="list-style-type: none"> . 기가급 반도체 기반 Mach-Zehnder 간섭계 설계 및 제작 기술 개발 . Mach-Zehnder 간섭계를 이용한 programmable 광변조 기술 개발 . 간섭계 위상조절을 통한 programmable 구동 회로 기술 개발 . 기가급 광변조기를 구동하기 위한 RF전극 설계 및 제작 기술 - 펄스 신호 검출을 위한 초고속 반도체 광검출기 소자 기술 개발 <ul style="list-style-type: none"> . 기가급 Spiking 신호를 검출하기 위한 반도체 기반 광검출기 기술 개발 . 고효율 광결합을 위한 모드 크기 변환기 집적 광검출기 기술 개발 o 뉴런 네트워크 구성을 위한 뉴로모픽 포토닉스 광집적회로 개발 <ul style="list-style-type: none"> - 저전력 뉴런 네트워크 연결을 위한 저손실 광배선 기술 개발 <ul style="list-style-type: none"> . PLC(Planar Lightwave Circuit) 기반 저손실 광도파로 및 광분배 기술 개발 . 뉴런 네트워크의 fan-in 확장성을 위한 파장분할 다중화 소자 기술 개발 - 소형화를 위한 광원, 광변조기, 광검출기의 광결합 및 집적화 기술 개발 <ul style="list-style-type: none"> . 광원, 광변조기, 광검출기 집적을 위한 공통 플랫폼 기술 개발 . 능동 광소자 및 수동 광배선 연결을 위한 고효율 광결합 기술 개발 - 광원 및 광변조기용 고속 인터페이스 기술 개발 <ul style="list-style-type: none"> . 광원 및 광변조기 구동 및 제어용 소프트웨어 기술 개발 . 광변조기 프로그램을 위한 제어용 외부장치 인터페이스 기술 개발 		
3. 성과목표	<ul style="list-style-type: none"> ■ 10GHz급 spiking 뉴런 모사 광원 기술 개발 <ul style="list-style-type: none"> o 우수성과 논문(2건) 및 뉴런 모사 광원 기술 IP (1건) ■ 기가급 뉴로모픽 포토닉스 광집적회로 기술 개발 <ul style="list-style-type: none"> o 우수성과 논문(2건) 및 기가급 뉴로모픽 포토닉스 광집적회로 IP (1건) ■ 뉴로모픽 포토닉스 구동 기술 개발 <ul style="list-style-type: none"> o 우수성과 논문(2건) 및 뉴로모픽 포토닉스 칩 기술이전 (1건) 		
4. 특기사항	화합물반도체 Fab 시설을 이용하여 개발된 100G 이상급 광통신 소자/부품 기술을 기반으로 다양한 광원, 변조기, 검출기 소자 기술을 활용한 초고속, 저전력 뉴로모픽 포토닉스 칩의 핵심기술 개발		
5. 사업기간/예산	3+3년 (연간 20억원)		

RFP 번호	D-9
과제명	멤리스터 기반의 인공 뉴론 소자 개발
1. 연구목표	<p>멤리스터 기반 인공뉴론 소자 개발</p> <ul style="list-style-type: none"> o 멤리스터 기반의 인공뉴론 소자를 위한 소재 개발 및 소자 구조 개발 o 멤리스터 기반 인공뉴론 소자를 이용한 I&F(integrate-and-fire) 특성 측정 평가 o 멤리스터의 뉴론 소자 응용을 위한 전산모사 및 회로 설계 기술 개발
2. 연구내용 및 범위	<p>o 멤리스터 기반의 인공뉴론 소자를 위한 소재 개발</p> <ul style="list-style-type: none"> - 산화물, 상변화 물질 등 멤리스터 특성을 보이는 소재의 뉴론 소자 응용 평가 - 인공 뉴론 특성 구현을 위한 멤리스터 기반 단위 회로 설계 - 멤리스터 기반 인공 뉴론 소자 제작을 위한 공정 기술 개발 <p>o 멤리스터 기반 인공뉴론 소자를 이용한 I&F(integrate-and-fire) 특성 측정 평가</p> <ul style="list-style-type: none"> - 인공 뉴론의 I&F threshold 측정 및 dynamics 평가 <p>o 멤리스터의 뉴론 소자 응용을 위한 전산모사 및 회로 설계 기술 개발</p> <ul style="list-style-type: none"> - 멤리스터를 기반으로 I&F 특성을 구현하기 위한 회로 설계 기술 개발 - 설계 회로의 전산모사를 통한 인공뉴론 특성 향상
3. 성과목표	<ul style="list-style-type: none"> ■ 상변화 물질을 이용한 인공 뉴론 소자 개발 (Phase-change material based artificail neurons) <ul style="list-style-type: none"> o 우수성과 논문(2건), 기술이전 (1건) ■ 멤리스터 기반 뉴런 회로 (Memristor-based neuron circuit) <ul style="list-style-type: none"> o 우수성과 논문(2건), 뉴런회로 시제품 (1건), 기술이전 (1건) ■ 멤리스터 기반 인공 뉴론 회로 설계 기술 <ul style="list-style-type: none"> o 우수성과 논문(1건), 기술이전 (1건)
4. 특기사항	<ul style="list-style-type: none"> • 제안 기술분야의 소재/소자 원천기술을 보유하고 있는 대학 연구실과 반도체 칩 제작 설비 및 설계기술을 보유한 정부출연연구소 및 관련 산업체 간의 적극적 산학연 연계 개발을 통해 실용성을 염두에 둔 비실리콘계 적응학습형 뉴런칩 기술의 조기 상용화를 도모함.
5. 사업기간/예산	3+3+4년 (연간 20억원)

		RFP 번호	D-10
과제명	산화물 반도체를 이용한 포토닉 인공지능 소자 및 회로 개발		
1. 연구목표	<p>초저전력 인공지능 회로 구현을 위한 산화물 반도체 기반 포토닉 인공지능 소자 (photonic neuromorphic device) 및 회로, 응용기술 개발</p> <ul style="list-style-type: none"> o. 포토닉 인공지능 소자용 광반응성 산화물 반도체 원천 소재 및 공정 기술 개발 o. 초저전력 인공지능 회로용 시냅스 소자 및 어레이 기술 개발 o. 포토닉 인공지능 회로를 이용한 응용기술 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o. 포토닉 인공지능 소자용 광반응성 산화물 반도체 원천 소재 및 공정 기술 개발 <ul style="list-style-type: none"> - 산화물 반도체 기반 광반응성 원천 소재 및 공정 기술 개발 - 잔류 광전기(PPC) 특성 등 산화물 반도체의 광전기 특성 제어기술 개발 - 산화물 반도체 기반 포토닉 시냅스 소자 기술 개발 <ul style="list-style-type: none"> . 금속이온, 조성비, 채널 구조 변화를 통한 광반응성 제어 및 포토닉 시냅스 소자 적용 연구 . 광전류 decay 특성 제어 : retention time $> 10^3$ sec - 고집적화 구현을 위한 crossbar-type 포토닉 시냅스 소자 개발 <ul style="list-style-type: none"> . Active area $< 100 \text{ nm}^2/\text{synaptic cell}$ o. 초저전력 인공지능 회로용 시냅스 소자 및 어레이 기술 개발 <ul style="list-style-type: none"> - 고집적화를 위한 two-terminal crossbar-type 시냅스 소자의 어레이 설계 연구 - 포토닉 시냅스 어레이 공정 기술 및 구동 연구 <ul style="list-style-type: none"> . Array size : $> 20 \times 20$ arrays o. 포토닉 인공지능 회로를 이용한 응용기술 개발 <ul style="list-style-type: none"> - 포토닉 시냅스 인공지능 회로를 이용한 integration & fire(I/F), 패턴인식 기술 개발 - 인공지능 회로 구동용 알고리즘 개발 		
3. 성과목표	<ul style="list-style-type: none"> ■ 포토닉 시냅스 소자용 신소재/공정 기술 개발 <ul style="list-style-type: none"> o. 우수성과 논문(2건), 시냅스 소자기술 IP (1건), 기술이전 (1건) ■ 포토닉 시냅스 인공지능 회로 기술 <ul style="list-style-type: none"> o. 우수성과 논문(2건) 및 기술이전 (1건) ■ 포토닉 시냅스 인공지능 회로를 이용한 응용기술 개발 <ul style="list-style-type: none"> o. 우수성과 논문(2건) 		
4. 특기사항	<ul style="list-style-type: none"> o. 출연연 보유한 능동형 산화물 반도체 소자, 포토센서 기술개발로 축척된 기술을 바탕으로 신개념 시냅스 소자제작 기술에 대응 가능한 플랫폼 핵심기술 개발 		
5. 사업기간/예산	3+3+4년 (연간 10억원)		

		RFP 번호	D-11
과제명	산화물 절연체를 이용한 멀티밸류 뉴로모픽 소자 개발		
1. 연구목표	<p>인공지능, 자율주행 자동차, 로봇, IOT, 및 지능형 시스템 등 다양한 활용분야에 적용 할 수 있는 뇌신경계 정보처리 원리를 모사한 뉴로모픽 컴퓨팅용 소자기술 개발</p> <ul style="list-style-type: none"> o. 저온 용액형 산화물 원천 소재 및 공정 기술 개발 o. 초저전력 나노스케일 신경세포 모방 시냅스 소자(뉴로모픽 소자) 원천기술 개발 o. 멀티밸류(multi-value) 시냅스 소자 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o. 시냅스 소자용 신소재/공정 원천기술 개발 <ul style="list-style-type: none"> - 2-단자 산화물 시냅스 소자의 멀티밸류 기술 <ul style="list-style-type: none"> . 멀티밸류 > 5bit (32-levels) . 소재, 도핑, 열처리공정, 소자면적/구조 제어를 통한 선형적인 저항 변화값을 가지는 멀티밸류 제어 기술 - 시냅스 소자의 신뢰성 확보기술 <ul style="list-style-type: none"> . Multi-value retention > 10년, Endurance > 10^6 cycles - 초저전력, 극소면적의 신개념 시냅스 소자 개발 <ul style="list-style-type: none"> . Energy consumption < 100 fJ/Synaptic event, Area < 10 nm²/Synaptic cell o. 신개념 시냅스 소자 어레이 및 아키텍처 융합기술 <ul style="list-style-type: none"> - 초고집적 용량 가능한 3차원 시냅스 적층 기술 및 어레이 개발 - 시냅스 소자 적층 및 어레이 적용을 위한 선택소자 개발 <ul style="list-style-type: none"> . 선택비 > 10³ - 저온공정 시냅스 소자 공정개발 < 100 °C - CMOS 뉴런과 신개념 시냅스 소자의 하이브리드 집적화 기술개발 - 시냅스 소자 기술을 활용한 인식, 학습, 및 추론 기능을 하는 뉴로모픽 소자 칩 개발 - 필기체 숫자/글자, 교통표지판 인식용 deep learning 시스템 개발 및 인식률 개선 기술 		
3. 성과목표	<ul style="list-style-type: none"> ■ 신개념 시냅스 소자용 신소재/공정 기술 개발 <ul style="list-style-type: none"> o. 우수성과 논문(2건), 시냅스 소자기술 IP (1건), 기술이전 (1건) ■ 시냅스 소자 어레이 및 아키텍처 융합기술 <ul style="list-style-type: none"> o. 우수성과 논문(2건) 및 기술이전 (1건) ■ 시냅스 소자적용 지능형 시스템/플랫폼 기술 개발 <ul style="list-style-type: none"> o. 시냅스 소자기술 IP (1건) 		
4. 특기사항	<ul style="list-style-type: none"> • 출연연 보유한 차세대 비휘발성 메모리(R램)개발로 축적된 기술을 바탕으로 신개념 시냅스 소자제작 기술에 대응 가능한 플랫폼 핵심기술 개발 		
5. 사업기간/예산	3+3년 (연간 20억원)		

		RFP 번호	D-12
과제명	유기 반도체 나노와이어 기반 뉴로모픽 소자 개발		
1. 연구목표	<p>유기 반도체 나노와이어 기반 뉴로모픽 소자 개발</p> <ul style="list-style-type: none"> o. 두뇌의 시냅틱 특징을 모사한 저전력 인공 시냅스 개발 o. 인공 뉴로모픽 소자 어레이 개발 o. 패턴 인식 시스템 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o. 두뇌의 시냅틱 특징을 모사한 저전력 인공 시냅스 개발 <ul style="list-style-type: none"> - 유기 나노와이어 기반의 인공 시냅스 소자 개발 - 인공 시냅스의 신경 가소성 (neuroplasticity) 특성 (e.g., short-term plasticity (STP), long-term plasticity (LTP), Spike-timing-dependent plasticity (STDP) 등) 분석 - 인공 시냅스 거동 메커니즘 규명 및 특성 최적화 <ul style="list-style-type: none"> . Feature size < 500 nm . 소비 전력 < 100 fJ per synaptic event o. 인공 시냅스 특성 최적화 및 뉴로모픽 소자 어레이 개발 <ul style="list-style-type: none"> - 유기 반도체 나노와이어 기반 인공 시냅스 어레이 개발 <ul style="list-style-type: none"> . 소자 동작률 > 90 % - 인공 시냅스 어레이 구동 회로 개발 o. 패턴 인식 시스템 개발 <ul style="list-style-type: none"> - 유기 반도체 나노와이어 기반 패턴 인식 시스템 개발 <ul style="list-style-type: none"> . 소자 동작률 > 90 % - 패턴 인식 및 러닝, 메모리 시스템 개발 		
3. 성과목표	<ul style="list-style-type: none"> ■ 유기 나노와이어 기반의 인공 시냅스 소자 개발 <ul style="list-style-type: none"> o. 우수성과 논문(3건) 및 특허 출원 (2건) ■ 유기 반도체 나노와이어 기반 인공 시냅스 메모리 어레이 개발 <ul style="list-style-type: none"> o. 우수성과 논문(3건) 및 특허 출원 (2건) ■ 유기 반도체 나노와이어 기반 패턴 인식 시스템 개발 <ul style="list-style-type: none"> o. 우수성과 논문(3건) 및 특허 출원 (2건) 		
4. 특기사항	<ul style="list-style-type: none"> • 위치와 방향이 제어된 1차원 유기 반도체 나노와이어를 대면적으로 정렬하여 형성하는 기술을 보유한 서울대학교 유연나노전자에너지연구실에서 그동안 (10년간) 축적된 기술을 바탕으로 유기 반도체 나노와이어 기반 뉴로모픽 소자 개발에 대응 가능한 플랫폼 핵심기술 개발 		
5. 사업기간/예산	3+3+4년 (연간 2억원)		

RFP 번호	D-13
과제명	유기물 기반의 전기화학적 뉴로모픽 소자 개발
1. 연구목표	
유기물 기반의 전기화학적 시냅스 소자 및 적응학습 뉴런칩 개발	
o 뇌의 시냅스 특징을 모사하는 유기물 기반 전기화학 동작의 소재/소자 개발	
o 유기물 기반 뉴로모픽 소자 어레이 개발	
o 유기물 기반 뉴로모픽 소자 어레이를 이용한 패턴 인식 시스템 개발	
2. 연구내용 및 범위	
o 뇌의 시냅스 특징을 모사하는 유기물 기반 전기화학 동작의 소재/소자 개발	
- 유기물 기반 전기화학셀 형 시냅스 소자 개발을 위한 신규 소재 및 소자 구조 최적화	
- 유기물 기반 전기화학셀 형 시냅스 소자의 적응학습 기능 분석	
(short-term plasticity (STP), long-term plasticity (LTP), spike-timing-dependent plasticity (STDP) 등)	
- 저전력 동작을 위한 소자 구조 개발	
(요구성능) 소자 동작전압 < 1V, 동작소비전력 < 10fJ per synapse event	
o 유기물 기반 뉴로모픽 소자 어레이 개발	
- 유기물 기반 전기화학셀 기반의 뉴런 회로 설계 및 제작	
- 뇌과학 및 학습 알고리즘을 적용한 유기물 기반 전기화학셀기반 뉴런 회로 동작 시연 및 성능 고도화	
o 유기물 기반 뉴로모픽 소자 어레이를 이용한 패턴 인식 시스템 개발	
- 시냅스어레이와 뉴런 회로의 집적화 공정 기술 개발 및 뉴런칩 공적 최적화	
- 유리/플라스틱 기판 상에 제작된 뉴런칩 동작 시연	
3. 성과목표	
■ 유기물 기반 전기화학 동작의 시냅스 소자 개발 및 성능 고도화	
o 우수성과 논문 (2건), 기술이전 (1건)	
■ 시냅스어레이/뉴런회로 집적 뉴런칩 (Oxide-based neuron chip)	
o 우수성과 논문(2건), 뉴런칩 시제품 (1건), 기술이전 (2건)	
4. 특기사항	
• 제안 기술분야의 소재/소자 원천기술을 보유하고 있는 대학 연구실과 반도체 칩 제작 설비 및 설계기술을 보유한 정부출연연구소 및 관련 산업체 간의 적극적 산학연 연계 개발을 통해 실용성을 염두에 둔 비실리콘계 적응학습형 뉴런칩 기술의 조기 상용화를 도모함.	
5. 사업기간/예산	3+3+4년 (연간 20억원)

		RFP 번호	D-14
과제명	초박막 접합 구조기반 시냅스 모방 메모리 소자 및 회로 기술 개발		
1. 연구목표			
	<p>초박막 접합 구조기반 시냅스 모방 메모리 소자 및 회로 기술 개발 연구</p> <ul style="list-style-type: none"> ○ 접합용 다층박막 구조 설계 및 제작 기술 ○ 펄스 시간 및 낮은 전류량에 의한 효율적인 에너지 소비 구조 연구 (수십 aJ~ 수 pJ) ○ 이온의 반복적인 산화·환원을 통한 전도성 경로 형성으로 인한 높은 on/off 구현 연구 ($>10^6$) ○ 펄스의 조건에 의존하는 단기/장기 강화 전환 및 단기/장기 기억 전환 특성 구현 연구 ○ 디지털 및 아날로그 메모리 특성의 모델링을 통한 소자/회로 시뮬레이션 플랫폼 연구 ○ 기존 방식 대비 에너지효율을 1/10 이하로 줄일 수 있는 주요 회로 및 시스템 핵심 기능에 대한 정량화 연구 		
2. 연구내용 및 범위			
	<ul style="list-style-type: none"> ○ 접합용 다층박막 구조 설계 및 제작 기술 <ul style="list-style-type: none"> - 액티브 소재 설계 및 증착 기술 개발 - 전해질 소재 설계 및 증착 기술 개발 - 접합 특성 설계 및 제작 기술 개발 - 반도체 공정 기반 대면적 고집적 소자 제작 기술 개발 ○ 펄스 시간 및 낮은 전류량에 의한 효율적인 에너지 소비 구조 연구 (수십 aJ~ 수 pJ) <ul style="list-style-type: none"> - 다양한 펄스 개수 및 폭에 의한 특성 측정 및 분석 - 자가선택적 시냅스 강화 특성 구현 구조 설계 기술 개발 ○ 이온의 반복적인 산화·환원을 통한 전도성 경로 형성으로 인한 높은 on/off 구현 연구 <ul style="list-style-type: none"> - 전극에 따른 전하수송 특성 비교 및 동작 원리 연구 - 온도에 의존하는 이온에 의한 전하수송 특성 측정 및 분석 - 액티브 소재와 전하수송 특성 간의 상관관계 연구를 통한 높은 on/off 구현 기술 개발 ($>10^6$) ○ 펄스의 조건에 의존하는 단기/장기 강화 전환 및 단기/장기 기억 전환 특성 구현 연구 <ul style="list-style-type: none"> - 자가선택적 단기/장기 강화 전환 특성 기술 개발 - 자가선택적 단기/장기 기억 전환 특성 기술 개발 ○ 디지털 및 아날로그 메모리 특성의 모델링을 통한 소자/회로 시뮬레이션 플랫폼 연구 <ul style="list-style-type: none"> - 금속 이온, 산소 공공 등 메모리 시냅스 동작의 핵심이 되는 메커니즘에 대한 컴팩트 모델 개발 - 소자 시뮬레이션 및 회로 시뮬레이션으로의 확장 기술 개발 - 재료 및 공정 파라미터로 기술되는 시뮬레이션 플랫폼 개발 ○ 기존 방식 대비 에너지효율을 1/10 이하로 줄일 수 있는 주요 회로 및 시스템 핵심 기능에 대한 정량화 연구 <ul style="list-style-type: none"> - 개발된 모델 및 시뮬레이터를 기반으로 기존 회로와 시냅스 모방 메모리 기반 회로의 성능 및 에너지 효율을 체계적으로 비교 및 정량화할 수 있는 기술 개발 - 시냅스 모방 메모리 소자와 뉴런-시냅스 인터페이스, 그 외 다양한 회로 블록 제안 및 성능, 신뢰성, 제조단가, 집적도, 에너지 효율을 모두 고려한 physical IP 복수개 제안 및 검증 		
3. 성과목표			

- 접합용 다층박막 구조 개발
 - o 우수성과 논문(5건) 및 시제품 (2건)
- 높은 on/off 가진 시냅스 모사 메모리 소자 기술 개발
 - o 우수성과 논문(5건) 및 시제품 (2건)
- 고집적 대면적 시냅스 모사 메모리 소자 기술 개발
 - o 우수성과 논문(5건), 신호처리회로 기술 IP (2건)
- 시냅스 모사 메모리 소자와 접적회로 블록 기술 제안
 - o 우수성과 논문(3건) 및 physical IP (5건)

4. 특기사항

- 기존 시냅스 및 뉴런 소자 연구는 패턴인식 응용에 집중되어 있으나, 인공지능/딥러닝 등 소프트웨어 알고리즘 연구와 시냅스/뉴런 모사 소자 등 하드웨어 연구가 서로 꾀리되어 있어 새로운 응용 기술의 가시화가 어려움.
- 또한 새로운 회로와 시스템을 다양하게 모사하고 그 성능 및 에너지 효율을 예측하기 어렵기 때문에, 회로 제안 및 검증의 주기가 기술발전 주기에 비해 길 수 밖에 없음.
- 에너지 소모가 큰 회로 및 시스템을 physical layer 즉 회로 블록 단위에서 고민하고, 디지털 및 아날로그 메모리 특성을 이원화하여 체계적이고 정량적으로 가능성을 타진하고 역량을 집중해야 함.
- 소자, 회로 및 시스템의 개념에서 끝나지 않고, 구제적 재료와 공정 기반으로 시냅스 모방 메모리 소자와 주요 기능을 하는 접적회로 블록을 구현할 수 있는 공정집적 및 컴팩트 모델 파라미터, 회로 시뮬레이터를 함께 제시하고자 함. 이것은 향후 유망한 뉴로모픽 회로를 구체적으로 제안하고, 기존 회로 대비 매우 정확한 벤치마킹이 가능함. 또한 기능 및 성능, 에너지 효율의 핵심 결정인자가 무엇인지를 매우 명확하게 보여줄 수 있음.

5. 사업기간/예산

3+3년 (연간 40억원)

		RFP 번호	D-15
과제명		초저전력 비실리콘계 대면적 일렉트로닉스용 적응학습형 뉴런칩 개발	
1. 연구목표			
<p>초저전력 대면적 일렉트로닉스용 비실리콘계 시냅스 소자 및 적응학습형 뉴런칩 개발</p> <ul style="list-style-type: none"> o. 비실리콘계 산화물반도체 기반의 시냅스 소자 개발 및 학습 알고리즘 개발 o. 적응학습형 인공 신경회로 구축을 위한 산화물반도체 기반 뉴런회로 기술 개발 o. 시냅스어레이와 뉴런 회로의 집적화 공정 기술 최적화 및 뉴런칩 제작 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 비실리콘계 산화물반도체 기반의 시냅스 소자 개발 및 학습 알고리즘 개발 <ul style="list-style-type: none"> - 비실리콘계 시냅스 소자 개발을 위한 신규 소재 및 소자 구조 최적화 - 산화물 반도체 기반 시냅스 소자의 적응학습 기능 구현 및 학습알고리즘 적용기술 개발 - 계산과학을 적용한 산화물 기반 시냅스 소자의 적응학습 기능 설계 기술 - 시냅스 소자 성능 평가 시스템 구축 - 전도도 변화의 대칭성/선형성 특성 확보 필수 (요구성능) 소자 동작전압 < 10V, 소자 동작속도 < 100μs, 동작 on/off비 > 10³ 소자 멀티레벨 계조 > 7bit, 소자 반복동작내성 > 10⁶, 동작소비전력 < 10fJ o. 적응학습형 인공 신경회로 구축을 위한 산화물반도체 기반 뉴런회로 기술 개발 <ul style="list-style-type: none"> - 인공 신경회로망 구축을 위한 산화물반도체 박막트랜지스터의 동작 성능 향상 기술 개발 - 산화물반도체 박막트랜지스터 기반의 뉴런 회로 설계 및 제작 - 뇌과학 및 학습 알고리즘을 적용한 산화물반도체 기반 뉴런 회로 동작 시연 및 성능 고도화 - 뉴런회로 시제품 동작 특성 평가 (요구성능) 구동 TFT 이동도 < 20cm²/Vs, 구동 TFT 동작신뢰성 < 0.5V (ΔV_{TH}) <p>@요구스트레스조건 구동 TFT 특성 균일성 < ±5%, 뉴런회로 동작주파수 > 1MHz</p> o. 시냅스어레이와 뉴런 회로의 집적화 공정 기술 최적화 및 뉴런칩 제작 <ul style="list-style-type: none"> - 시냅스어레이 제작 및 시냅스 학습 알고리즘 적용 기술 개발 - 시냅스어레이와 뉴런 회로의 집적화 공정 기술 개발 및 뉴런칩 공적 최적화 - 유리 혹은 플라스틱 기판 상에 제작된 뉴런칩 동작 시연 - 뉴런칩 시제품 동작 특성 평가 - 응용 시제품 타겟 설정 (요구성능) 시냅스어레이 > 64K, 시냅스어레이 소자스케일링 < 250nm, 학습정보 기억시간 > 10시간 다층 집적화기술 > 3층, 저온공정기술 < 300°C, 플렉시블 시스템 곡률반경 < 3.0mm 뉴런칩 패턴인식율 (패턴인식 시스템 가정) > 90%, 뉴런칩 학습선형성 ($R ^2$) > 0.9 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 산화물반도체 기반 시냅스 소자 개발 및 성능 고도화 (Oxide semiconductor Synapses) <ul style="list-style-type: none"> o. 우수성과 논문(4건), 기술이전 (1건) ■ 산화물반도체 기반 뉴런회로 (Oxide-based neuron circuit) <ul style="list-style-type: none"> o. 우수성과 논문(4건), 뉴런회로 시제품 (1건), 기술이전 (1건) ■ 시냅스어레이/뉴런회로 집적 뉴런칩 (Oxide-based neuron chip) <ul style="list-style-type: none"> o. 우수성과 논문(4건), 뉴런칩 시제품 (1건), 기술이전 (2건) 			
4. 특기사항			
<ul style="list-style-type: none"> • 제안 기술분야의 소재/소자 원천기술을 보유하고 있는 대학 연구실과 반도체 칩 제작 설비 및 설계기술을 보유한 정부출연연구소 및 관련 산업체 간의 적극적 산학연 연계 개발을 통해 실용성을 염두에 둔 비실리콘계 적응학습형 뉴런칩 기술의 조기 상용화를 도모함. 			
5. 사업기간/예산		3+3+4년 (연간 20억원)	

		RFP 번호	E-1
과제명	초저전압 반도체 소자		
1. 연구목표	<ul style="list-style-type: none"> <input type="checkbox"/> 기존 MOSFET 소자의 구동전압 한계 극복을 위한 반도체 소자/회로 기술 개발 <ul style="list-style-type: none"> ◦ 1단계 (5년): 0.5V 이하 구동전압용 반도체 소자/회로 기술 개발 ◦ 2단계 (5년): 0.3V 이하 구동전압용 반도체 소자/회로 기술 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> <input type="checkbox"/> 1단계 (5년): 0.5 V 이하 구동전압용 반도체 소자/회로 기술 개발 <ul style="list-style-type: none"> ◦ 0.5 V 이하 구동전압 동작 로직반도체 소자 구현 및 공정 개발 <ul style="list-style-type: none"> - 새로운 소자구조/물질/동작원리를 이용한 저전압 로직반도체 구현 - 저전압 로직반도체 구현을 위한 신공정 개발 ◦ 0.5 V 이하 구동전압 동작 로직반도체 소자의 모델링 및 PDK 개발 <ul style="list-style-type: none"> - 회로설계를 위한 저전압 로직반도체 소자의 compact modeling - 저전압 로직반도체 소자에 대한 물리적 이해와 예측을 위한 모델링 ◦ 0.5 V 이하 초저전압 동작 로직반도체 회로의 구현 및 적용 <ul style="list-style-type: none"> - 저전압 동작 논리회로의 구현 - 연관 분야로 저전압 동작 로직반도체 회로의 응용처를 확장 <input type="checkbox"/> 2단계 (5년): 0.3 V 이하 구동전압용 반도체 소자/회로 기술 개발 <ul style="list-style-type: none"> ◦ 0.3 V 이하 구동전압 동작 로직반도체 소자 구현 및 공정 개발 <ul style="list-style-type: none"> - 새로운 소자구조/물질/동작원리를 이용한 저전압 로직반도체 구현 - 저전압 로직반도체 구현을 위한 신공정 개발 ◦ 0.3 V 이하 구동전압 동작 로직반도체 소자의 모델링 및 PDK 개발 <ul style="list-style-type: none"> - 회로설계를 위한 저전압 로직반도체 소자의 compact modeling - 저전압 로직반도체 소자에 대한 물리적 이해와 예측을 위한 모델링 ◦ 0.3 V 이하 초저전압 동작 로직반도체 회로의 구현 및 적용 <ul style="list-style-type: none"> - 저전압 동작 논리회로의 구현 - 연관 분야로 저전압 동작 로직반도체 회로의 응용처를 확장 		
3. 성과목표	<ul style="list-style-type: none"> ◦ 제안된 구조 및 물질이 초저전압 나노 전자 소자의 성능에 미치는 영향을 시뮬레이션을 통하여 확인 ◦ 제안된 구조 및 물질이 초저전압 나노 전자 소자의 성능 향상에 미치는 영향을 단위 공정 및 소자 제작 실험을 통하여 확인 ◦ 제안된 신뢰성 분석 결과를 이용하여 초저전압 나노 전자 소자의 수명예측 		
4. 특기사항	<ul style="list-style-type: none"> ◦ 기존 MOSFET 기술과 호환성이 높은 공정/재료를 이용한 기술 개발로 연구개발의 risk를 최소화함 ◦ 단위 소자 개발만이 아닌 회로 설계와의 유기적인 협력이 추진되어야 함 ◦ 현재 산업화가 상당히 추진된 MOSFET 기술은 지양함 		
5. 사업기간/예산	10년(5+5), 30 억원/년		

		RFP 번호	E-2
과제명		3-5족 초고속 채널을 이용한 스핀트랜지스터	
1. 연구목표			
<input type="checkbox"/> 스핀전류를 이용한 트랜지스터 개발 <ul style="list-style-type: none"> ◦ 1단계 (5년): 스핀-케도결합이 큰 3-5족 고성능 채널 개발 ◦ 2단계 (5년): 스핀전류 생성 및 전기장 제어 트랜지스터 개발 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계 (5년): 3-5족 양자우물 채널 제작 기술 개발 <ul style="list-style-type: none"> ◦ 3-5족 고성능 채널 개발 ◦ 전기장을 자기장으로 전환하는 양자우물 개발 ◦ 스핀정보의 제어를 자기장이 아닌 게이트 제어로 가능한 구조 설계 			
<input type="checkbox"/> 2단계 (5년): 전기장 제어 스핀트랜지스터 개발 <ul style="list-style-type: none"> ◦ 동작온도 상승을 위한 강자성체와 반도체 사이의 표면 처리 기술 향상 ◦ 스핀 분극효율이 높은 강자성 재료 및 시스템 개발 ◦ 스핀트랜지스터를 이용한 논리회로 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ◦ 반도체 적층구조 및 동작방식 원천특허 확보 ◦ 새로운 개념의 트랜지스터 및 양자우물 구조에 관한 검증 논문 발표 (매년 3편 이상) 			
4. 특기사항			
<ul style="list-style-type: none"> ◦ 산학연이 연합한 대형 연구가 필요함 ◦ 새로운 개념의 트랜지스터가 개발되면 모든 반도체 회로에 사용이 가능하여 부가가치가 매우 높음 			
5. 사업기간/예산		10년(5+5), 30 억원/년	

		RFP 번호	E-3
과제명	휴먼 인텔리전트 엣지(IE)용 초실감 텍타일 인터페이스 소자 및 구동 SoC 기술 개발		
1. 연구목표			
<input type="checkbox"/> 자유곡면, 개인 맞춤형 촉감을 제공하는 인텔리전트 엣지용 초실감 텍타일 인터페이스 소자 및 구동 SoC 기술 개발 <ul style="list-style-type: none"> ○ 1단계(3년): 인텔리전트 엣지용 텍타일 인터페이스 어레이 소자 및 구동 SoC 기술 ○ 2단계(3년): 자유곡면, 초고감도, 고출력 등의 특성을 가지는 텍타일 인터페이스 소자 및 구동 SoC 일체형 모듈 기술 개발 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계(3년): 인텔리전트 엣지용 100 ppi급 텍타일 인터페이스 어레이 소자 및 구동 SoC 기술 <ul style="list-style-type: none"> ○ 고출력 스킨 텍타일 인터페이스 소자 제작을 위한 소재 및 소자/공정 기술 개발 <ul style="list-style-type: none"> - 100 ppi급 고출력 진동 소자용 소재/소자 기술 - 100 ppi급 고출력 진동 소자용 대면적화 공정 기술 - 고출력 진동 소자용 단위 픽셀 설계 및 구조 기술 ○ 텍타일 인터페이스 패널 설계/제작 및 구동 기술 개발 <ul style="list-style-type: none"> - 텍타일 인터페이스 패널 설계 및 고속 구동 회로 기술 - 텍타일 인터페이스 패널 집적 기술 - 픽셀간 진동 변화를 최소화하기 위한 구동 및 특성 평가 기술 			
<input type="checkbox"/> 2단계(3년): 자유곡면, 초고감도, 고출력 등의 특성을 가지는 300 ppi급 텍타일 인터페이스 소자 및 구동 SoC 일체형 모듈 기술 개발 <ul style="list-style-type: none"> ○ 자유곡면, 초고감도, 고출력 텍타일 인터페이스 패널 제작 및 구동 기술 개발 <ul style="list-style-type: none"> - 자유곡면용 초고감도 300 ppi급 진동 소자 픽셀 설계 및 구조 기술 - 자유곡면용 초고감도 300 ppi급 진동 소자 공정 및 전사 기술 - 자유곡면 텍타일 인터페이스 패널 설계 및 SoC 구동 회로 기술 - 자유곡면 텍타일 인터페이스 패널 집적화 및 SoC 구동 회로 일체화 기술 ○ 초실감 텍타일 인터페이스 소자용 UI/UX 기술 개발 <ul style="list-style-type: none"> - 초고감도 텍타일 인터페이스 소자 기반 서피스 인터페이스 소자 모듈 기술 - 초고감도 텍타일 인터페이스 소자 UI/UX 기술 - 개인맞춤형 텍타일 인터페이스 초실감 가상물리시스템 구현 			
3. 성과목표			
<ul style="list-style-type: none"> ○ 1단계 (3년): 100 ppi급 텍타일 인터페이스 소자 및 SoC 개발 <ul style="list-style-type: none"> - 우수성과 논문(5건), IP (5건) - 텍타일 인터페이스 소자 및 SoC 기술 이전 및 상용화(2건) ○ 2단계 (3년): 자유곡면용 300 ppi급 텍타일 인터페이스 모듈 개발 <ul style="list-style-type: none"> - 우수성과 논문(5건), IP (5건) - 초고해상도 텍타일 인터페이스/SoC 구동 소자 일체화 패널 기술 이전 및 상용화(5건) 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 엣지 오픈 코어, 엣지 오픈 플랫폼과 연계 ○ 2개 이상의 분야의 서로 다른 상용화 제품 			
5. 사업기간/예산	3년+3년 (연간 30억원)		

		RFP 번호	E-4
과제명	초저구동전압 소자 시스템 실증 및 범용시스템 플랫폼 개발		
1. 연구목표	<p>○ 전자기기의 에너지 효율 제고를 위한 초저구동전압 소자 시스템 실증 및 범용 시스템 플랫폼 개발</p> <p>○ 세부연구목표</p> <ul style="list-style-type: none"> - 1단계 (3년): 초저구동전압 신소자/ 집적공정/ 플랫폼 기술개발 - 2단계 (3년): 초저구동전압 하드웨어 응용 시스템 구현/고도화/상용화 개발 		
2. 연구내용 및 범위	<p>○ 1단계 (3년): 초저구동전압 신소자/집적공정/ 플랫폼 기술개발</p> <ul style="list-style-type: none"> - 초저구동전압 소자 개념 정립/ 소자 실증 및 집적공정 개발 <ul style="list-style-type: none"> * 새로운 소자구조/물질/동작원리를 이용한 초저구동전압소자의 구현 * 고집적 시스템 구현을 위한 단위공정/집적공정 개발 - 초저구동전압 소자의 모델링 및 PDK 개발 - 초저구동전압 소자 집적 플랫폼 개발 <ul style="list-style-type: none"> * 디지털/아날로그 회로 설계/제작 환경구축 및 성능검증 (소자집적도 10^4, 수율>70%) <p>○ 2단계 (3년): 초저구동전압 하드웨어 응용 시스템 구현/고도화/상용화 개발</p> <ul style="list-style-type: none"> - 1단계에서 개발된 플랫폼 집적도 고도화 <ul style="list-style-type: none"> * 소자집적도 10^6(수율>90%) * 범용시스템 지원을 위한 상시 모니터링 및 수율관리 시스템 구축 - 플랫폼 PDK 및 집적공정을 이용한 초저구동전압 로직 플랫폼 시스템 구현 - 플랫폼 PDK 및 집적공정을 이용한 상용화목표 시제품 3종이상 제작 		
3. 성과목표	<ul style="list-style-type: none"> - 상용화 시제품 개발 지원이 가능한 초저구동전압 칩 제작 플랫폼 기술개발 - 초저구동전압 소자 기반의 시제품 3건 - 원천특허 5건 및 관련 특허 25건 이상 확보 - 플랫폼 서비스 실적 5건 이상 확보 		
4. 특기사항	<ul style="list-style-type: none"> - 사업단이 나노인프라 집적공정 개발 및 활용주체가 됨 - 1단계 예산의 20% 이내로 집적공정 인프라 구축 (나노인프라시설활용) - 2단계 예산의 30%이상을 상용화 목적의 범용 시스템 개발 지원에 활용 - 사업예산의 10%이상을 bottom-up 단위과제에 지원하여 풀뿌리 아이디어 창출/지원 - 사업예산의 5%이내의 교육프로그램 제안 		
5. 사업기간/예산	6년(3+3), 1단계 30억/년. 2단계/ 30억/년		

		RFP 번호	E-5
과제명		3D 적층형 초고속 저전력 CMOS 반도체 소재 및 소자 공정 개발	
1. 연구목표		<p><input type="checkbox"/> 반도체 소자의 scaling 한계 극복을 위해 3D 적층이 가능한 초고속 저전력 CMOS 반도체 소자용 신소재 및 공정 개발</p> <ul style="list-style-type: none"> ◦ 1단계 (5년): 한계 극복 위한 3D 적층 가능한 초고속 저전력 CMOS 반도체용 신소재 및 소자 공정 개발 ◦ 2단계 (3년): 복수의 층으로 적층된 CMOS 소자 통해 단위 로직/메모리 동작 구현 	
2. 연구내용 및 범위		<p><input type="checkbox"/> 1단계 (5년): 3D 적층형 초고속 저전력 CMOS 반도체 소재 및 공정 기술 개발</p> <ul style="list-style-type: none"> ◦ 3D 적층 가능하며 기존 Si 단결정 성능을 뛰어넘는 초고속 저전력 CMOS 반도체 소재 및 공정 개발 <ul style="list-style-type: none"> - 저온 증착 통한 적층 가능하며 기존 Si 단결정의 전하 이동도 이상을 갖는 초고속 저전력 반도체 소재 개발 - 기존 Si 반도체 소자 공정과 유사하게 P-/N-type 영역의 선택적 형성 공정 통한 상보형 반도체소자(CMOS) 개발 <p><input type="checkbox"/> 2단계 (3년): 3D 적층 CMOS 소자로 구성된 단위 로직/메모리 소자 동작 구현</p> <ul style="list-style-type: none"> ◦ 1단계 개발 기술에 기반한 적층형 단위 로직/메모리 소자 구현 <ul style="list-style-type: none"> - 개발된 신소재/공정 기술의 Integrated Chip 구성 가능성 평가 - 적층 통한 반도체 소자 열화 가능성 검증 - 3D 적층 소자의 단위 로직/메모리 동작 검증을 통한 신소재/공정의 개선 	
3. 성과목표		<ul style="list-style-type: none"> ◦ 신개념 3D 적층 가능한 초고속 저전력 CMOS 반도체 기술로 구현 위한 소재/공정/구조 아이디어 선점 (특히 매년 1건 이상) ◦ 적층형 초고속 저전력 반도체 소재/소자 구현 및 검증 (논문 매년 2건 이상) 	
4. 특기사항		<ul style="list-style-type: none"> ◦ 기존 단결정 Si 기판의 성능 이상을 보장하는 재료를 이용하여야 함 ◦ 삼차원 적층 구조에 기반하고 신소재 기술이 사용되어야 함 ◦ 단위 CMOS 소자 개발만이 아닌 적층 CMOS 기반 단위 로직/메모리 동작 검증이 가능해야 함 	
5. 사업기간/예산		8년(5+3), 30 억원/년	

		RFP 번호	E-6		
과제명		극저전력 단일층 수평 집적형 3-5 CMOS on Si 논리회로			
1. 연구목표					
<input type="checkbox"/> 극저전력 단일층 수평 집적형 3-5 CMOS on Si 논리회로 구현 <ul style="list-style-type: none"> ◦ 3-5 p-type, n-type 소자의 Si 기판상 형성 기술, 수평형 p/n 소자제작기술, 3-5소자의 Si기판상 전사 기술, 3-5 저전력/고밀도 메모리소자 제작기술 ◦ 최종 목표 3-5 CMOS 디지털 logic, 소자 동작속도 30GHz 이상, 동작전압 0.5V이내 ◦ 2017년의 100배 Figure of merit소자 확보 [1/10 저전력. 10배 고속] 					
2. 연구내용 및 범위					
<input type="checkbox"/> 1단계(5년): 3-5 p-type, n-type 소자의 Si 기판상 형성 기술, 수평형 p/n 소자제작기술, 3-5소자의 Si기판상 전사 기술, 3-5 저전력/고밀도 메모리소자 제작기술 <ul style="list-style-type: none"> ◦ Si 기판상, 단일층에 3-5 CMOS를 위한 수평형 n/p층 형성기술 ◦ n/p형 반도체의 밴드갭 일치 조건 및 strain balance조건 형성 ◦ 3-5 CMOS 기반 기초 소자 구현 [NAND/NOR/NOT] ◦ 저전압, 고속 동작 기술 [0.5V, 30GHz] 					
<input type="checkbox"/> 2단계(5년): 3-5 CMOS 디지털 logic 회로 구현 <ul style="list-style-type: none"> ◦ 3-5 CMOS 기반 기초 회로 구현 및 설계 parameter추출 ◦ 3-5 기반 저전력/고속메모리 소자시현 					
3. 성과목표					
<ul style="list-style-type: none"> ◦ 3-5 CMOS 디지털 logic on Si [소자 동작속도 30GHz 이상, 동작전압 0.5V이내]구현 ◦ 사업화를 위한 특허 [10편 이상] 출원 ◦ IEDM/VLSI등 국제 학회에 최소 매년 1편이상 발표를 통해 국제적인 공인 획득 ◦ 과제 2단계에서 국내외 반도체 기업의 연구비 투자 유치 					
4. 특기사항					
<ul style="list-style-type: none"> ◦ 단일 3-5족 반도체를 이용하여 n/p채널을 동시에 수평적으로 형성하는 방법에 대한 구체적 제시필요. ◦ 과제 2단계에서 국내외 반도체 기업의 투자 유치의 경우, 본 과제의 직접적 산업화를 위한 투자이므로, 본과제와 중복성이 있지않음. 					
5. 사업기간/예산		5년+5년 (연간 30억원)			

		RFP 번호	E-7
과제명	인체 친화적인 인텔리전트 엣지 IoT 모듈용 패키징 인터커넥션 기술		
1. 연구목표			<p><input type="checkbox"/> 인체에 부착하거나 삽입하는 인텔리전트 엣지 IoT 모듈용 인체 친화적인 패키징 인터커넥션 기술</p> <ul style="list-style-type: none"> ○ 인체 부착 및 삽입형 초소형·초경량 system-in-packaging (SiP) 기술 개발 ○ 인체 친화적인 신축형 인터커넥션 소재 및 공정 기술 개발 ○ 인체 친화적인 encapsulant 소재 국산화 및 공정 기술 개발
2. 연구내용 및 범위			<p><input type="checkbox"/> 인체 부착 및 삽입형 초소형·초경량 system-in-packaging (SiP) 기술 개발</p> <ul style="list-style-type: none"> - 생체 신호 감지 센서, ROIC, RF 소자가 집적된 초소형 SiP 개발 - 초소형($400 \times 400 \mu\text{m}^2$ 미만)·초박형($30 \mu\text{m}$ 미만) 센서 디바이스 전사 및 동시 접합 기술 개발 - 인체 부착 및 삽입형 SiP의 임피던스 제어 설계 기술 개발 - 인체 부착 및 삽입 환경 하 SiP 신뢰성 확보 기술 개발 <p><input type="checkbox"/> 인체 친화적인 신축형 인터커넥션 소재 및 공정 기술 개발</p> <ul style="list-style-type: none"> - 신축형 기판과 디바이스간의 저 응력 인터커넥션 소재 및 저온 (130°C 미만) 공정 기술 개발 - 유연 환경 하에 2층 이상 다층 응력 중립면 설계 기술 개발 - 신축 환경 하에 응력 분산형 인터커넥션 설계 기술 개발 <p><input type="checkbox"/> 인체 친화적인 encapsulant 소재 국산화 및 공정 기술 개발</p> <ul style="list-style-type: none"> - 인체 부착 및 삽입 환경 하에 인체 조직과 부작용이 없는 encapsulation 소재 국산화 - 인체 부착 및 삽입 환경 하 신축형 encapsulant 소재 개발 (신축성: 50%) - 저온 저 잔류 응력 encapsulation 공정 기술 개발 - 인체 부착 및 삽입 환경 하 encapsulant의 신뢰성 확보 기술 개발
3. 성과목표			<ul style="list-style-type: none"> ○ 인체 부착 및 삽입형 초소형·초경량 system-in-packaging (SiP) 기술 개발 <ul style="list-style-type: none"> - 우수성과 논문(2건), 인체 부착 및 삽입형 SiP IP (3건) ○ 인체 친화적인 신축형 인터커넥션 소재 및 공정 기술 개발 <ul style="list-style-type: none"> - 우수성과 논문(1건), 인터커넥션 소재 (2건) ○ 인체 친화적인 encapsulant 소재 및 공정 기술 개발 <ul style="list-style-type: none"> - 우수성과 논문(2건), 인체 친화적인 encapsulant 소재 (2건)
4. 특기사항			•
5. 사업기간/예산		2년+2년+2년 (연간 10억원)	

		RFP 번호	F-1
과제명		엣지용 인공지능 데이터 스토리지 기술	
1. 연구목표		<p>IoT 및 센서 시스템 등과 같은 초저전력 모바일 시스템을 지원하는 NAND-기반 스토리지 솔루션 개발, 초저전력 오류정정기술 개발, 데이터 수집체계에 특화된 파일 시스템 및 관련 firmware 개발, 초저전력 스토리지 컨트롤러 및 이를 포함한 SoC 통합 환경 설계</p> <ul style="list-style-type: none"> o. Hard-decision 정보만을 사용하여 스토리지용 오류정정부호의 성능을 대폭 개선, 이를 활용하는 초저전력 스토리지 신호처리 솔루션 개발 o. Hard-decision 정보를 활용하는 초저전력 오류정정회로 RTL IP 개발 o. 초저전력 모바일 시스템의 적용분야에 특화된 파일 시스템 및 주소 매핑 솔루션 개발 o. low-level 메모리 컨트롤러, 오류정정시스템, 상위레벨 신호처리를 통합적으로 지원하는 컨트롤러 SoC 설계 	
2. 연구내용 및 범위		<ul style="list-style-type: none"> o. Hard-decision 정보만을 사용하여 스토리지용 오류정정부호의 성능을 대폭 개선, 이를 활용하는 초저전력 스토리지 신호처리 솔루션 개발 <ul style="list-style-type: none"> – Life-time을 늘리기 위한 기존 soft-decision 오류정정부호의 사용 시기를 대폭 지연시킬 수 있는 고성능 hard-decision 오류정정부호 및 복/부호화 과정 개발 – 모바일 스토리지로의 적용을 고려한 오류정정부호 파라미터 최적화 – 모바일 스토리지에서 요구되는 수준의 BER 성능검증을 위한 고속 시플레이션 환경 개발 o. Hard-decision 정보를 활용하는 초저전력 오류정정시스템 RTL IP 개발 <ul style="list-style-type: none"> – 개선된 hard-decision 오류정정부호를 지원하는 HW RTL IP 구현 및 검증 – 저복잡도 저면적 구현을 고려한 오류정정시스템 및 온-칩 메모리 버퍼 구조 개발 – 에너지 효율을 극대화 하는 오류정정시스템 HW 설계 최적화 기술 개발 o. 초저전력 모바일 시스템의 적용분야에 특화된 파일 시스템 및 주소 매핑 솔루션 개발 <ul style="list-style-type: none"> – 모바일 시스템의 동작에 특화된 파일 시스템 개발 및 검증 – 데이터의 중요도에 따라 스토리지에 저장된 soft-decision 정보의 사용 시기를 조절할 수 있는 주소 매핑 기술 개발 – 상용 시스템에서 사용되는 firmware-level SW 및 OS와의 연동을 통한 성능 검증 o. low-level 메모리 컨트롤러, 오류정정시스템, 상위레벨 신호처리를 통합적으로 지원하는 컨트롤러 SoC 설계 <ul style="list-style-type: none"> – 오류정정시스템 및 상위 firmware를 모두 고려하는 통합 SoC RTL 설계 및 검증 	
3. 성과목표		<ul style="list-style-type: none"> ■ Hard-decision 기반의 고성능 오류정정부호 및 고효율 복/부호화 알고리즘 o. 우수성과 논문(5건) 및 핵심 특허(2건) ■ 초저전력 오류정정시스템 및 이를 포함하는 초저전력 스토리지 컨트롤러 SoC 설계 o. 우수성과 논문(5건) 및 메모리 컨트롤러 및 관련 SoC(2건) ■ 초저전력 모바일 시스템에 특화된 파일 시스템 및 주소 매핑 기술 o. 우수성과 논문(5건), Firmware-level SW 및 응용 SW(2건) 	
4. 특기사항		<ul style="list-style-type: none"> • 	
5. 사업기간/예산		3년+2년 (연간 20억원)	

		RFP 번호	F-2
과제명	딥뉴럴넷을 위한 3차원 집적 Near Data Processing 기술		
1. 연구목표			
<p>고성능 DNN (Deep Neural Network) 처리를 위한 3차원 집적 Near Data Processing HW/SW 아키텍처를 개발하고 이를 최적 활용하는 심층학습 알고리즘 개발</p> <ul style="list-style-type: none"> o. DNN 처리에 효과적인 3차원 집적 메모리 구조 및 연산유닛 개발 o. 3차원 집적 Near Data Processing을 위한 시스템 최적화 기술 개발 o. 3차원 집적 Near Data Processing에 적합한 심층학습 알고리즘 개발 및 효율성 검증 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. DNN 처리에 효과적인 3차원 집적 메모리 구조 및 연산유닛 개발 <ul style="list-style-type: none"> – 고성능 DNN 처리를 위해 CPU 또는 연산유닛을 3차원 메모리에 통합하는 기술 개발 – 3차원 메모리 구조 및 연산유닛의 정상 동작 검증 환경 구축 – DNN 알고리즘의 동작 특성 분석을 통한 최적화된 메모리 및 연산유닛 크기 제안 메모리 컨트롤러 및 인터페이스 세부 구조 개발 o. 3차원 집적 Near Data Processing을 위한 시스템 최적화 기술 개발 <ul style="list-style-type: none"> – HW 연산유닛 및 메모리 구조를 최적 활용하기 위한 호스트와의 연산 분배 기술 – HW 연산유닛 및 메모리 구조를 최적 활용하기 위한 데이터 정합성 보장 기술 o. 3차원 집적 Near Data Processing에 적합한 심층학습 알고리즘 개발 및 효율성 검증 <ul style="list-style-type: none"> – 3차원 집적 메모리에 효과적인 scheduling 기술 개발 – 고성능 DNN 처리를 위한 layer partitioning 및 메모리 할당 기술 개발 – 개발 기술을 CNN, RNN, LSTM 등 다양한 DNN 알고리즘으로 확장 및 성능 검증 			
3. 성과목표			
<ul style="list-style-type: none"> ■ DNN 처리에 효과적인 3차원 집적 메모리 구조 및 연산유닛 개발 o. 우수성과 논문(3건) 및 DNN 처리를 위한 Near Data Processing HW 기술 확보 ■ 3차원 집적 Near Data Processing을 위한 시스템 최적화 기술 개발 o. 우수성과 논문(3건) 및 DNN 처리를 위한 Near Data Processing 시스템 기술 확보 ■ 3차원 집적 Near Data Processing에 적합한 심층학습 알고리즘 개발 및 효율성 검증 o. 우수성과 논문(3건), 심층학습 알고리즘 개발 및 성능 검증 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	3년+2년 (연간 20억원)		

		RFP 번호	F-3
과제명		저전력 인공지능 처리를 위한 근사 메모리용 기술	
1. 연구목표		<p>데이터의 미세한 오차를 용인하는 근사 컴퓨팅 (approximate computing)을 위한 효과적인 데이터 저장 아키텍처인 근사 메모리 (approximate memory) 기술 개발, 컨트롤러 설계, SW 개발 환경 및 이를 활용한 응용 개발</p> <ul style="list-style-type: none"> o. 근사 컴퓨팅에 효과적인 데이터 저장 아키텍처 개발 o. 근사 메모리 아키텍처의 효율적인 구현을 위한 메모리 컨트롤러 설계, RTL 구현 및 검증 o. 근사 메모리의 효율적인 활용을 위한 SW development 환경 개발 o. 근사 컴퓨팅에 효과적인 application 개발 및 이를 활용한 근사 메모리 성능 검증 	
2. 연구내용 및 범위		<ul style="list-style-type: none"> o. 근사 컴퓨팅에 효과적인 데이터 저장 아키텍처 개발 <ul style="list-style-type: none"> – 근사 컴퓨팅에 효과적인 level-1, level-2 cache 및 main memory 아키텍처 개발 – 근사구조의 Level-1 cache 구조 개발, RTL 설계 및 동작 검증 – 근사구조의 Level-2 cache 구조 개발, RTL 설계 및 동작 검증 – 근사구조의 main memory 구조 개발, RTL 설계 및 동작 검증 – 근사 컴퓨팅에 효과적인 memory 계층 아키텍처 개발 – 근사 메모리에 의한 데이터 오류율, 동작 속도, cache hit rate 등 성능 검증 o. 근사 메모리 아키텍처의 효율적인 구현을 위한 메모리 컨트롤러 설계, RTL 구현 및 동작 검증 <ul style="list-style-type: none"> – 근사구조의 Level-1 cache를 위한 메모리 컨트롤러 설계, RTL 구현 및 동작 검증 – 근사구조의 Level-2 cache를 위한 메모리 컨트롤러 설계, RTL 구현 및 동작 검증 – 근사구조의 main memory를 위한 메모리 컨트롤러 설계, RTL 구현 및 동작 검증 – Level-1, level-2 cache 및 main memory 연동 시 동작 및 성능 검증 o. 근사 메모리의 효율적인 활용을 위한 SW development 환경 개발 <ul style="list-style-type: none"> – 근사적 메모리의 활용을 위한 compiler 환경 개발 – 근사적 메모리의 활용을 위한 API (Application Programming Interface) 라이브러리 개발 o. 근사 컴퓨팅에 효과적인 application 개발 및 이를 활용한 근사 메모리 성능 검증 <ul style="list-style-type: none"> – 근사 메모리 활용 deep learning 응용 개발, 성능 검증 및 코어 함수의 라이브러리 개발 – 근사 메모리 활용 AR 응용 개발, 성능 검증 및 코어 함수의 라이브러리 개발 – 근사 메모리 활용 VR 응용 개발, 성능 검증 및 코어 함수의 라이브러리 개발 	
3. 성과목표		<ul style="list-style-type: none"> ■ 근사 컴퓨팅에 효과적인 데이터 저장 아키텍처 개발 o. 우수성과 논문(10건) 및 근사적 메모리 HW IP (3건) ■ 근사 메모리 아키텍처의 효율적인 구현을 위한 메모리 컨트롤러 설계, RTL 구현 및 동작 검증 <ul style="list-style-type: none"> o. 우수성과 논문(10건) 및 근사적 메모리 컨트롤러 IC (3건) ■ 근사 메모리의 효율적인 활용을 위한 SW development 환경 및 application 개발 <ul style="list-style-type: none"> o. 우수성과 논문(10건), 시스템 SW 및 응용 SW 라이브러리 (5건) 	
4. 특기사항		<ul style="list-style-type: none"> • 	
5. 사업기간/예산		3년+3년 (연간 20억원)	

		RFP 번호	F-4	
과제명		대용량 인공지능 데이터 저장을 위한 압축 기술		
1. 연구목표		메모리 저장 공간 및 통신 용량 감소를 위한 실시간 데이터 압축 알고리즘 개발 및 RTL IP 구현		
o. Level-1 cache memory 저장 공간 및 통신 용량 감소를 위한 경량 초고속 데이터 압축 알고리즘 개발, RTL IP 구현 및 검증 o. Level-2 cache memory 저장 공간 및 통신 용량 감소를 위한 실시간 데이터 압축 알고리즘 개발, RTL IP 구현 및 검증 o. Main memory 저장 공간 및 통신 용량 감소를 실시간 데이터 압축 알고리즘 개발, RTL IP 구현 및 검증 o. Level-1, Level-2, 및 Main memory 압축 알고리즘의 통합 실행 및 성능 검증				
2. 연구내용 및 범위		o. Level-1 cache memory 저장 공간 및 통신 용량 감소를 위한 경량 초고속 데이터 압축 알고리즘 개발, RTL IP 구현 및 검증 <ul style="list-style-type: none"> – Level-1 cache에 적용 가능한 초고속 (1-2 cycle latency) 경량 압축 알고리즘 개발 – cache 압축 알고리즘에 효과적인 level-1 cache 구조 설계 – 압축 알고리즘 encoder 및 decoder의 RTL 구현 및 cache에 집적하여 동작 검증 – 압축률, 동작 속도, cache hit rate등 성능 검증 o. Level-2 cache memory 저장 공간 및 통신 용량 감소를 위한 실시간 데이터 압축 알고리즘 개발, RTL IP 구현 및 검증 <ul style="list-style-type: none"> – Level-2 cache에 적용 가능한 고속 경량 압축 알고리즘 개발 – cache 압축 알고리즘에 효과적인 level-2 cache 구조 설계 – 압축 알고리즘 encoder 및 decoder의 RTL 구현 및 cache에 집적하여 동작 검증 – 압축률, 동작 속도, cache hit rate등 성능 검증 o. Main memory 저장 공간 및 통신 용량 감소를 위한 실시간 데이터 압축 알고리즘 개발, RTL IP 구현 및 검증 <ul style="list-style-type: none"> – Main memory에 적용 가능한 실시간 압축 알고리즘 개발 – 압축 알고리즘 encoder 및 decoder의 RTL 구현 동작 검증 – 압축률, 동작 속도등 성능 검증 o. Level-1, level-2, 및 Main memory 압축 알고리즘의 통합 구현 및 성능 검증 <ul style="list-style-type: none"> – level-1, level-2, 및 main memory용 압축 알고리즘의 통합 실행 및 알고리즘 간의 상호 작용 분석을 통한 성능 검증 		
3. 성과목표		<ul style="list-style-type: none"> ■ Level-1 cache memory 데이터 압축 기술 o. 우수성과 논문(2건) 및 데이터 압축 인코더/디코더 IP (2건) ■ Level-2 cache memory 데이터 압축 기술 o. 우수성과 논문(2건) 및 데이터 압축 인코더/디코더 IP (2건) ■ main memory 데이터 압축 기술 o. 우수성과 논문(2건) 및 데이터 압축 인코더/디코더 IP (2건) 		
4. 특기사항		<ul style="list-style-type: none"> • 		
5. 사업기간/예산		3년 (연간 20억원)		

		RFP 번호	F-5
과제명	뉴랄 프로세싱-인-메모리 위한 특화 프로세서 코어 설계 기술		
1. 연구목표			
<p>메모리반도체에 내장되어 <u>호스트</u> 프로세서의 동작을 메모리 내부에서 수행함으로써 데이터 전송 오버헤드를 줄이기 위한 특화 프로세서 개발</p> <ul style="list-style-type: none"> o. 1단계(2년): 메모리 프로세서 코어설계 기술 o. 3단계(2년): 메모리 프로세서 SW 개발 환경 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 1단계(2년): 메모리 프로세서 코어설계 기술 <ul style="list-style-type: none"> – 범용 프로세서와 달리 메모리 내부에서 정형화된 동작을 수행하는 경량 병렬형 특화 프로세서 개발 – 제한된 기능만을 수행하기 위하여 복잡한 제어과정을 가급적 배제하고, 병렬 연산의 효율성 증가를 위한 아키텍처 개발 – 저전력, 고성능 구현의 메모리 프로세서 IP 개발 – 메모리 프로세서의 FPGA 구현을 통한 검증 및 성능 평가 o. 2단계(2년): 메모리 프로세서용 SW 개발 환경 개발 <ul style="list-style-type: none"> – 메모리프로세서에서 실행 가능한 프로그램 코드를 생성하기 위한 컴파일러 개발 – 프로그램 디버깅에 필요한 인터랙티브 디버거 기술 개발 – 메모리 프로세서의 효과적인 활용을 위한 API 라이브러리 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계(2년): 메모리 프로세서 코어설계 기술 인터페이스 기술 개발 o. 우수성과 논문(10건) 및 초고속 메모리 프로세서 IP (1건) ■ 2단계(2년): 메모리 프로세서 SW 개발 환경 개발 o. 우수성과 논문(10건), 컴파일러, 디버거, 시뮬레이터 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	2년+2년 (연간 25억원)		

		RFP 번호	F-6
과제명	대용량 인공지능 데이터의 고속 전송을 위한 메모리 인터페이스 기술개발		
1. 연구목표	<p>HBM을 위한 초고속 메모리 인터페이스 기반의 메모리 컨트롤러 개발 및 성능 검증</p> <ul style="list-style-type: none"> o. 1단계(2년): HBM을 위한 고속 대용량 메모리를 위한 초고속 메모리 인터페이스 기술 개발 o. 2단계(2년): HBM 활용을 위한 연산 분산 기술 개발 o. 3단계(2년): 다중 HBM을 활용한 대용량 메모리 아키텍처 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o. 1단계(2년): HBM을 위한 고속 대용량 메모리를 위한 초고속 메모리 인터페이스 기술 개발 <ul style="list-style-type: none"> – 고속 대용량 메모리 인터페이스를 위한 송/수신기 개발 고속 대용량 serializer/deserializer 기술 개발 고속 대용량 신호 송수신 기술 개발 – I/O capacitance 최소화, slew-rate 최적화, crosstalk 보상 기술 개발 고속 linear equalizer, feedback equalizer 기술 개발 고속 데이터의 타이밍 마진 향상을 위한 클락킹 기술 개발 Duty-cycle 보정 기술, 내부 클락 skew 보상 기술 개발 o. 2단계(2년): HBM 활용을 위한 연산 분산 기술 개발 <ul style="list-style-type: none"> – HBM 내부 로직 다이얼 활용한 연산 분산 기술 개발 – <u>호스트</u> 프로세서와 HBM 간 데이터 통신 최적화 기술 개발 – <u>호스트</u> 프로세서와 HBM 내부 로직간의 로드 밸런싱 기술 개발 o. 3단계(2년): 다중 HBM을 활용한 대용량 메모리 아키텍처 개발 <ul style="list-style-type: none"> – 다중 HBM 활용을 위한 인터커넥트 아키텍처 개발 – 다중 HBM 활용을 위한 SW 프로그래밍 환경 개발 – 다중 HBM을 활용한 응용 SW 개발 		
3. 성과목표	<ul style="list-style-type: none"> ■ 1단계(2년): HBM을 위한 고속 대용량 메모리를 위한 초고속 메모리 인터페이스 기술 개발 <ul style="list-style-type: none"> o. 우수성과 논문(4건) 및 초고속 메모리 인터페이스 IP (1건) ■ 2단계(2년): HBM 활용을 위한 연산 분산 기술 개발 <ul style="list-style-type: none"> o. 우수성과 논문(4건), 메모리 컨트롤러 IC (1건) ■ 3단계(2년): 다중 HBM을 활용한 대용량 메모리 아키텍처 개발 <ul style="list-style-type: none"> o. 우수성과 논문(4건) 		
4. 특기사항	<ul style="list-style-type: none"> • 		
5. 사업기간/예산	2년+2년+2년 (연간 20억원)		

		RFP 번호	F-7
과제명		뉴랄 프로세싱-인-메모링용 차세대 고대역폭 인터페이스 설계 기술	
1. 연구목표		DDR5, GDDR6, LPDDR5와 같은 차세대 메모리의 고속 데이터를 효과적으로 송수신하기 위한 메모리 인터페이스 회로 개발	
0. 고속 저전력 메모리 인터페이스를 위한 송신기 개발 0. 고속 저전력 메모리 인터페이스를 위한 수신기 개발 0. 고속 데이터의 타이밍 마진 향상을 위한 클락킹 기술 개발 0. 차세대 고대역폭 메모리를 위한 인터페이스 개발 및 성능 검증			
2. 연구내용 및 범위		0. 고속 저전력 메모리 인터페이스를 위한 송신기 개발 <ul style="list-style-type: none"> - 인터페이스의 대역폭 향상을 위한 I/O capacitance 최소화 기술 개발 - Eletro-magnetic interference 감소 및 signal integrity 향상을 위한 adaptive slew-rate 조절 기술 개발 - 고속 저전력 serializer 기술 개발 - 고속 저전력 메모리에 적합한 신호 전송 기술 개발 0. 고속 저전력 메모리 인터페이스를 위한 수신기 개발 <ul style="list-style-type: none"> - 고속 데이터의 신호 감쇄를 보상하기 위한 저전력 linear equalizer 기술 개발 - 다수의 인접 채널간 crosstalk를 보상하기 위한 기술 개발 - 신호 감쇄 및 왜곡을 보상하기 위한 decision feedback equalizer 기술 개발 0. 고속 데이터의 타이밍 마진 향상을 위한 클락킹 기술 개발 <ul style="list-style-type: none"> - 다중 위상 신호 생성을 위한 기술 개발 - 타이밍 마진 향상을 위한 duty-cycle 보정 기술 개발 - 전압 및 온도 변화에 의한 칩 내부 skew 보상 기술 개발 - 칩 내부 고속 저전력 클락 전송을 위한 기술 개발 0. 차세대 고대역폭 메모리를 위한 인터페이스 개발 및 성능 검증 <ul style="list-style-type: none"> - PCB 기반의 인터페이스 성능 검증 환경 구축 - 차세대 메모리 인터페이스 구현 및 성능 검증 	
3. 성과목표		<ul style="list-style-type: none"> ■ 고속 저전력 메모리 인터페이스를 위한 송신기 개발 0. 우수성과 논문(10건) 및 송신기 회로 IP (3건) ■ 고속 저전력 메모리 인터페이스를 위한 수신기 개발 0. 우수성과 논문(10건) 및 수신기 회로 IP (3건) ■ 고속 데이터의 타이밍 마진 향상을 위한 클락킹 기술 개발 0. 우수성과 논문(10건) 및 클락킹 기술 IP (3건) 	
4. 특기사항		<ul style="list-style-type: none"> • 	
5. 사업기간/예산		2년+2년 (연간 25억원)	

		RFP 번호	F-8
과제명	초저전력 인공지능용 데이터 저장을 위한 Wide Dynamic Voltage 내장형 메모리 설계 기술		
1. 연구목표	<p>100나노 이하 공정에서 Near-threshold Voltage에서 정상 전압인 1V까지 0.1V 간격으로 전압 조절이 가능한 내장형 메모리 설계 기술 개발</p> <ul style="list-style-type: none"> o NTV 영역과에서 1V영역까지 안정적으로 동작하는 SRAM 셀 및 주변 회로 설계 o 넓은 동작전압 변화 시 안정적으로 데이터를 sensing할 수 있는 기술 개발 o 넓은 동작 전압 변화가 가능한 고 에너지 효율 power regulator 개발 o 설계 기술 라이브러리화 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o NTV 영역에서 1V영역까지 안정적으로 동작하는 SRAM 셀 및 주변 회로 설계 <ul style="list-style-type: none"> – 넓은 영역 전압조절이 가능한 SRAM 셀 설계 – 넓은 영역 전압조절이 가능한 SRAM 주변회로 설계 – 설계 기술 test-chip 제작 및 측정 검증 검증한 SRAM 셀 및 주변회로 IP화 o 넓은 동작전압 변화 시 안정적으로 데이터를 sensing할 수 있는 기술 개발 <ul style="list-style-type: none"> – SRAM sensing 안정성 개선을 위한 data encoding/decoding 기술 및 관련 회로 개발 – 넓은 동작 전압 변화 시, 안정적 센싱을 위한 회로 기술 개발 – 제안 기술 검증을 위한 test-chip 제작 및 측정 검증 o 넓은 동작 전압 변화가 가능한 고에너지 효율 power regulator 개발 <ul style="list-style-type: none"> – 넓은 동작 전압 변화 regulation이 가능한 고에너지 효율 power regulator 회로 개발 개발 기술 test-chip 제작 및 측정 검증 검증 regulator IP화 o 설계 기술 라이브러리화 <ul style="list-style-type: none"> – 개발한 메모리 설계 기술의 사용편의성 증대를 위한 라이브러리화 진행 		
3. 성과목표	<ul style="list-style-type: none"> ■ Wide DVFS SRAM 셀 및 주변 회로 설계 o 우수성과 논문(3건) 및 관련 IP (2건) ■ Wide DVFS SRAM sensing 기술 o 우수성과 논문(3건) 및 관련 IP (2건) ■ Wide Dynamic Voltage Scaling을 지원하는 power regulator 개발 o 우수성과 논문(3건) 및 관련 IP (2건) 		
4. 특기사항	<ul style="list-style-type: none"> • 		
5. 사업기간/예산	3년 (연간 20억원)		

		RFP 번호	F-9		
과제명		인공지능용 NVDIMM-P 기반 메모리 아키텍처 개발			
1. 연구목표					
DRAM 및 낸드플래시로 구성된 NVDIMM-P를 활용한 메모리 아키텍처, 파일 시스템 개발					
<ul style="list-style-type: none"> o DRAM 및 낸드플래시로 구성된 NVDIMM-P 기반 메모리 아키텍처 개발 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 시스템 SW 개발 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 신뢰성 향상 기술 개발 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 효과적으로 활용하는 응용 SW 개발 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o DRAM 및 낸드플래시로 구성된 NVDIMM-P 기반 메모리 아키텍처 개발 <ul style="list-style-type: none"> – DRAM 및 낸드플래시를 활용한 SCM (Storage Class Memory) 아키텍처 개발 – NVDIMM-P를 포함하는 계층적 메모리 아키텍처 개발 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 시스템 SW 개발 <ul style="list-style-type: none"> – NVDIMM-P 기반 이기종 메모리의 효율적 지원을 위한 커널 메모리 관리 기법 개발 – NVDIMM-P 활용을 위한 SW 프로그래밍 환경 개발 – 지역성 인지 데이터 할당 기술 개발 – SCM 사용을 위한 데이터 할당 기술 개발 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 신뢰성 향상 기술 개발 <ul style="list-style-type: none"> – NVDIMM-P의 데이터 에러 보정을 위한 ECC 기술 개발 – NVDIMM-P 내부 플래시 메모리 lifetime 향상을 위한 wear-leveling 알고리즘 개발 – Security attack에 대비한 detection 알고리즘 개발 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 컨트롤러 반도체 개발 <ul style="list-style-type: none"> – 계층적 메모리 접근 지원 및 고속 메모리 인터페이스 구현 – 신뢰성 향상 기술 구현 o DRAM 및 낸드플래시로 구성된 NVDIMM-P를 효과적으로 활용하는 응용 SW 개발 <ul style="list-style-type: none"> – NVDIMM-P의 기능 및 성능 검증을 위한 응용 SW 개발 					
3. 성과목표					
<ul style="list-style-type: none"> ■ DRAM 및 낸드플래시로 구성된 NVDIMM-P 기반 메모리 아키텍처 개발: 					
<ul style="list-style-type: none"> o. 우수성과 논문(2건) 					
<ul style="list-style-type: none"> ■ DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 시스템 SW 개발 					
<ul style="list-style-type: none"> o. 우수성과 논문(2건) 및 파일시스템 SW (1건) 					
<ul style="list-style-type: none"> ■ DRAM 및 낸드플래시로 구성된 NVDIMM-P를 위한 신뢰성 향상 기술 개발 					
<ul style="list-style-type: none"> o. 우수성과 논문(2건) 및 신뢰성 향상용 HW IP (1건) 					
<ul style="list-style-type: none"> ■ DRAM 및 낸드플래시로 구성된 NVDIMM-P를 효과적으로 활용하는 응용 SW 개발 					
<ul style="list-style-type: none"> o. 우수성과 논문(2건) 					
4. 특기사항					
<ul style="list-style-type: none"> • 					
5. 사업기간/예산		3년 (연간 25억원)			

		RFP 번호	F-10
과제명	인공지능을 위한 이기종 메모리 통합형 아키텍처 개발		
1. 연구목표			
DRAM 및 낸드플래시로 구성된 NVDIMM-P를 활용한 인공지능 메모리 솔루션 개발			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. NVDIMM-P 기반 시스템 SW 최적화 및 응용 SW 개발 <ul style="list-style-type: none"> – NVDIMM-P 기반 이기종 메모리의 효율적 지원을 위한 사용자 관리 기법 개발 – 커널을 거치지 않고 사용자 수준에 NVDIMM 관리 기법 개발 – NVDIMM-P 사용자 라이브러리 개발 및 Mem cached 등에서 성능 검증 o. 인공지능 처리에 효과적인 NVDIMM-P 아키텍처 최적화 <ul style="list-style-type: none"> – 인공지능 알고리즘의 동작 특성 분석을 통한 최적화된 메모리 구조 제안 – 메모리 컨트롤러 및 인터페이스 세부 구조 개발 o. 인공지능 응용을 위한 핵심 function의 최적화 기술 및 라이브러리 개발 <ul style="list-style-type: none"> – 인공지능 응용을 위한 핵심 function 개발 및 NVDIMM-P 구조에 최적화 – 인공지능 응용의 데이터 매핑 및 최적화 기술 개발 – 인공지능 응용을 위한 핵심 function 들로 구성된 라이브러리 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ NVDIMM-P 기반 시스템 SW 최적화 및 응용 SW 개발 o. 우수성과 논문(3건) 및 시스템 SW 및 응용 SW 라이브러리 (1건) ■ 인공지능 처리에 효과적인 NVDIMM-P 아키텍처 최적화 o. 우수성과 논문(3건) ■ 인공지능 응용을 위한 핵심 function의 최적화 기술 및 라이브러리 개발 o. 우수성과 논문(3건) 및 시스템 SW 및 응용 SW 라이브러리 (1건) 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	3년 (연간 25억원)		

		RFP 번호	F-11
과제명	DRAM 및 PRAM 연동 이종 메모리 아키텍처, 파일 시스템 및 응용 SW 개발		
1. 연구목표	<p>DRAM 및 PRAM으로 구성된 이종 메모리 아키텍처, 파일 시스템 및 이를 효과적으로 활용한 빅데이터 및 인공지능 분야 SW 개발</p> <ul style="list-style-type: none"> o. 1단계(3년): DRAM 및 PRAM 연동 빅데이터 및 인공지능 응용을 위한 메모리 아키텍처 및 파일 시스템 개발 o. 2단계(2년): PRAM의 신뢰성 향상을 위한 알고리즘 개발 및 하드웨어 구현 o. 3단계(2년): DRAM 및 PRAM 연동 메모리 아키텍처를 위한 시스템 SW 최적화 및 빅데이터 및 인공지능용 응용 SW 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o. 1단계(3년): DRAM 및 PRAM 연동 빅데이터 및 인공지능 응용을 위한 메모리 아키텍처 및 파일 시스템 개발 <ul style="list-style-type: none"> – DRAM의 빠른 속도와 PRAM의 큰 용량을 갖는 고성능의 이종 메모리 아키텍처를 개발 – 수평적 계층 구조, 수직적 계층 구조 및 Hybrid 계층 구조에서 각각 최적화된 기술 개발 – DRAM, 낸드플래시와 연동한 계층적 메모리 아키텍처 개발 – Page Cache 혹은 Swapping을 위한 최적화 기술 개발 – 지역성 인지 데이터 할당 기술 개발 – 비회발성 메모리 사용을 위한 데이터 할당 기술 개발 o. 2단계(2년): PRAM의 신뢰성 향상을 위한 알고리즘 개발 및 하드웨어 구현 <ul style="list-style-type: none"> – PRAM 쓰기를 최소화 할 수 있는 최적화된 Mapping 기술 개발 – 기존 방식에 비해 Attack 검출률이 높고 연산량이 적은 Wear-Leveling 기술 개발 – PRAM 특성을 이용하여 보다 정확하게 오류를 검출 및 정정하는 ECC 기술 개발 – DRAM 및 PRAM 연동 이종 메모리 컨트롤러 IC 구현 o. 3단계(2년): DRAM 및 PRAM 연동 메모리 아키텍처를 위한 시스템 SW 최적화 및 빅데이터 및 인공지능용 응용 SW 개발 <ul style="list-style-type: none"> – DRAM 및 PRAM 연동 메모리의 효율적 지원을 위한 사용자 관리 기법 개발 – 커널을 거치지 않고 사용자 수준에 메모리 관리 기법 개발 – 사용자 라이브러리 개발 및 Mem cached 등에서 성능 검증 – 빅데이터 응용을 위한 핵심 function의 최적화 기술 및 라이브러리 개발 – 인공지능 응용을 위한 핵심 function의 최적화 기술 및 라이브러리 개발 		
3. 성과목표	<ul style="list-style-type: none"> ■ 1단계(3년): DRAM 및 PRAM 연동 빅데이터 및 인공지능 응용을 위한 메모리 아키텍처 및 파일 시스템 개발 <ul style="list-style-type: none"> o. 우수성과 논문(10건) 및 DRAM/PRAM 연동 시뮬레이션 모델 및 파일 시스템 SW ■ 2단계(2년): PRAM의 신뢰성 향상을 위한 알고리즘 개발 및 하드웨어 구현 <ul style="list-style-type: none"> o. 우수성과 논문(7건) 및 DRAM/PRAM 연동 메모리 컨트롤러 칩 (1건) ■ 2단계(2년): DRAM 및 PRAM 연동 메모리 아키텍처를 위한 시스템 SW 최적화 및 빅데이터 및 인공지능용 응용 SW 개발 <ul style="list-style-type: none"> o. 우수성과 논문(7건) 및 시스템 SW 및 응용 SW 라이브러리 (3건) 		
4. 특기사항	<ul style="list-style-type: none"> • 		
5. 사업기간/예산	3년+2년+2년 (연간 20억원)		

		RFP 번호	F-12
과제명	이기종 시스템 아키텍처 통합형 메모리 시스템 최적화 기술 개발		
1. 연구목표	<p>HBM(High bandwidth memory), DDR (혹은 LPDDR), SCM(Storage class memory), 낸드플래시를 포함하는 HSA에 최적화된 메모리 계층 구조, 파일 시스템 및 응용 SW 개발</p> <ul style="list-style-type: none"> o. HSA 기반 빅데이터 및 인공지능 응용을 위한 메모리 아키텍처 및 파일 시스템 개발 o. HSA 기반 계층적 메모리 아키텍처를 위한 시스템 SW 최적화 및 빅데이터, 인공지능등 응용 SW 개발 		
HBM(High bandwidth memory), DDR (혹은 LPDDR), SCM(Storage class memory), 낸드플래시를 포함하는 HSA에 최적화된 메모리 계층 구조, 파일 시스템 및 응용 SW 개발			
2. 연구내용 및 범위	<ul style="list-style-type: none"> o. HSA 기반 빅데이터 및 인공지능 응용을 위한 메모리 아키텍처 및 파일 시스템 개발 <ul style="list-style-type: none"> – HBM, DDR (혹은 LPDDR), SCM, 낸드플래시로 구성된 HSA를 효율적으로 활용한 계층적 메모리 아키텍처 개발 – HSA 시뮬레이션 환경 구축 – HSA의 효율적 지원을 위한 커널 메모리 관리 기법 개발 – 비휘발성 메모리 사용을 위한 데이터 할당 기술 개발 o. HSA 기반 메모리 아키텍처를 위한 시스템 SW 최적화 및 빅데이터, 인공지능등 응용 SW 개발 <ul style="list-style-type: none"> – HSA 기반 메모리 컨트롤러 IC 구현 – HSA 기반 메모리의 효율적 지원을 위한 사용자 관리 기법 최적화 – 지역성 인지 데이터 할당 기술 개발 – 사용자 라이브러리 개발 및 성능 검증 – 빅데이터 혹은 인공지능등 응용을 위한 핵심 function의 최적화 기술 및 라이브러리 개발 		
3. 성과목표	<ul style="list-style-type: none"> ■ HSA 기반 빅데이터, 인공지능등 응용을 위한 메모리 아키텍처 및 파일 시스템 개발 o. 우수성과 논문(10건) 및 DRAM/PRAM 연동 시뮬레이션 모델 및 파일 시스템 SW ■ HSA 기반 메모리 아키텍처를 위한 시스템 SW 최적화 및 빅데이터, 인공지능등 응용 SW 개발 o. 우수성과 논문(5건), 메모리 컨트롤러 IC, 시스템 SW 및 응용 SW 라이브러리 (3건) 		
4. 특기사항	<ul style="list-style-type: none"> • 		
5. 사업기간/예산	3년 (연간 30억원)		

		RFP 번호	F-13			
과제명	대용량의 인공지능 데이터 신뢰성 향상 기술 개발					
1. 연구목표						
DRAM의 신뢰성 및 시스템 보안을 보장하기 위한 Row hammering 방지 DRAM 아키텍처, 메모리 컨트롤러, 및 메모리 관리 기법 개발						
o. DRAM의 Row hammering 현상을 방지하기 위한 DRAM 아키텍처 개발 및 검증						
o. Row hammering 방지 DRAM 아키텍처 구현을 위한 메모리 컨트롤러 설계, 메모리 관리 기법 개발 및 검증						
2. 연구내용 및 범위						
o. DRAM의 Row hammering 현상을 방지하기 위한 DRAM 아키텍처 개발 <ul style="list-style-type: none"> - 실제 시스템에서 다양한 종류의 DRAM 모듈(DDR, LPDDR, GDDR, HBM 등)을 대상으로 DRAM Row hammering 현상 재현 및 분석 - DRAM의 Row hammering 현상을 모사하는 시뮬레이션 환경 구축 - 효율적인 Row hammering 방지 아키텍처 제안 - 제안된 아키텍처의 Row hammering 방지 검증 및 시스템 성능, 에너지 측면 효율성 검증 						
o. Row hammering 방지 DRAM 아키텍처 구현을 위한 메모리 컨트롤러 설계, 메모리 관리 기법 개발 및 검증 <ul style="list-style-type: none"> - Row hammering 방지 메모리 컨트롤러 및 Module 레지스터 설계, RTL 구현 및 검증 - Row hammering 방지를 위한 시스템 소프트웨어 단계에서의 메모리 관리 기법 개발 및 검증 - 실제 시스템에서 Row hammering을 활용한 공격 기법 대상 보안 검증 						
3. 성과목표						
<ul style="list-style-type: none"> ■ DRAM의 Row hammering 현상을 방지하기 위한 DRAM 아키텍처 개발 o. 우수성과 논문(3건) 및 Row hammering 방지 아키텍처(2건) ■ Row hammering 방지 DRAM 아키텍처 구현을 위한 메모리 컨트롤러 설계, 메모리 관리 기법 개발 및 검증 o. 우수성과 논문(3건) 및 메모리 컨트롤러 및 모듈 레지스터 IC (1건), 메모리 관리 기법 (1건) 						
4. 특기사항						
<ul style="list-style-type: none"> • 						
5. 사업기간/예산	3년+2년 (연간 20억원)					

		RFP 번호	F-14
과제명	엣지용 인공지능 데이터 저장장치 신뢰도 향상 기술		
1. 연구목표			
자동차, 무인 비행기 등에 적용할 수 있는 고신뢰성 내장형 메모리 설계 기술 개발 및 관련 IP 확보			
0. 공정/온도/전압 변이, 트랜지스터 노화, soft-error에 탁월한 내성을 갖는 내장형 메모리 셀 및 관련 주변회로 설계 및 검증 0. 내장형 메모리의 신뢰성을 크게 향상할 수 있는 저 지연시간, 고신뢰 오류 정정 기술 개발 및 효용성 검증 0. 트랜지스터 노화, soft-error 등으로 인한 내장형 메모리의 신뢰성 저하를 적극적으로 대처할 수 있는 메모리 구조 및 제어 기술 개발 및 검증			
2. 연구내용 및 범위			
0. 공정/온도/전압 변이, 트랜지스터 노화, soft-error에 탁월한 내성을 갖는 고신뢰 내장형 메모리 셀 및 관련 주변회로 설계 및 검증 <ul style="list-style-type: none"> - 공정/온도/전압 변이, 트래지스터 노화, soft-error에 내성이 뛰어난 SRAM 셀 설계 - 공정/온도/전압 변이, 트래지스터 노화, soft-error에 내성이 뛰어난 SRAM 주변 회로 설계 - 설계 기술 test-chip 제작 및 측정 검증 (방사선 측정 검증 포함) 검증한 SRAM 셀 및 주변회로 IP화 0. 내장형 메모리의 신뢰성을 크게 향상할 수 있는 저 지연시간, 고신뢰 오류 정정 기술 개발 및 효용성 검증 <ul style="list-style-type: none"> - 공정/온도/전압 변이, 트래지스터 노화, soft-error로 인한 오류를 효율적으로 정정할 수 있는 저지연시간 오류 정정 기술 개발 - SRAM 어레이를 test-chip으로 구현한 후 측정 기반으로 bit-error-rate를 모델링 - 제안한 오류 정정 기술 실제 도입 시 decoded bit-error-rate를 계산하여 효용성 검증 0. 트랜지스터 노화 등으로 인한 내장형 메모리의 신뢰성 저하를 적극적으로 대처할 수 있는 고신뢰 메모리 구조 및 제어 기술 개발 및 검증 <ul style="list-style-type: none"> - 트랜지스터 노화 등으로 인한 내장형 메모리의 신뢰성 저하를 조기에 진단할 수 있는 기술 개발 - 진단 후 메모리 신뢰성을 적응적으로 대처할 수 있는 메모리 구조 및 제어 기술 개발 - soft-error로 인한 동작 오류가 허용 수준 이상으로 축적되는 것을 막는 scrubbing 기술 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 고신뢰 내장형 메모리 셀 및 관련 주변회로 설계 0. 우수성과 논문(3건) 및 관련 IP (2건) ■ 고신뢰 내장형 메모리 오류 정정 기술 0. 우수성과 논문(3건) 및 관련 IP (2건) ■ 고신뢰 내장형 메모리 구조 및 제어 기술 0. 우수성과 논문(3건) 및 관련 IP (2건) 			
4. 특기사항			
•			
5. 사업기간/예산	4년 (연간 25억원)		

		RFP 번호	F-15
과제명	인공지능용 빅데이터 처리를 위한 3차원 집적 Near Data Processing 기술		
1. 연구목표			
<p>고성능 빅데이터 처리를 위한 3차원 집적 Near Data Processing HW/SW 아키텍처를 개발하고 이를 최적 활용하는 심층학습 알고리즘 개발</p> <ul style="list-style-type: none"> o. 빅데이터 처리에 효과적인 3차원 집적 메모리 구조 및 연산유닛 개발 o. 3차원 집적 Near Data Processing을 위한 시스템 최적화 기술 개발 o. 3차원 집적 Near Data Processing에 적합한 심층학습 알고리즘 개발 및 효율성 검증 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 빅데이터 처리에 효과적인 3차원 집적 메모리 구조 및 연산유닛 개발 <ul style="list-style-type: none"> – 고성능 빅데이터 처리를 위해 CPU 또는 연산유닛을 3차원 메모리에 통합하는 기술 개발 – 3차원 메모리 구조 및 연산유닛의 정상 동작 검증 환경 구축 – 빅데이터 알고리즘의 동작 특성 분석을 통한 최적화된 메모리 및 연산유닛 크기 제안 메모리 컨트롤러 및 인터페이스 세부 구조 개발 o. 3차원 집적 Near Data Processing을 위한 시스템 최적화 기술 개발 <ul style="list-style-type: none"> – HW 연산유닛 및 메모리 구조를 최적 활용하기 위한 호스트와의 연산 분배 기술 – HW 연산유닛 및 메모리 구조를 최적 활용하기 위한 데이터 정합성 보장 기술 o. 3차원 집적 Near Data Processing에 적합한 심층학습 알고리즘 개발 및 효율성 검증 <ul style="list-style-type: none"> – 3차원 집적 메모리에 효과적인 scheduling 기술 개발 – 고성능 빅데이터 처리를 위한 layer partitioning 및 메모리 할당 기술 개발 – 개발 기술을 다양한 빅데이터 알고리즘으로 확장 및 성능 검증 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 빅데이터 처리에 효과적인 3차원 집적 메모리 구조 및 연산유닛 개발 o. 우수성과 논문(5건) 및 빅데이터 처리를 위한 Near Data Processing HW 기술 확보 ■ 3차원 집적 Near Data Processing을 위한 시스템 최적화 기술 개발 o. 우수성과 논문(5건) 및 빅데이터 처리를 위한 Near Data Processing 시스템 기술 확보 ■ 3차원 집적 Near Data Processing에 적합한 심층학습 알고리즘 개발 및 효율성 검증 o. 우수성과 논문(5건), 심층학습 알고리즘 개발 및 성능 검증 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	3년+2년 (연간 25억원)		

		RFP 번호	F-16			
과제명	인공지능용 Near Data 프로세싱을 위한 낸드플래시 Multi-Chip Package 기술 개발					
1. 연구목표	<p>대용량 고대역폭의 낸드플래시 Multi-Chip Package 컨트롤을 위한 효과적인 송신기, 수신기, 리타이밍 회로 및 이를 응용한 인터페이스 기술 개발.</p> <ul style="list-style-type: none"> o. 고대역폭 인터페이스를 위한 송수신기 회로 개발 o. Multi-Chip Package 인터페이스를 위한 주파수 증폭 및 리타이밍 회로 개발 o. 대용량 고대역폭 NAND Flash Multi-Chip Package 테스트를 위한 모니터링 기술 개발 o. NAND Flash Multi-Chip Package에 적합한 인터페이스 칩 개발 및 성능 검증 					
2. 연구내용 및 범위						
<ul style="list-style-type: none"> o. 고대역폭 인터페이스를 위한 송수신기 회로 개발 <ul style="list-style-type: none"> – 고대역폭 송신기 개발, 회로 설계 및 동작 검증 – 고대역폭 수신기 개발, 회로 설계 및 동작 검증 – Multi-Chip Package를 위한 임피던스 조정 기술 개발 o. Multi-Chip Package 인터페이스를 위한 주파수 증폭 및 리타이밍 회로 개발 <ul style="list-style-type: none"> – 타이밍 마진 향상을 위한 Duty-Cycle Correction 회로 개발 – Jitter 감소 및 Retiming을 위한 Delay-Locked Loop 회로 개발 – 타이밍 마진 향상을 위한 Serializer, De-serializer 회로 개발 o. 대용량 고대역폭 NAND Flash Multi-Chip Package 테스트를 위한 모니터링 기술 개발 <ul style="list-style-type: none"> – NAND Flash Multi-Chip Package를 위한 테스트 루프 구현 및 검증 – 데이터와 데이터 스트로브 사이의 타이밍 마진 확인을 위한 테스트 회로 개발 o. NAND Flash Multi-Chip Package에 적합한 인터페이스 칩 개발 및 성능 검증 <ul style="list-style-type: none"> – FPGA 기반의 인터페이스 칩 성능 검증 환경 구축 – 인터페이스 칩 개발 및 성능 검증 						
3. 성과목표	<ul style="list-style-type: none"> ■ 고대역폭 인터페이스를 위한 송수신기 회로 개발 o. 우수성과 논문(5건) 및 송수신기 회로 IP (2건) ■ Multi-Chip Package 인터페이스를 위한 주파수 증폭 및 리타이밍 회로 개발 o. 우수성과 논문(5건), 주파수 증폭 및 리타이밍 회로 IP (2건) ■ 대용량 고대역폭 NAND Flash Multi-Chip Package 테스트를 위한 모니터링 기술 개발 o. 우수성과 논문(5건), 모니터링 기술 IP (2건) 					
4. 특기사항	<p>.</p>					
5. 사업기간/예산	3+3년 (연간 20억원)					

		RFP 번호	F-17
과제명	인공지능 처리를 위한 고집적 메모리 기반 계층 구조 개발		
1. 연구목표			
Deep Neural Net의 training 및 inferencing을 위한 차세대 고집적 메모리 기반의 계층 구조 개발			
o. Deep Neural Net의 training 및 inferencing에 효과적인 고집적 HBM (High Bandwidth Memory) 기반 계층적 메모리 아키텍처 개발			
o. 고집적 HBM 기반 계층적 메모리 구조에서 Cache 메모리 최적화 기법 개발			
o. 고집적 HBM 기반 계층적 메모리 구조에서 Flash 메모리 최적화 기법 개발			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. Deep Neural Net의 training 및 inferencing에 효과적인 고집적 메모리 기반 계층적 메모리 아키텍처 개발 <ul style="list-style-type: none"> – Convolutional Neural Net의 training 및 inferencing에 효과적인 고집적 메모리 기반의 계층적 메모리 아키텍처 개발 – Recurrent Neural Net의 training 및 inferencing에 효과적인 고집적 메모리 기반의 계층적 메모리 아키텍처 개발 – 고집적 메모리 아키텍처에 적합한 메모리 컨트롤러 개발 o. 고집적 HBM 기반 계층적 메모리 구조에서 Cache 메모리 최적화 기법 개발 <ul style="list-style-type: none"> – 고집적 메모리 기반 계층적 메모리 구조에 최적화된 Cache 구조 개발 – 고집적 메모리 기반 계층적 메모리 구조에 최적화된 Cache 접근 알고리즘 개발 – 고집적 메모리 기반 계층적 메모리 구조를 위한 cache coherence protocol 개발 o. 고집적 HBM 기반 계층적 메모리 구조에서 Flash 메모리 최적화 기법 개발 <ul style="list-style-type: none"> – 고집적 메모리 기반 계층적 메모리 구조에 최적화된 Flash 메모리 구조 개발 – 고집적 메모리 기반 계층적 메모리 구조에 최적화된 Flash 접근 알고리즘 개발 – 고집적 메모리 기반 계층적 메모리 구조를 위한 flash controller 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 고집적 HBM용 메모리 아키텍처 및 파일 시스템 개발 o. 우수성과 논문(10건) 및 HBM 연동 시뮬레이션 모델 및 파일 시스템 SW ■ 캐쉬메모리 및 Flash 컨트롤러 하드웨어 구현 o. 우수성과 논문(7건) 및 flash 컨트롤러 칩 (1건) 			
4. 특기사항			
•			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	F-18
과제명	고집적 메모리 기반 인공지능 솔루션 개발		
1. 연구목표			
<p>고집적 HBM (High Bandwidth Memory)를 활용한 deep learning 알고리즘 기반의 인공지능 솔루션 개발</p> <ul style="list-style-type: none"> o. 고집적 HBM을 활용한 Deep Neural Net 응용 솔루션 개발 o. 고집적 HBM 기반 메모리 아키텍처의 효과적인 사용을 위한 시스템 SW 개발 o. 고집적 HBM의 효과적인 메모리 접근을 최적화 기법 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 고집적 HBM을 활용한 Deep Neural Net 응용 솔루션 개발 <ul style="list-style-type: none"> - Convolutional Neural Net 기반의 응용 솔루션 개발 - Recurrent Neural Net 기반의 응용 솔루션 개발 - Reinforcement learning 기반의 응용 솔루션 개발 o. 고집적 HBM 기반 메모리 아키텍처의 효과적인 사용을 위한 시스템 SW 개발 <ul style="list-style-type: none"> - 고집적 메모리 접근을 위한 효과적인 파일 시스템 SW 개발 - 고집적 메모리 접근을 위한 컴파일러등 시스템 SW 개발 o. 고집적 HBM의 효과적인 메모리 접근을 최적화 기법 개발 <ul style="list-style-type: none"> - 효과적인 고집적 HBM 접근을 위한 데이터 분산 최적화 기법 개발 - 효과적인 고집적 HBM 접근을 위한 데이터 접근 스케줄링 기법 개발 - 고집적 HBM의 발열 특성 분석을 기반으로 한 메모리 발열 최적화 기법 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 고집적 HBM용 메모리 응용 솔루션 개발 o. 우수성과 논문(10건) 및 HBM 연동 시뮬레이션 모델 및 파일 시스템 SW ■ 고집적 HBM의 효과적인 메모리 접근을 최적화 기법 개발 o. 우수성과 논문(10건) 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	F-19
과제명	뉴럴-프로세싱-인-메모리를 위한 영상인식 전용 하드웨어 가속기 설계		
1. 연구목표			
<p>Deep Neural Net 기반의 영상 인식을 위한 메모리 융합형 하드웨어 가속기 처리 설계</p> <ul style="list-style-type: none"> o. 메모리 융합형 Deep Neural Net 기반의 영상 인식을 위한 전용 하드웨어 가속기 설계 o. 프로세싱-인-메모리 구조에 최적화된 메모리 접근 기술 개발 o. 뉴럴-프로세싱-인-메모리용 하드웨어 가속기 활용을 위한 SW 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 메모리 융합형 Deep Neural Net 기반의 영상 인식을 위한 전용 하드웨어 가속기 설계 <ul style="list-style-type: none"> – 영상 인식을 위한 CNN (Convolutional Neural Net) 기반의 전용 하드웨어 가속기 설계 및 검증 – 영상 인식을 위한 RNN (Recurrent Neural Net) 기반의 전용 하드웨어 가속기 설계 및 검증 – Layer 최적화등 Deep Neural Net 구조 최적화 기술 개발 – Multiplier 최적화등 Deep Nerual Net 구현 최적화 기술 개발 o. 프로세싱-인-메모리 구조에 최적화된 메모리 접근 기술 개발 <ul style="list-style-type: none"> – CNN (Convolutional Neural Net) 기반의 전용 하드웨어 가속기 메모리 분산 및 스케줄링 기술 개발 – RNN (Recurrent Neural Net) 기반의 전용 하드웨어 가속기 메모리 분산 및 스케줄링 기술 개발 – Deep neural net을 위한 cache 메모리 기술 개발 – Deep neural net을 위한 메모리 압축 기술 개발 o. 뉴럴-프로세싱-인-메모리용 하드웨어 가속기 활용을 위한 SW 개발 <ul style="list-style-type: none"> – 뉴럴-프로세싱-인-메모리용 하드웨어 가속기 활용을 위한 시스템 SW 개발 – 메모리 융합형 전용가속기를 위한 training SW 개발 – 뉴럴-프로세싱-인-메모리용 하드웨어 가속기 활용을 위한 응용 솔루션 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 영상 인식 전용 하드웨어 가속기 설계 o. 우수성과 논문(3건) 및 관련 IP (3건) ■ 프로세싱-인-메모리를 위한 메모리 접근 최적화 기술 o. 우수성과 논문(5건) ■ 하드웨어 가속기 활용 SW 개발 o. 우수성과 논문(2건) 및 시스템 SW (1건) 			
4. 특기사항			
•			
5. 사업기간/예산	5년 (연간 10억원)		

		RFP 번호	F-20
과제명	고집적 메모리 기반 영상인식용 하드웨어 가속기 개발		
1. 연구목표			
<p>고집적 HBM (High Bandwidth Memory) 기반의 영상 인식을 위한 Deep learning 하드웨어 가속기 처리 설계</p> <ul style="list-style-type: none"> o. 고집적 HBM 기반의 Deep learning 영상 인식을 위한 전용 하드웨어 가속기 설계 o. 고집적 HBM 구조에 최적화된 메모리 접근 기술 개발 o. 고집적 메모리 기반 하드웨어 가속기 활용을 위한 SW 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 고집적 HBM 기반의 Deep learning 영상 인식을 위한 전용 하드웨어 가속기 설계 <ul style="list-style-type: none"> – 고집적 HBM 기반의 영상 인식을 위한 CNN (Convolutional Neural Net) 전용 하드웨어 가속기 설계 – 고집적 HBM 기반의 영상 인식을 위한 RNN (Recurrent Neural Net) 전용 하드웨어 가속기 설계 – Layer 최적화등 HBM 기반 Deep Neural Net 구조 최적화 기술 개발 – Multiplier 최적화등 HBM 기반 Deep Nerual Net 구현 최적화 기술 개발 o. 고집적 HBM 구조에 최적화된 메모리 접근 기술 개발 <ul style="list-style-type: none"> – 고집적 HBM 구조에 최적화된 CNN (Convolutional Neural Net) 전용 하드웨어 가속기 데이터 분산 및 스케줄링 기술 개발 – 고집적 HBM 구조에 최적화된 RNN (Recurrent Neural Net) 전용 하드웨어 가속기 데이터 분산 및 스케줄링 기술 개발 – Deep neural net을 위한 고집적 HBM 구조에 최적화된 cache 메모리 기술 개발 – 영상 인식용 Deep neural net을 위한 메모리 압축 기술 개발 o. 고집적 메모리 기반 하드웨어 가속기 활용을 위한 SW 개발 <ul style="list-style-type: none"> – 고집적 HBM 기반 하드웨어 가속기 활용을 위한 시스템 SW 개발 – 영상인식용 하드웨어 가속기 활용을 위한 응용 솔루션 개발 – 고집적 HBM 융합형 전용가속기를 위한 training 기술 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ HBM 기반 영상 인식 전용 하드웨어 가속기 설계 o. 우수성과 논문(3건) 및 관련 IP (3건) ■ HBM을 위한 메모리 접근 최적화 기술 o. 우수성과 논문(5건) ■ HBM 기반 하드웨어 가속기 활용 SW 개발 o. 우수성과 논문(2건) 및 시스템 SW (1건) 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	5년 (연간 10억원)		

		RFP 번호	F-21
과제명	뉴럴-프로레싱-인-메모리를 위한 SNN용 프로세서 개발		
1. 연구목표			
<p>SNN (Spiking Neural Net) 기반의 메모리 융합형 프로세서 설계 및 시스템 SW 개발</p> <ul style="list-style-type: none"> o. SNN (Spiking Neural Net) 기반의 메모리 융합형 프로세서 설계 o. SNN (Spiking Neural Net) 구조에 최적화된 메모리 접근 기술 개발 o. SNN (Spiking Neural Net) 기반의 메모리 융합형 프로세서 활용을 위한 시스템 SW 및 응용 솔루션 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. SNN (Spiking Neural Net) 기반의 메모리 융합형 프로세서 설계 <ul style="list-style-type: none"> – SNN (Spiking Neural Net) 구현을 위한 프로세서용 ISA (Instruction Set Architecture) 개발 – SNN 프로세서용 마이크로 아키텍처 개발 – 프로세싱-인-메모리 구조에 최적화된 SNN용 내부 메모리 구조 설계 – SNN 프로세서 구현을 위한 RTL 설계 및 성능 검증 o. SNN (Spiking Neural Net) 구조에 최적화된 메모리 접근 기술 개발 <ul style="list-style-type: none"> – SNN용 프로세서에 최적화된 데이터 분산 및 스케줄링 기술 개발 – SNN용 프로세서 구조에 최적화된 cache 메모리 기술 개발 – 데이터 접근 최소화를 위한 메모리 압축 기술 개발 – SNN용 프로세서용 메모리 컨트롤러 설계 및 검증 o. SNN (Spiking Neural Net) 기반의 메모리 융합형 프로세서 활용을 위한 시스템 SW 및 응용 솔루션 개발 <ul style="list-style-type: none"> – SNN용 프로세서 활용을 위한 컴파일러, 디버거등 시스템 SW 개발 – SNN 응용 SW 구현을 위한 training 기술 개발 – 다양한 SNN 응용 SW 및 성능 최적화 기술 개발 – SNN용 프로세서의 효과적인 활용을 위한 API (Application Programming Interface) 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ SNN용 프로세서 설계 o. 우수성과 논문(3건) 및 관련 IP (1건) ■ SNN을 위한 메모리 접근 최적화 기술 o. 우수성과 논문(5건) ■ SNN 활용 시스템 SW 및 응용 솔루션 개발 o. 우수성과 논문(2건), 시스템 SW (1건), 응용 솔루션 (2건) 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	5년 (연간 10억원)		

		RFP 번호	F-22
과제명	고집적 메모리 기반 SNN용 프로세서 개발		
1. 연구목표			
<p>고집적 HBM (High Bandwidth Memory) 기반 SNN (Spiking Neural Net)을 위한 메모리 융합형 프로세서 설계 및 시스템 SW 개발</p> <ul style="list-style-type: none"> o. 고집적 HBM 기반 SNN (Spiking Neural Net) 용 프로세서 설계 o. SNN (Spiking Neural Net) 구조에 최적화된 고집적 HBM 접근 기술 개발 o. 고집적 HBM 기반 SNN (Spiking Neural Net)용 프로세서 활용을 위한 시스템 SW 및 응용 솔루션 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o. 고집적 HBM 기반 SNN (Spiking Neural Net) 용 프로세서 설계 <ul style="list-style-type: none"> – 고집적 HBM 기반의 SNN (Spiking Neural Net) 구현을 위한 프로세서용 ISA (Instruction Set Architecture) 개발 – SNN (Spiking Neural Net) 프로세서용 마이크로 아키텍처 개발 – SNN (Spiking Neural Net) 프로세서용 내부 메모리 구조 개발 – SNN (Spiking Neural Net) 프로세서용 RTL 구현 및 검증 o. SNN (Spiking Neural Net) 구조에 최적화된 고집적 HBM 접근 기술 개발 <ul style="list-style-type: none"> – 고집적 HBM 기반의 SNN용 프로세서에 최적화된 데이터 분산 및 스케줄링 기술 개발 – 고집적 HBM 기반의 SNN용 프로세서 구조에 최적화된 cache 메모리 기술 개발 – 고집적 HBM 기반의 SNN용 프로세서 구조에 최적화된 메모리 압축 기술 개발 – 고집적 HBM 접근용 메모리 컨트롤러 설계 및 검증 o. 고집적 HBM 기반 SNN (Spiking Neural Net)용 프로세서 활용을 위한 시스템 SW 및 응용 솔루션 개발 <ul style="list-style-type: none"> – 고집적 HBM 기반 SNN용 프로세서 활용을 위한 컴파일러, 디버거등 System SW 개발 – SNN용 프로세서 training을 위한 SW 기술 개발 – 고집적 HBM 기반 SNN용 프로세서 활용을 위한 응용 SW 개발 – SNN용 프로세서 활용을 위한 API (Application Programming Interface) 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ SNN용 프로세서 설계 o. 우수성과 논문(3건) 및 관련 IP (1건) ■ SNN을 위한 메모리 접근 최적화 기술 o. 우수성과 논문(5건) ■ SNN 활용 시스템 SW 및 응용 솔루션 개발 o. 우수성과 논문(2건), 시스템 SW (1건), 응용 솔루션 (2건) 			
4. 특기사항			
<ul style="list-style-type: none"> • 			
5. 사업기간/예산	5년 (연간 10억원)		

		RFP 번호	H-1
과제명	오픈코어(RISC-V) 기반 SW-SoC 융합 인공지능 공통 플랫폼 기술 개발		
1. 연구목표			
<input type="checkbox"/> 핵심 IP(RISC-V 코어, SIMD 가속기, 네트워크, 스마트 센서, 보안모듈 등) 들 로 구성된 경량 인공지능 SoC 공통 플랫폼 개발 <ul style="list-style-type: none"> ○ 1단계(3년): 로열티/라이센스 비용을 절감하여 SoC 개발비 절감 및 실질적 경 쟁력 확보가 가능한 전략산업 특화형 인공지능 SoC 오픈코어 기술 개발 ○ 2단계(3년): 경량화, 안전성, 초저전력, 실시간 처리 보장 등의 특성을 가지는 오픈코어용 운영체제 및 미들웨어 기술 개발 ○ 3단계(3년): 중소 팹리스와의 상호운용성 증대를 위한 오픈 소스 기반 오픈코 어 생태계 구축 및 온·오프라인 공동 활용 기술 개발 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계(3년): 로열티/라이센스 비용을 절감하여 SoC 개발비 절감 및 실질적 경 쟁력 확보가 가능한 전략산업 특화형 인공지능 SoC 오픈코어 기술 개발 <ul style="list-style-type: none"> ○ 32 비트 single-issue in-order 3~5 단계 파이프라인 오픈코어 아키텍처 ○ 16 비트 압축 명령어 및 MMU, 다중 센서 모듈 연결을 위한 인터페이스 ○ 8/16/32KB Configurable 캐시 메모리, 1,72 DMIPS/MHz급 성능 ○ 초저전압 동작을 위한 Error Recovery ○ AXI, AHB, APB 지원 저전력 온칩 통신 기술 개발 ○ GNU 기반 SW 툴 체인(컴파일러, 어셈블러, 링커, 디버거) ○ Eclipse 기반 SW 통합개발환경(IDE) 			
<input type="checkbox"/> 2단계(3년): 경량화, 안전성, 초저전력, 실시간 처리 보장 등의 특성을 가지는 오픈코어용 운영체제 및 미들웨어 기술 개발 <ul style="list-style-type: none"> ○ 저전력 스케일러블 경량 커널, 저전력 시스템 운용을 위한 Task 관리 모듈 ○ 초저전력 재기동(Cold Restart) 기술 ○ 다양한 센서의 연결성을 지원하는 인터페이스 미들웨어 ○ 개발자 친화형 소프트웨어 분석 및 성능 검증 도구 ○ 경량 인공지능 기반 응용개발을 위한 웹 기반 통합개발환경 ○ 서비스 플랫폼 연동 지원 API 및 SW 라이브러리 			
<input type="checkbox"/> 3단계(3년): 중소 팹리스와의 상호운용성 증대를 위한 오픈 소스 기반 오픈코 어 생태계 구축 및 온·오프라인 공동 활용 기술 개발 <ul style="list-style-type: none"> ○ 오픈 하드웨어, 오픈 소프트웨어 기반 개방형 IE 플랫폼 ○ 오픈코어-오픈하드웨어플랫폼-오픈SW 개발환경의 수직적 연계 ○ 코드변환 기반 경량 인공지능 플랫폼 고속 에뮬레이션 및 성능 분석 기술 ○ 클라우드 기반 온·오프라인 공동 활용 기술 			

3. 성과목표	
	<ul style="list-style-type: none"> ○ 1단계 (3년): 전략산업 특화형 오픈코어 개발 <ul style="list-style-type: none"> - 오픈코어 아키텍처 개발을 위한 국제 컨소시움 참여, 오픈코어 아키텍처 논문 (20건) - 초저전력 오픈코어 프로세서 설계 기술 이전 및 상용화(2건) ○ 2단계 (3년): 오픈코어 운영체제 및 미들웨어 기술 개발 <ul style="list-style-type: none"> - 저전력 스케일러블 경량 커널 및 미들웨어 개발, 논문(10건), 기술이전 및 상용화(5건) ○ 3단계 (3년): 오픈코어 생태계 구축 및 온·오프라인 공동 활용 기술 개발 <ul style="list-style-type: none"> - 클라우드 기반 온·오프라인 공동 활용 기술 개발, 논문(10건), 기술이전 및 상용화(5건)
4. 특기사항	
	<ul style="list-style-type: none"> ○ 국내 독자적인 아키텍처 연구개발과 병행하여 해외 프로세서 개발 기관과의 명령어 아키텍처(ISA) 공유를 위한 국제컨소시움 구축(2억원/년 내외) ○ 오픈코어 기반의 설계 기술 기술이전 및 상용화, 팝리스 육성
5. 사업기간/예산	3년+3년+3년 (연간 30억원)

	RFP 번호	H-2
과제명	다종 경량 인공지능 기기간 협업 기술 개발	
1. 연구목표		
<p><input type="checkbox"/> 다양한 IoT 및 엣지 장치 등장에 따라 클라우드를 기반으로 하는 초연결/고효율 엣지 서비스를 제공하기 위해 클라우드에 접속되는 모든 경량 인공지능기반 기기간의 끊김없는 협업 통신 및 학습 기술 개발</p> <ul style="list-style-type: none"> ○ 다양한 국제 표준을 지원하는 엣지 기기간의 초연결 기능을 제공하기 위한 다양한 IoT 기기 호환 SoC 플랫폼을 개발하고, 이종 기기별 Seamless 전송기능 및 효율적 데이터 전송기능을 포함한 협업통신용 네트워크 프로토콜기술을 개발함 ○ 1단계(3년): 다종 IoT기기 접속형 다종 협업통신 프로토콜 SoC 및 플랫폼 제작 ○ 2단계(3년): 초연결 협업통신 프로토콜 기반 다종 경량 인공지능 장치의 Seamless 협업시스템 개발 		
2. 연구내용 및 범위		
<p><input type="checkbox"/> 1단계(3년): 다종 경량 인공지능 기기 접속형 다종 협업통신 기술 및 플랫폼 제작</p> <ul style="list-style-type: none"> ○ 다종 경량 인공지능 기기간 통신프로토콜 지원 Seamless 프로토콜 SoC 제작 <ul style="list-style-type: none"> - 다종 경량 인공지능 기기(LPWA, NB-IoT, BLE, WiFi 등) 지원 통합 인터페이스 - 다종 경량 인공지능 기기간 Seamless 협업 통신 프로토콜 SoC 제작 - 저전력 협업 통신기능 제공을 위한 Power Saving 기술 개발 ○ 다종 경량 인공지능 기기-클라우드-5G의 초연결성 제공을 위한 국제 표준기반 멀티 네트워킹 프로토콜 SW 설계 ○ 네트워킹 환경, 엣지 기종에 최적화된 능동적 자동 연결 프로토콜 기술개발 : (MQTT, CoAP, 웹소켓등) ○ 경량 인공지능 디바이스간의 기기 연결성 제어 및 데이터 보안관리 기술개발 <ul style="list-style-type: none"> - 다수/다종 경량 인공지능 기기의 효율적 트래픽 전송용 소프트웨어 정의 네트워크(SDN) 기술 개발 ○ 엣지 기기의 전송경로, 전송거리, 전력, 보안을 고려한 선택적 연결기술 개발 <p><input type="checkbox"/> 2단계(3년): 초연결 협업통신 프로토콜 기반 다종 엣지 Seamless 협업시스템 개발</p> <ul style="list-style-type: none"> ○ 다종 경량 인공지능 장치 그룹의 학습 기술 개발 ○ 다종 경량 인공지능 Seamless 협업 시스템 실증 사이트 구축 ○ 경량 인공지능 이종 기기 5종 이상, IoT 기기 1000개 이상, 이동통신망 필수 ○ 다종 경량 인공지능 기기의 Seamless 협업 시스템 실증 및 검증 		
3. 성과목표		
<ul style="list-style-type: none"> ○ 1단계(3년): 협업통신 프로토콜 SoC 및 플랫폼, 논문/특허 각 10건 ○ 2단계(3년): 다종 경량 인공지능 장치의 Seamless 협업 시스템, 논문/특허 각 8건 이상 		

4. 특기사항	
	○ 각종 IoT 표준과의 호환성 ○ 오픈코어, 오픈 플랫폼과 연계
5. 사업기간/예산	3+3년 (연간 30억원)

		RFP 번호	H-3
과제명	디바이스용 베츄얼 SoC 플랫폼 기술 개발		
1. 연구목표	<p><input type="checkbox"/> 베츄얼 오픈코어와 다양한 베츄얼 IP를 제공하여 가상으로 엣지 플랫폼 구축 및 SW 동시 개발을 지원하기 위한 베츄얼 SoC 플랫폼 기술 개발</p> <ul style="list-style-type: none"> ◦ 1단계(3년): 경량 인공지능 베츄얼 SoC 플랫폼 프레임워크 개발 ◦ 2단계(3년): 멀티코어 지원 고속 에뮬레이션 및 성능분석 기술 개발 ◦ 3단계(3년): GUI기반 베츄얼 SoC 플랫폼 통합개발환경 		
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(3년): 엣지용 베츄얼 SoC 플랫폼 및 프레임워크 개발</p> <ul style="list-style-type: none"> ◦ “LEGO” 확장형 경량 인공지능 베츄얼 SoC 플랫폼 아키텍처 ◦ 동적 코드 변환 기반 베츄얼 오픈코어 모델링 기술 ◦ 에뮬레이션 정확도를 고려한 베츄얼 IP 모델링 기술 ◦ 통합 에뮬레이션을 지원하기 위한 베츄얼 모델 표준 인터페이스 기술 ◦ 오픈코어와 IP들과의 통신을 지원하기 위한 베츄얼 온칩 인터커넥션 기술 <p><input type="checkbox"/> 2단계(3년): 멀티코어 지원 고속 에뮬레이션 및 성능분석 기술 개발</p> <ul style="list-style-type: none"> ◦ 400MIPS급 멀티코어 지원 고속 에뮬레이션 기술 (리눅스 커널 부팅 1초 이내) ◦ 응용 어플리케이션 성능(명령어, 함수, 수행시간 등) 프로파일링 기술 ◦ IE 플랫폼 성능 예측을 위한 통신 트래픽, 소비 전력 프로파일링 기술 ◦ 다양한 수준으로 모델링된 베츄얼 IP들과의 통합 에뮬레이션 지원 기술 ◦ 다양한 수준으로 모델링된 IP들과의 연동 에뮬레이션 기술 개발 <p><input type="checkbox"/> 3단계(2년): Eclipse 기반 베츄얼 SoC 플랫폼 통합개발환경</p> <ul style="list-style-type: none"> ◦ 오픈소스(GDB)를 활용한 베츄얼 오픈코어 디버깅 기술 ◦ 베츄얼 SoC 플랫폼 모니터링 및 제어 기술 ◦ 오픈소스(Eclipse)를 활용한 베츄얼 SoC 플랫폼 통합개발환경 기술 ◦ GUI 기반 플랫폼 모델링 및 SystemC, RTL 자동 생성 기술 		
3. 성과목표	<ul style="list-style-type: none"> ◦ 1단계(3년): 베츄얼 SoC 플랫폼 프레임워크 개발, 논문/특허 각 12건 ◦ 2단계(3년): 고속 에뮬레이션 및 성능분석 기술 개발, 논문/특허 각 10건 이상 ◦ 3단계(3년): 베츄얼 SoC 플랫폼 통합개발환경, 논문/특허 각 5건 이상 		
4. 특기사항	<ul style="list-style-type: none"> ◦ 오픈코어, 오픈 플랫폼과 연계한 유기적인 협력이 추진되어야함 ◦ 베츄얼 SoC 플랫폼 설계 툴 기술이전 및 상용화 (2건) 		
5. 사업기간/예산	3+3+2년 (연간 20억원)		

		RFP 번호	H-4
과제명		초실감 혼합현실의 실시간·저전력 구현을 위한 경량 인공지능 반도체 기반 AR/MR SoC 개발	
1. 연구목표		<ul style="list-style-type: none"> <input type="checkbox"/> 엣지 디바이스에서 초실감 증강(AR)/혼합현실(MR, Mixed Reality)을 제공하기 위한 경량 인공지능 기반 실시간·저전력 영상신호처리 IP 및 SoC 개발 <ul style="list-style-type: none"> ○ 1단계(4년): AR/MR 핵심 알고리즘, 경량 고속신호처리 엔진 및 SoC 개발 ○ 2단계(2년): AR/MR Edge Computing SoC 기반 무선 HMD 개발 ○ 3단계(3년): 경량 학습 기반 초실감 AR/MR 기술 및 SoC 개발 	
2. 연구내용 및 범위		<ul style="list-style-type: none"> <input type="checkbox"/> 1단계(4년): 초실감 AR/MR 핵심 알고리즘, 경량 고속신호처리 엔진 및 SoC 개발 <ul style="list-style-type: none"> ○ 카메라 모션 추정 기반의 고정밀 3차원 공간 복원 기술 개발 ○ 증강현실에의 가상객체 정밀 렌더링 기술 개발 ○ 사용자 머리 및 눈 추적 기술 및 자동 적응 렌더링 기술 개발 ○ 사용자 움직임의 물리적 모델링 기반 가상객체 정밀 제어 기술 개발 ○ 초실감 AR/MR용 시스루 타입 광학계 및 디스플레이 개발 ○ 실시간·저전력 객체인식 및 깊이정보 추정 하드웨어 엔진 개발 ○ AR/MR 고속 신호처리 하드웨어 엔진 및 시스템-온-칩 개발 <ul style="list-style-type: none"> - 고속·저전력 초병렬 연산코어 아키텍처 및 가속 하드웨어 엔진 개발 - 오픈코어 및 오픈플랫폼 연계 개발 <input type="checkbox"/> 2단계(2년): 초실감 AR/MR SoC 기반 무선 HMD 개발 <ul style="list-style-type: none"> ○ 초실감 AR/MR SoC 통합 무선 HMD 개발 (상용화 수준) ○ 초실감 AR/MR용 광학계, 디스플레이(시스루 타입) 통합 무선 HMD 개발 <input type="checkbox"/> 3단계(3년): 경량 학습 기반 초실감 AR/MR 원천기술 및 SoC 개발 <ul style="list-style-type: none"> ○ 경량 학습 기반 다양한 상황에서의 자동 적응 가능한 초실감 AR/MR 기술 개발 ○ 경량 학습 기반 초실감 AR/MR SoC 개발 	
3. 성과목표		<ul style="list-style-type: none"> ○ 1단계(4년): 특허출원 20건, 특허등록 5건 및 SCI급 논문게재 5편 ○ 2단계(2년): 기술이전 및 상용화 ○ 3단계(3년): 원천기술 관련 특허 30건 및 SCI급 논문 10편 	
4. 특기사항		<ul style="list-style-type: none"> ○ 오픈코어, 오픈 플랫폼과 연계 	
5. 사업기간/예산		4+2+3년 (연간 20억원)	

		RFP 번호	H-5			
과제명	초실감 가상현실 경험을 위한 다시점 및 자유시점 영상의 실시간·저전력 신호처리 SoC 및 디스플레이 기술 개발					
1. 연구목표						
<p><input type="checkbox"/> 엣지 디바이스에서 초실감 가상현실을 제공하기 위한 다시점/자유시점 영상의 실시간·저전력 신호처리 IP, SoC 및 디스플레이 기술 개발</p> <ul style="list-style-type: none"> ◦ 1단계(4년) : 다시점(16시점 이상) 및 자유시점 초실감 가상현실 영상처리 SoC 및 디스플레이 개발 ◦ 2단계(2년) : SoC 기반 무선 HMD 및 360도 카메라 개발 (상용화 수준) ◦ 3단계(3년) : 경량 학습 기반 초실감 가상현실 기술 및 SoC 개발 						
2. 연구내용 및 범위						
<p><input type="checkbox"/> 1단계(4년): 다시점/자유시점 초실감 가상현실 영상처리 SoC 및 디스플레이 개발</p> <ul style="list-style-type: none"> ◦ 다시점 및 자유시점 멀티카메라 영상 합성 및 렌더링 기술 개발 ◦ 영상 츠득 공간의 3차원 공간정보 생성 기술 개발 ◦ 실시간·저전력 객체인식 및 깊이정보 추정 하드웨어 엔진 개발 ◦ 고정밀 Motion 모델링 기반 가상객체 정밀 제어 기술 개발 ◦ 가상현실 내 실제 객체 정밀 렌더링(혼합 현실, Mixed Reality) 기술 개발 ◦ Light-Field 디스플레이 기술 개발 ◦ 다시점/자유시점 기반 가상현실 고속처리 하드웨어 엔진 및 시스템-온-칩 개발 <ul style="list-style-type: none"> – 고속·저전력 초병렬 연산코어 아키텍처 및 가속 하드웨어 엔진 개발 – 오픈코어 및 오픈플랫폼 연계 개발 						
<p><input type="checkbox"/> 2단계(2년): SoC 기반 무선 HMD 및 360도 카메라 개발</p> <ul style="list-style-type: none"> ◦ Light-Filed 디스플레이 및 초실감 가상현실 SoC 통합 무선 HMD 개발 ◦ 16개 이상의 멀티카메라 및 초실감 가상현실 SoC 통합 360도 카메라 개발 						
<p><input type="checkbox"/> 3단계(3년): 경량 학습 기반 초실감 가상현실 원천기술 및 SoC 개발</p> <ul style="list-style-type: none"> ◦ 경량 학습 기반 다양한 상황에서의 자동 적응 가능한 초실감 가상현실 기술 개발 ◦ 경량 학습 기반 초실감 가상현실 SoC 개발 						
3. 성과목표						
<ul style="list-style-type: none"> ◦ 1단계(4년): 특허출원 20건, 특허등록 5건 및 SCI급 논문게재 5편 ◦ 2단계(2년): 기술이전 및 상용화 ◦ 3단계(3년): 원천기술 관련 특허 30건 및 SCI급 논문 10편 						
4. 특기사항						
<ul style="list-style-type: none"> ◦ 오픈코어 및 오픈 플랫폼과 연계 						
5. 사업기간/예산	4+2+3년 (연간 30억원)					

		RFP 번호	H-6
과제명		초실감형 공간 이미지 재현 패널 및 구동 SoC 기술 개발	
1. 연구목표			
<p><input type="checkbox"/> 초실감 인터페이스를 위한 서피스 임베디드형 완전입체 디스플레이 패널 및 구동 SoC 기술 개발</p> <ul style="list-style-type: none"> ◦ 1단계(3년): 완전입체 디스플레이용 초미세 픽셀 소자 기술 및 구동 기술 개발 ◦ 2단계(3년): 완전입체 디스플레이 패널의 서피스 임베디드 기술 및 구동 SoC 기술과 이를 기반으로 하는 UI/UX 기술 개발 			
2. 연구내용 및 범위			
<p><input type="checkbox"/> 완전입체 디스플레이용 초미세 픽셀 소자 기술 및 구동 기술 개발</p> <ul style="list-style-type: none"> ◦ 초미세 화소 형성을 위한 공정 및 소자 기술 개발 <ul style="list-style-type: none"> - sub-μm 미세 채널 TFT 기반 백플레인 기술 - 1μm급 발광 화소 및 광변조 화소용 소재/소자 기술 - 초미세 화소 집적 및 화소 회로 설계 기술 ◦ 초고해상도 디스플레이 패널 설계/제작 및 구동 기술 개발 <ul style="list-style-type: none"> - 완전입체 디스플레이 구현을 위한 초고해상도 패널 설계 기술 - 초고해상도 패널 구동을 위한 내장형 구동 회로 기술 			
<p><input type="checkbox"/> 서피스 임베디드 완전입체 디스플레이 모듈 및 구동 SoC 기술, 공간 이미지 기반 UI/UX 기술 개발</p> <ul style="list-style-type: none"> ◦ 완전입체 디스플레이 패널의 서피스 임베디드 기술 개발 <ul style="list-style-type: none"> - 투명 완전입체 디스플레이 패널 광학 설계 및 집적 기술 - 고유연 완전입체 디스플레이 패널 구조 설계 및 집적 기술 - 완전입체 디스플레이 구현을 위한 초박형 광학 모듈 기술 ◦ 초실감 디스플레이 구동 SoC 기술 개발 <ul style="list-style-type: none"> - 초고해상도 완전 입체 디스플레이 패널 구동 칩 기술 - 서피스 임베디드 완전입체 디스플레이용 SoC 기술 - 사용자 감응 및 주변 환경 변동 감지 최적화 구동 기술 ◦ 공간 이미지 기반 UI/UX 기술 개발 <ul style="list-style-type: none"> - 투명 윈도우상에 구현된 투명 완전입체 디스플레이 기반 UI/UX 기술 - 곡면 서피스상에 구현된 완전입체 디스플레이 기반 UI/UX 기술 			
3. 성과목표			

- 1단계 (3년) : 완전 입체 디스플레이 팩셀 및 패널 개발
 - 우수성과 논문(5건) 및 화소 구조 및 설계 IP (5건)
- 2단계 (3년) : 서피스 임베디드 완전입체 디스플레이 모듈, SoC, UI/UX 개발
 - 우수성과 논문(10건), 구동 기술 및 설계 IP (10건), 기술이전 및 사용화 (3건)

4. 특기사항	
---------	--

- 오픈코어 및 오픈 플랫폼과 연계

5. 사업기간/예산	3+3년 (연간 30억원)
------------	----------------

	RFP 번호	H-7
과제명	웨어러블 및 최소침습 엣지 의료기기를 위한 시스템 반도체 기술 개발	
1. 연구목표		
<p><input type="checkbox"/> 개인용 웨어러블 및 최소침습 의료기기를 위한 경량 인공지능 컴퓨팅 기반의 시스템 반도체 기술 개발</p> <ul style="list-style-type: none"> ○ 1단계(3년): 웨어러블 헬스케어에 사용될 수 있는 신기능, 다기능 센서 시스템 반도체 기술 개발 ○ 2단계(3년): 최소침습 특수 의료기기에 사용될 수 있는 초소형, 초정밀, 고성능 엣지기반 시스템 반도체 기술 개발 		
2. 연구내용 및 범위		
<p><input type="checkbox"/> 1단계(3년): 웨어러블 헬스케어용 경량 인공지능 컴퓨팅 기반 시스템 반도체 개발</p> <ul style="list-style-type: none"> ○ 웨어러블 헬스케어용 시스템 반도체 IP 개발 <ul style="list-style-type: none"> - Near-data processing 아날로그 가속기 IP 개발 - High-resolution SAR ADC IP 개발 - 임피던스 부스팅 기반 멀티센서 프론트엔드 IP 개발 - Micro medical unit (MMU) 반도체 개발 ○ CMOS 공정 기반 체외 진단용 센서 반도체 <ul style="list-style-type: none"> - 다양한 biomarker를 동시에 확인할 수 있는 Lab-on-chip 기술 개발 - Micro flow-control CMOS 기술 개발 - MEMS 및 패키징 기술을 적용한 경량 헬스케어 시스템 반도체 개발 - ECG, EMG, 체온, 맥박 등 다양한 바이오신호 측정/분석을 위한 시스템 반도체 개발 		
<p><input type="checkbox"/> 2단계(3년): 최소침습 의료기기용 경량 인공지능 기반 시스템 반도체</p> <ul style="list-style-type: none"> ○ 에너지 하베스팅 및 무선 전력/데이터 전송을 이용한 저전력 최소침습 센서 반도체 개발 ○ 과전류 제어 및 적응형 동작 기술을 갖춘 고안정성 의료기기 반도체 개발 ○ 전기적, 광학적 신호를 활용한 약물 전송 시스템 반도체 개발 ○ ECG, PPG, 임피던스, 혈압 등의 초정밀 최소침습 측정을 활용한 심장/폐기능 모니터링 반도체 개발 		
3. 성과목표		
<ul style="list-style-type: none"> ○ 1단계(3년): 테스트 플랫폼, 논문/특허 각 6건 ○ 2단계(3년): 기술 적용 상용제품 2건 이상, 논문/특허 각 6건 이상 		
4. 특기사항		
<ul style="list-style-type: none"> ○ 엣지용 멀티모달 센서, 인터페이스 및 SoC 이용 ○ 엣지 오픈코어, 오픈 플랫폼과 연계 		
5. 사업기간/예산	3+3년 (연간 20억원)	

		RFP 번호	H-8
과제명	노약자와 만성질환자의 항시적인 원격진료를 위한 경량 인공지능 기반 웨어러블 플랫폼 개발		
1. 연구목표	<ul style="list-style-type: none"> <input type="checkbox"/> 노약자 및 만성질환자의 원격진료를 위한 개인 라이프로그의 지능형처리가 가능한 경량 인공지능 기반 웨어러블 디바이스용 SoC 및 플랫폼 개발 ○ 1단계(5년): 개인 라이프로그의 지능형처리가 가능한 웨어러블 디바이스 기술 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> <input type="checkbox"/> 1단계(5년): 개인 라이프로그의 지능형처리가 가능한 웨어러블 디바이스 기술 개발 <ul style="list-style-type: none"> ○ 원격진료를 위한 개인 라이프로그의 지능형처리가 가능한 웨어러블 디바이스용 SoC 및 플랫폼 개발 <ul style="list-style-type: none"> - 개인별 라이프로그 수집, 모니터링에 대한 지능형 처리 및 분석이 가능한 딥러닝 기반 알고리즘 개발 - 웨어러블 디바이스의 저전력 처리 및 고성능을 위한 뉴로시냅틱 기반 IP 설계 및 SoC 개발 - 지능형 처리를 위한 라우팅, 연산장치를 통합하는 매니셀 기반 컨트롤러개발 - 웨어러블 디바이스용 SoC와 각종 센서와 연동을 위한 인터페이스 설계 <ul style="list-style-type: none"> * 혈압, 할당, 활동량 등의 생체 데이터 수집 5종 이상 생체 정보 획득 ○ 노약자 및 만성질환자의 원격진료를 위한 웨어러블 디바이스의 센서 연동과 확장성을 고려한 플랫폼 및 시범 서비스 적용 기술 개발 <ul style="list-style-type: none"> - 원격진료 고려한 웨어러블 디바이스에서 노약자와 만성질환자의 진료를 위한 센서기반 생체 데이터 수집 유효성 연구 - 고성능 인식, 고신뢰성, 인지 등을 보장할 수 있는 DSP 기반의 라이브러리개발 - 기존플랫폼과 연동, 확장 가능한 소프트웨어 개발 환경(SDK) 개발 - 뉴로시냅틱 기반 SoC를 이용한 웨어러블 디바이스의 원격진료 기술 검증 및 응용 플랫폼 개발 - 병원 또는 상용 기관을 통한 시범 서비스 적용 및 검증 		
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(5년): 원격지에서 진료한계인 진단 샘플의 종류, 염밀성 부족, 방법론상의 일관성을 제공함으로써 기존 원격진료 한계를 극복, 논문/특허 각 8 건 		
4. 특기사항	<ul style="list-style-type: none"> ○ IE 플랫폼과의 호환성 ○ 멀티모달 센서 인터페이스 지원 		
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	H-9
과제명		자율주행/비행을 위한 엣지용 3D 비전 SoC 플랫폼 개발	
1. 연구목표			
<input type="checkbox"/> 경량 인공지능 기반 오토파일럿(Autopilot)이 가능한 기술요소를 가진 3D 비전 SoC 플랫폼 기술 개발과 이를 활용한 소프트웨어 플랫폼 개발 <ul style="list-style-type: none"> ○ 1단계(3년): 오토파일럿을 위한 3D 비전 경량 인공지능 SoC 플랫폼 개발 ○ 2단계(2년): 자율비행이 가능한 비행제어 프로토콜 및 HDK/SDK 플랫폼 개발 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계(3년): 오토파일럿을 위한 3D 비전 경량 인공지능 SoC 플랫폼 개발 <ul style="list-style-type: none"> ○ 자율비행을 위한 영상정보 처리기술 개발 ○ 경로 판단/비행을 위한 3D 오브젝트 처리 및 가속 기술 개발 ○ 지능형 기술을 활용한 3D 영상인지 알고리즘 기술개발 ○ 멀티모달 신호 처리 기반 회피, 탐색/자동귀환 기술 개발 ○ 비행제어기능 및 영상/비전 기능 등이 내장된 통합 3D 비전 SoC 개발 <input type="checkbox"/> 2단계(3년): 자율비행이 가능한 비행제어 프로토콜 및 HDK/SDK 플랫폼 개발 <ul style="list-style-type: none"> ○ 비행제어를 위한 FCC (Flight Control Computer) SW 개발 ○ 원격 제어 및 지능형 관리를 위한 연동 프로토콜 기술 ○ RTOS 기반의 BSP(Board Support Package) 개발 ○ 3D 비전 플랫폼 개발을 위한 HDK(Hardware Development Kit) 및 SDK (Software Developemnt Kit) 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ○ 1단계(3년): 객체 검출율 95%, 논문/특허 각 20건 ○ 2단계(3년): 동시 객체인지 개수 5개, 논문/특허 각 12건 이상 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 경량 인공지능용 멀티모달 센서 및 SoC 이용 ○ 오픈코어, 오픈 플랫폼과 연계 			
5. 사업기간/예산		3+3년 (연간 20억원)	

		RFP 번호	H-10
과제명	자율주행 무인기기를 위한 충돌방지용 초소형, 초경량 인공지능 레이다 SoC 플랫폼 개발		
1. 연구목표	<p><input type="checkbox"/> 자율주행 무인기기를 위한 120GHz 대역의 초소형, 초경량 레이다 SoC 플랫폼 개발</p> <ul style="list-style-type: none"> ○ 1단계(3년): 자율주행 이동체를 위한 120GHz 레이다 센서용 RFIC 및 신호처리 프로세서 등 핵심 반도체 IP 개발 ○ 2단계(2년): 자율주행 이동체를 위한 충돌방지용 레이다 SoC 플랫폼 개발 		
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(3년): 120GHz 레이다 센서용 핵심 반도체 IP 개발</p> <ul style="list-style-type: none"> ○ 120GHz 대역 능·수동소자 모델링 ○ 120GHz 대역 레이다 센서용 RFIC 핵심 IP 설계 ○ 120GHz ISM 대역의 4-Tx/4-Rx single RF Chip 개발 ○ 120GHz 레이다 검증 환경 개발 (레이다 Target Simulator) ○ Fast ramp 변조 방식의 기저대역 레이다 신호처리 프로세서 IP 개발 ○ 주요 장애물에 대한 레이다 반사 특성 연구 ○ RFIC 및 신호처리 IP 검증 모듈 개발 및 성능평가 <p><input type="checkbox"/> 2단계(2년): 충돌방지용 레이다 SoC 플랫폼 개발</p> <ul style="list-style-type: none"> ○ 120GHz 대역의 초소형 패치 어레이 안테나 개발 (40 x 40 mm² 이하) ○ 120GHz RFE (RADAR Front-End) 및 신호처리기 통합 모듈 개발 ○ MIMO 구조의 상하-좌우 3D 디지털 빔형성 기술 개발 ○ 레이다 충돌방지 신호처리 알고리즘 개발 ○ 상용 드론 기반 레이다 SoC 플랫폼 구축 		
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(3년): 최대복사전력 20dBm, 수신기 잡음지수 < 15dB ○ 2단계(2년): 최대감지거리 120m, 해상도 0.15m, 논문/특허 각 5건 이상 		
4. 특기사항	<ul style="list-style-type: none"> ○ 오픈 코어, 엣지 오픈 플랫폼과 연계 ○ 경량 인공지능용 멀티모달 센서 인터페이스 지원 		
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	H-11
과제명	무인이동체 자율주행/비행을 위한 경량 인공지능 컴퓨팅 기반 멀티모달 신호 처리 반도체 개발		
1. 연구목표			
<input type="checkbox"/> 레이다, 라이다, 영상센서 등 다중센서 정보의 멀티모달 처리를 통해 주변 환경을 인지하고 실시간 경로 설정 및 제어를 수행하는 신호처리 SoC 개발 <ul style="list-style-type: none"> ○ 1단계(5년): 다중센서 정보 융합을 통해 객체 인식 및 주변 환경 인지가 가능한 멀티모달 신호처리 기술 및 SoC 개발 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계(5년): 무인이동체 자율주행/비행을 위한 경량 인공지능 컴퓨팅 기반 멀티모달 신호처리 반도체 개발 <ul style="list-style-type: none"> ○ 레이다, 라이다, 영상센서 등 다중센서 정보의 멀티모달 처리를 통한 동적/정적 객체인식 및 주변 환경인지 기술 <ul style="list-style-type: none"> - 레이다, 라이다, 영상센서 융합을 통한 동적/정적 객체 검출 및 인식 기술 - 다중센서 정보의 멀티모달 처리 및 인공지능 기반 학습/판단을 통한 주변 환경인지 기술 ○ 다중센서 정보의 멀티모달 처리를 위한 SoC 핵심 기능 블록 개발 <ul style="list-style-type: none"> - 다중센서 인터페이스 및 보정 회로 개발 - 동적/객체 검출 및 주변 환경인지를 위한 멀티모달 신호처리 가속엔진 IP 개발 ○ 무인이동체 자율주행/비행을 위한 멀티모달 신호처리 SoC 개발 <ul style="list-style-type: none"> - 주행 및 비행 제어 시스템과의 연동을 위한 인터페이스 기술 개발 - 차량용 ISO-26262 및 비행체용 DO-178/254 기능안전 대응 회로 탑재 및 통합 설계 기술 개발 ○ 신호처리 SoC 검증을 위한 센서 일체형 모듈 개발 <ul style="list-style-type: none"> - 무인이동체 부품 적용을 위한 공인기관의 신뢰성 및 성능 평가 			
3. 성과목표			
<ul style="list-style-type: none"> ○ 1단계(5년): 엣지 컴퓨팅 기반 SoC 상용화, 논문/특허 각 5건 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 오픈 코어, 엣지 플랫폼과 연계 ○ 경량 인공지능용 멀티모달 센서 인터페이스 지원 			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	H-12
과제명	Fault-tolerant 및 장시간 자율 비행을 위한 경량 인공지능 컴퓨팅 기반 상황인지 및 제어 SoC 플랫폼 개발		
1. 연구목표	<p><input type="checkbox"/> 엣지 컴퓨팅기반 장시간 자율비행 및 Fault-tolerant 기능을 가진 상황인지 및 제어 SoC 플랫폼 기술 개발과 이를 활용한 초소형 무인기 개발</p> <ul style="list-style-type: none"> ○ 1단계(3년) <ul style="list-style-type: none"> - Fault-tolerant 비행을 위한 멀티모달 상황인지 및 제어 SoC 플랫폼 개발 - 장시간 자율비행을 위한 엣지용 멀티모달 상황인지 및 제어 SoC 플랫폼 개발 ○ 2단계(2년) <ul style="list-style-type: none"> - Fault-tolerant 및 장시간 자율 비행을 위한 멀티모달 상황인지 및 제어 SoC 기반 초소형 무인항공기 및 비행제어 시스템 개발 		
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(3년): Fault-tolerant 및 장시간 자율 비행/주행을 위한 멀티모달 상황인지 및 제어 SoC 플랫폼 개발</p> <ul style="list-style-type: none"> ○ 멀티모달 신호 처리 기반 고정확도 SLAM(동시 위치추정 및 지도작성 기술, Simultaneous Localization & Mapping) 및 경로 계획 기술 개발 ○ 멀티모달 신호 처리 기반 고정확도 Sense & Avoid 기술 개발 ○ 멀티모달 신호 처리 기반 고정확도 물체 추적 기술 개발 ○ Fault-tolerant 상황 인지 기술 및 GPS-Free 상황에서의 고정밀 자동회귀 기술 개발 ○ 저전력 SLAM 및 Sense & Avoid 기술 개발 ○ SLAM 및 자동회귀 시 메모리 사용량 최소화 기술 개발 ○ (오픈코어 기반) 비행제어기, Fault-tolerant 및 저전력 자율비행 기능 가속 하드웨어 엔진 개발 및 통합 SoC 개발 <p><input type="checkbox"/> 2단계(2년): Fault-tolerant 및 장시간 자율 비행/주행을 위한 멀티모달 상황인지 및 제어 SoC 기반 초소형 무인이동체 및 제어 시스템 개발</p> <ul style="list-style-type: none"> ○ 최적 비행/주행제어 알고리즘/SW 및 시스템 SW 개발 ○ 오픈 플랫폼 기반 SDK(Software Development Kit) 개발 <ul style="list-style-type: none"> - 멀티모달 상황인지 및 제어 SoC 기반 초소형 무인이동체 개발 및 시험 		
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(3년): 경로오차 1% 이내 및 전력소모 50% 감소, 논문/특허 각 20건 ○ 2단계(2년): 상용화 및 논문/특허 각 10건 		
4. 특기사항	<ul style="list-style-type: none"> - 멀티모달 센서 및 SoC 이용 ○ 오픈코어, 오픈 플랫폼과 연계 		
5. 사업기간/예산	3+3년 (연간 20억원)		

		RFP 번호	H-13
과제명	야간·저조도 환경에서 고정밀 객체검출을 위한 경량 인공지능 기반 이종 영상 퓨전 기술 및 SoC 플랫폼 개발		
1. 연구목표	<p><input type="checkbox"/> 야간·저조도 환경에서 고정밀 객체검출을 위한 경량 인공지능 기반 이종 영상 퓨전 기술 및 엣지 SoC 플랫폼 개발과 실차 통합 개발</p> <ul style="list-style-type: none"> ○ 1단계(3년) <ul style="list-style-type: none"> - 경량 인공지능 기반 이종 영상(RGB, 열화상 등) 퓨전 기술 개발 - 경량 인공지능 기반 이종 영상 퓨전 가속 하드웨어 엔진 및 SoC 플랫폼 개발 ○ 2단계(3년) <ul style="list-style-type: none"> - 경량 인공지능 기반 이종 영상 퓨전 엣지 SoC의 실차 통합 개발 및 검증 		
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(3년): 인공지능 기반 이종 영상 퓨전 기술 및 SoC 플랫폼 개발</p> <ul style="list-style-type: none"> ○ 경량 인공지능 기반 RGB/열화상 퓨전을 위한 학습 데이터베이스 생성 기술 개발 ○ 경량 인공지능 기반 RGB/열화상 칼리브레이션 및 퓨전 기술 개발 - 고속 특징 정보 추출 기술 개발 - 최적 학습을 위한 경량 인공지능 학습 알고리즘 아키텍처 개발 - 고정밀 분류 기술 개발 및 최적화 ○ 경량 인공지능 기반 RGB/열화상 퓨전 영상 기반 보행자/차량/이동피사체 검출 기술 개발 ○ 경량 인공지능 기반 RGB/열화상 퓨전 영상 기반 보행자/차량/이동피사체 검출 성능 평가 및 퓨전 기술 최적화 ○ 다양한 상황에서의 프로세싱 파라미터 자동 적응 가능 기술 개발 ○ 경량 인공지능 기반 실시간 이종영상퓨전/객체검출 IP 엔진 및 통합 SoC 개발 및 오픈코어 기반 통합 SoC 개발 (ISO-26262 기능안전 및 Q-100 신뢰성 대응) <ul style="list-style-type: none"> - 초고속 동작 위한 초병렬 연산코어 아키텍처 및 메모리 아키텍처 개발 - 병렬코어, 메모리 최적 인터컨넥션 네트워크 및 재구성 가능 아키텍처 개발 <p><input type="checkbox"/> 2단계(3년): 경량 인공지능 기반 이종 영상 퓨전의 실차 통합 개발 및 검증</p> <ul style="list-style-type: none"> ○ SDK(Software Development Kit) 개발 ○ 실차 통합 개발 및 시험 		
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(4년): 객체 검출률 98%(야간/저조도), 논문/특허 각 20건 ○ 2단계(2년): 상용화 및 논문/특허 각 10건 		
4. 특기사항	<ul style="list-style-type: none"> ○ 경량 인공지능 플랫폼과의 호환성 ○ 멀티모달 센서 인터페이스 지원 		

		RFP 번호	H-14			
과제명	자율주행자동차용 경량 인공지능 기반 고정밀/고해상도 LIDAR 반도체 개발					
1. 연구목표						
<input type="checkbox"/> 자율주행 자동차의 실시간 주행 환경 감지를 위한 엣지 컴퓨팅 기반 고정밀/고해상도 레이저 빔 스캐닝 3차원 LIDAR 반도체 개발 <ul style="list-style-type: none"> ◦ 1단계 (3년): 자율주행자동차 LIDAR용 레이저 공간 스캐닝 광학 시스템 개발 ◦ 2단계 (3년): 실시간 주행 환경 감지를 위한 엣지 컴퓨팅 기반 VGA(307k)급 해상도 및 60FPS 지원하는 LIDAR 반도체 개발 						
2. 연구내용 및 범위						
<input type="checkbox"/> 1단계 (3년): 자율주행자동차 LIDAR용 레이저 공간 스캐닝 광학 시스템 개발 <ul style="list-style-type: none"> ◦ LIDAR 발광부 2D 빔 스캐닝 및 수광부 APD 광학 시스템 개발 ◦ 2D 스캐닝 및 1D 거리정보 병합 3D 객체 인지 알고리즘 개발 ◦ 3D point cloud 및 객체 정보 전송 client API 인터페이스 개발 ◦ 펄스 LD 드라이버 및 APD 모듈 제어부 통합 LIDAR 플랫폼 개발 						
<input type="checkbox"/> 2단계 (3년): 실시간 주행 환경 감지를 위한 경량 인공지능 기반 VGA(307k)급 해상도 및 60FPS 지원하는 LIDAR 반도체 개발 <ul style="list-style-type: none"> ◦ NIR 대역의 광학 필터 및 렌즈 기술 개발 ◦ VGA(307k)급 해상도를 지원하는 FPA 개발 ◦ 저잡음/고증폭 ROIC 기술 개발 ◦ 3D 공간 및 객체 인지를 위한 라이다 Time-of-Flight (ToF) processor 개발 ◦ 다채널 고정밀/고해상도 reference 신호 및 라이다 ToF 신호 연산 기술 개발 ◦ 고해상도 Point Cloud 데이터 전송 인터페이스 기술 개발 						
3. 성과목표						
<ul style="list-style-type: none"> ◦ 1단계(3년): 자율주행차 LIDAR용 레이저 공간 스캐닝 광학 시스템 개발 <ul style="list-style-type: none"> - 우수성과 논문(3건) 및 특허(3건) ◦ 2단계(5년): 고해상도 실시간 LIDAR 시스템을 위한 VGA(307k)급 해상도 및 60FPS를 지원하는 ToF 센서 칩 개발 <ul style="list-style-type: none"> - 우수성과 논문(5건), 기술이전 및 상용화 						
4. 특기사항						
<ul style="list-style-type: none"> ◦ 국내 독자적인 고정밀/고해상도 LIDAR용 반도체 개발을 통한 기술 선도 ◦ 자율주행차용 고해상도 실시간 LIDAR 센서 칩 기술 기술이전 및 상용화 ◦ 엣지 오픈 코어, 엣지 오픈 플랫폼과 연계 						
5. 사업기간/예산	6년(3+3), 15 억원/년					

RFP 번호	H-15
과제명	스포테이먼트를 위한 경량 인공지능 기반 영상과 레이저 센서 융합 웨어러블 SoC 개발
1. 연구목표	<p><input type="checkbox"/> 전문 스포츠 및 생활 스포츠를 고려한 영상과 레이저 센서 융합기반에 옛지 컴퓨팅용 웨어러블 SoC 개발</p> <ul style="list-style-type: none"> ○ 1단계(5년): 개인 라이프로그의 지능형처리가 가능한 웨어러블 디바이스 기술 개발
2. 연구내용 및 범위	<p><input type="checkbox"/> 1단계(5년): 스포츠용 웨어러블 디바이스 및 응용 플랫폼 개발</p> <ul style="list-style-type: none"> ○ 스포츠형 웨어러블 디바이스 개발 <ul style="list-style-type: none"> - 실시간 영상/레이저를 이용한 거리측정 기술 개발 - 스포츠 영상처리 기반에 서비스 기술 개발 - 고내구성(방진, 방습)을 보장하는 하우징 기술 개발 - 맞춤형 서비스 기반에 저전력 고신뢰성 모바일 단말 연결 기술 개발 ○ 스포츠용 응용 및 분석 SW 플랫폼 개발 <ul style="list-style-type: none"> - 웨어러블 디바이스를 고려한 단말 플랫폼에 적합한 스포츠 분석, 기초 DB구축, 서비스 시나리오 개발 - 착용 사용자들의 동작과 기존 스포츠 분석 등 다수정보에 매칭분석이 가능한 빅데이터 분석 기술 개발 - 스포츠 정보기반에 사용자 정보제공과 로컬기반 다자간 커뮤니티가 가능한 앱 개발
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(5년): 옛지 컴퓨팅 기반 전문 스포츠용 웨어러블 디바이스 상용화, 논문 /특허 각 5건
4. 특기사항	<ul style="list-style-type: none"> ○ 경량 인공지능 플랫폼과의 호환성 ○ 멀티모달 센서 인터페이스 지원
5. 사업기간/예산	5년 (연간 20억원)

		RFP 번호	H-16
과제명	인공지능 컴퓨팅 기반 마이크로 인터랙션 플랫폼		
1. 연구목표			
<p><input type="checkbox"/> 컴퓨팅 자원이 제약된 홈/빌딩 오토모티브 시스템에서 오버헤드가 높은 연산이나 데이터 처리를 시스템 내의 경량 인공지능 디바이스와의 협업을 통해 실행 성능 및 서비스 효율을 최적화하는 기술을 개발 함</p> <ul style="list-style-type: none"> ○ 1단계(5년): 다차원 상황정보(복합센서정보 온도, 습도 센서/영상/음성)들의 대용량 데이터를 다양한 내/외부의 환경 변화와 서비스에 따른 개별 학습/맞춤형 정보의 제공과 지원하는 허브 및 게이트웨이기반 초저전력 플랫폼 기술 개발 			
2. 연구내용 및 범위			
<p><input type="checkbox"/> 1단계(5년): 다양한 내/외부의 환경 변화와 서비스에 따른 개별 학습/맞춤형 정보의 제공과 지원하는 허브 및 게이트웨이기반 초저전력 플랫폼 기술 개발</p> <ul style="list-style-type: none"> ○ 홈/빌딩을 위한 Lite AP 개발 <ul style="list-style-type: none"> - 오픈코어기반의 MCU 기술 개발 - 경량화된 엣지 디바이스용 지능형 처리 기술 개발 - 다양한 IoT, 홈 및 빌딩용 분산 컴퓨팅 및 커넥티비티를 최적화하기 위한 병렬 분산컴퓨팅 아키텍처 기술 개발 - BLE, WiFi가 포함된 패키지 기술 개발 ○ 커넥티비티 기술 <ul style="list-style-type: none"> - 주변 환경(무선/데이터) 정보에 따른 HW 연결기술 개발 - 선별적 여러 감지 대상의 데이터 처리 및 저장 기술 개발 - 지능적 연결기술(Assistant, Wireless Link Directed Advertising, AWLDA) 기술 개발 - 다양한 사용자 주변 이벤트에 대해 서비스를 제공하는 상황인지형 데이터 오프로딩 및 서비스 데이터 운영 스케줄링 기술 개발 - 스마트 디바이스와 통신과 앱 서비스를 위한 API 개발 및 구현 			
3. 성과목표			
<ul style="list-style-type: none"> ○ 1단계(5년): 인공지능 시스템 상용화, 논문/특허 각 5건 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 경량 인공지능 컴퓨팅 플랫폼과의 호환성 ○ 경량 인공지능 컴퓨팅용 멀티모달 센서/지능형 커넥티비티 인터페이스 지원 			
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	H-17
과제명	홈/빌딩을 위한 인공지능 디바이스용 Sensor Assistant IP기반 SoC 개발		
1. 연구목표	<ul style="list-style-type: none"> <input type="checkbox"/> 홈/빌딩에서 엣지 디바이스용 AP를 위한 다양한 종류의 센서 신호처리를 한꺼번에 모아서 처리·판단·제공하는 지능적 역할을 할 수 있는 Sensor Assistant IP 개발 <ul style="list-style-type: none"> ○ 1단계(5년): 인공지능 디바이스용 Sensor Assistant IP기반 SoC 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> <input type="checkbox"/> 1단계(5년): 홈/빌딩을 위한 경량 인공지능 기반 엣지 디바이스용 Sensor Assistant IP기반 SoC 개발 <ul style="list-style-type: none"> ○ 홈/빌딩용 경량 인공지능 IP의 확장을 위한 셀 구조 개발 ○ Low power solution 구현을 위해 Multi-Level Dynamic Power Control 실현 ○ Low Power Solution구현을 위한 Dual Core (컴페니언코어) 개발 <ul style="list-style-type: none"> - 복잡한 Data 연산은 32-bit CPU 동작시키고, 간단한 Data 연산은 8-bit CPU로 처리 - Power Gating - 32-bit CPU, High performance, High power consumption - 8-bit CPU, Low performance, Low power consumption - 12-bit SAR ADC 내장 - Very Low Power, Low frequency internal Oscillator - I2C bus를 통한 다수의 Sensor 입력 처리 ○ Android Sensor Hub Software Platform 개발 		
3. 성과목표	<ul style="list-style-type: none"> ○ 1단계(5년): 인공지능 디바이스 SoC 상용화, 논문/특허 각 5건 		
4. 특기사항	<ul style="list-style-type: none"> ○ 인공지능 컴퓨팅 플랫폼과의 호환성 ○ 멀티모달 센서 인터페이스 지원 		
5. 사업기간/예산	5년 (연간 20억원)		

		RFP 번호	H-18
과제명	고감도 생체 신호 측정을 위한 삽입형 플렉서블 μ W급 능동형 경량 인공지능 SoC 집적 및 센서 플랫폼 기술		
1. 연구목표			
<input type="checkbox"/> 고해상도의 생체 신호 측정 및 이상 진단용 무선 구동의 생체 적합한 영구 삽입형 능동 전자 센서가 집약된 경량 인공지능 SoC 기술 개발 (전극 개수 100,000개 이상)			
<ul style="list-style-type: none"> ○ 1단계(3년): 체내에 영구 삽입 되어 장기의 전기적 특성을 맵핑 및 체내 현상 감지 통합형 센서 기술 개발 ○ 2단계(3년): 무선 운용 기술 개발 및 센서 집적도 향상 (전극 100,000개) 			
2. 연구내용 및 범위			
<input type="checkbox"/> 1단계(3년): 초박막, 초고집적도, 체내 삽입형 특성을 가지는 다양한 웨어러블/삽입형 기기에 적용할 수 있는 유연 경량 인공지능 SoC 집적 및 플랫폼 기술 개발			
<ul style="list-style-type: none"> - 전기적 특성을 고해상도로 맵핑하기 위한 고집적도 SoC 기술 및 통합형 센서 (예: EEG, pH, 단백질, 온도, ECG, EMG 등) 기술 개발 - 초고효율 저전력 구동 IE SoC 집적 및 플랫폼 기술 개발 - 고해상도 (10,000 개 이상) 센서의 구동 및 신호처리를 위한 SoC 기술 개발 - 조직이나 장기에 직관적인 계면을 이를 수 있는 수준의 센서 및 SoC 박막화 기술 - 열에 취약한 박막화된 SoC의 초저전력 아날로그/디지털 파워 매니지먼트 회로 설계 기술을 적용을 통한 열 감쇄 기술 - 반복 구부림에도 센서 및 SOC 성능 저하를 막는 기술 - 생체 액으로부터 센서 보호를 위한 콘덴서 커플링 센싱 기반으로 설계된 회로 기술 - 인체 삽입시 생체액으로부터 시스템을 완벽히 보호하는 초박막 (< 1 μm) 패키징 기술 - 저전력 유/무선 인체통신 기술, 고감도 센서 인터페이스 아날로그 회로 설계 기술 			
<input type="checkbox"/> 2단계(3년): 유/무선 운용 시스템 기술 개발, 채널 집적도 향상, 및 동물 실험			
<ul style="list-style-type: none"> - 초고해상도 (100,000 개 이상) 센서의 구동 및 신호처리를 위한 SoC 기술 개발 - 무선 운용 및 에너지 수확 기술이 집적된 SoC 플랫폼 기술 - 장시간 동물실험에도 성능이 유지되는 SoC 기술 			
3. 성과목표			
<ul style="list-style-type: none"> ○ 1단계(3년): 다양한 플렉서블 영구 삽입형 센서 개발 - 뉴럴 센서 및 타 장기 이식형 SoC 대한 논문 (3건) - 고해상도 공간 맵핑이 가능한 뉴럴 SoC 기술 원천특허 (3건) ○ 2단계(2년): 무선 운용의 플렉서블 영구 삽입형 SoC 개발 - 무선 기술을 적용한 완전 삽입형의 보이지 않는 (seamless) SoC 센서 (2건) - 무선 운용 뉴럴 SoC 기술 원천 특허 (2건) 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 동물 실험을 위해 의대 연구팀과의 지속적인 협업 요망 ○ 오픈코어, 오픈 플랫폼과 연계 			
5. 사업기간/예산	3년+3년(연간 20억원)		

		RFP 번호	H-19
과제명	삽입형 생체 분해 플렉서블 능동형 μ W급 경량 인공지능 컴퓨팅 기반 SoC 집적 및 센서 플랫폼 기술		
1. 연구목표			
<p><input type="checkbox"/> 체내에 삽입 되어 프로그래밍 된 시간 프레임 안에서 장기나 조직 표면의 전기적 신호 맵핑 및 체내 현상 감지 후 생분해 되는 경량 인공지능 기반 SoC 기술 개발</p> <ul style="list-style-type: none"> ◦ 1단계(3년): 개발 생체 적합한 생분해형 재료만을 이용 고해상도의 장기적 특성을 맵핑 및 체내 현상 감지 통합형 센서 기술 및 센서 수명 제어 기술 ◦ 2단계(3년): 무선 운용 기술 개발 및 센서 집적도 향상 (전극 50,000개) 			
2. 연구내용 및 범위			
<p><input type="checkbox"/> 1단계(3년): 생체 흡수 소재만을 이용한 생분해형 SoC 기술개발</p> <ul style="list-style-type: none"> - 생체 흡수성 소재만을 이용 일정기간 질환 모니터링 후 체내에서 생분해 되는 플렉서블 SoC 기술 - 전기적 특성을 고해상도로 맵핑하기 위한 고집적도 능동 회로 기술 및 통합형 센서 (예: EEG, pH, 온도, ECG, EMG 등) 기술 - μW급 IE SoC 집적 및 플랫폼 기술 개발 - 고해상도 (10,000 개 이상) 센서의 구동 및 신호처리를 위한 SoC 기술 - 오픈형 게이트 센싱 기반으로 설계된 SOC 설계 및 제작 기술 - 열에 취약한 박막화된 SoC의 저전력 회로설계 기법의 적용을 통한 열 감쇄 기술 - 열에 취약한 생분해형 소재에 적합한 공정 기술 및 이를 이용한 SoC 설계기술 - 도핑 농도 및 소재 두께에 따른 생분해성 제어 기술 - 저전력 유/무선 인체 통신 기술, 고감도 센서 인터페이스 아날로그 회로 설계 기술 <p><input type="checkbox"/> 2단계(2년): 유/무선 운용 시스템 기술 개발, 채널 집적도 향상, 및 동물 실험</p> <ul style="list-style-type: none"> - 생분해형 센서에 적합한 무선 운용 및 에너지 수확 기술이 집적된 SoC 기술 - 집적도가 향상된 고해상도 (50,000 개 이상) 센서의 구동 및 신호처리를 위한 SoC 기술 - 센서 성능 측정을 위한 장기간 동물 실험 			
3. 성과목표			
<ul style="list-style-type: none"> ◦ 1단계(3년): 다양한 플렉서블 영구 삽입형 센서 개발 <ul style="list-style-type: none"> - 생분해형 뉴럴 센서 및 타 장기 이식형 SoC 대한 논문 (3건) - 초고해상도 공간 맵핑이 가능한 생분해형 SoC 기술 원천특허 (3건) ◦ 2단계(3년): 무선 운용의 생분해형 플렉서블 영구 삽입형 센서 개발 <ul style="list-style-type: none"> - 완전 삽입형의 보이지 않는 (seamless) 뉴럴 센서 및 타 장기 이식형 SoC 논문(3건) - 무선 운용 생분해형 SoC 기술 원천특허 (2건) 			
4. 특기사항			
<ul style="list-style-type: none"> ◦ 동물실험을 위해 의대 연구팀과의 지속적인 협업 요망 ◦ 오픈코어, 엣지 플랫폼과 연계 			

		RFP 번호	I-1
과제명	고생산성, 고정밀 유전체 원자층 식각(Dielectric Atom Layer Etch) 장비 개발		
1. 연구목표			
	<ul style="list-style-type: none"> o 소자의 Critical Dimension(CD)이 10nm이하로 축소되어감에 따라 고정밀 Atomic Layer Etch 공정 및 장비 개발이 필요함 o 현재 해외의 선진 에칭장비 제조 기업들은 시간분할(Time-Resolved) 방식의 공정 및 장비를 개발하고 있음 o 본 연구에서는 공간분할형(Spatially Resolved) 방식의 Atomic Layer Etching 공정과 장비를 개발을 통하여 Atomic Layer Etching의 한계로 인식되는 Low Throughput을 극복하고자함 		
2. 연구내용 및 범위			
	<ul style="list-style-type: none"> o 공간분할형(Spatially Resolved) 방식의 Atomic Layer Etching(ALE) 공정 개발 <ul style="list-style-type: none"> - 공간분할형 ALE공정 특성 연구 - 공간분할형 ALE공정 개발 o 공간분할형(Spatially Resolved) 방식의 Atomic Layer Etching 장비 개발 <ul style="list-style-type: none"> - Spatial Module 설계 및 제작 - 공간분할형 모듈의 유체역학적 유동 분석 - 장비설계 및 제작 o 공간분할형(Spatially Resolved) Atomic Layer Etching 공정 모니터링 기술 개발 <ul style="list-style-type: none"> - 정밀도 향상을 위한 공정 모니터링 기술 개발 		
3. 성과목표			
	<ul style="list-style-type: none"> o 식각 프로파일 각도 : 85도 이상 o 식각 속도조절 능력 : 10Å/min이상 100Å/min이하 o 선택비 : 산화막/질화막 선택비 > 1 이상 5이하, o 표면거칠기 : 3Å이하 o 웨이퍼크기 : 200mm(1,2년차), 300mm(3,4년차) o Self-limited 특성 확인 		
4. 특기사항			
	o 원천기술 + 상용화		
5. 사업기간	5년(2024.1~2028.12)		

		RFP 번호	I-2
과제명	차세대 저장 솔루션용 2%이하의 고균일도 신물질 Etch 장비 개발		
1. 연구목표			
<ul style="list-style-type: none"> o 차세대 저장 솔루션 반도체 제조시 필요한 신물질 식각공정을 2%이하의 고 균일도의 품질로 식각할 수 있으며 기존대비 양산성이 우월한 식각장비 개발 o 1단계(2년) : 차세대 저장 솔루션 반도체의 신물질을 식각하기 위한 기본 개념설계와 플라즈마소스 개발 및 식각장비 구성. 기초 평가 o 2단계(2년) : 반도체사 양산 웨이퍼 평가 및 수정설계로 양산장비 완성 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 1단계(2년) : 차세대 저장 솔루션 반도체의 신물질 식각을 위한 기본 개념설계와 플라즈마소스 개발 및 식각장비 구성. 기초 평가 <ul style="list-style-type: none"> - 차세대 반도체 신물질 식각특성 - 2%이하의 식각균일도($Max-min/2$)와 고식각속도(>5 nm/분, TiN기준) 가능 플라즈마소스 - 고가동률을 위한 비회발성 식각 결합물 처리 및 방법 - 식각 양산평가기 완성 및 플라즈마특성 및 식각 등 기초 평가 o 2단계(2년) : 반도체 소자기업 양산 웨이퍼 평가 및 수정설계로 양산장비 완성 <ul style="list-style-type: none"> - 반도체 소자기업 협업 및 양산웨이퍼 공급 체결 - 반도체 소자기업 양산 웨이퍼를 통한 양산공정 평가 - 양산평가 결과를 분석하여 고 가동률을 위한 장비의 수정설계 - 양산기 반입 및 추가 평가 			
3. 성과목표			
<ul style="list-style-type: none"> o 1단계(2년) : 차세대 저장솔루션 반도체의 신물질 식각용 플라즈마소스 개발 및 식각 장비 구성 <ul style="list-style-type: none"> - 플라즈마소스 관련 특허 2건 이상 - 양산평가기 완성 및 기초 공정 테스트 <ul style="list-style-type: none"> * 식각균일도 2%이하, 식각속도 TiN기준 5nm/분 이상 o 2단계(2년) <ul style="list-style-type: none"> - 신물질 식각공정 관련 특허 2건 이상 - 양산 평가기 반도체 소자기업 양산라인 반입 및 양산평가 			
4. 특기사항			
<ul style="list-style-type: none"> o 원천기술 + 상용화 			
5. 사업기간	4년(2025.1~2028.12)		

RFP 번호	I-3
과제명	100 Å 이하급 고생산성 고균일도 Deep Trench Silicon용 원자층 식각장비 개발
1. 연구목표	<ul style="list-style-type: none"> o FinFet 및 V-NAND와 같은 3D 기술을 적용 가능한 10 nm급 이하 초미세 패턴가공용 반도체 초박막의 원자단위 식각 제어와 고선택비가 가능한 ALE 장비 개발 o 고 생산성(High Throughput), 고정밀 폴리 실리콘(Poly Silicon) 원자층 식각(ALE : Atom Layer Etch)하는 기술 확보
2. 연구내용 및 범위	<ul style="list-style-type: none"> o FinFet 및 V-NAND와 같은 3D 반도체 제조에 적용 가능한 100Å(10 nm)급 이하 반도체 초미세 원자층 식각 기술 개발 o 고 정밀제어 가능한 원자층 식각공정 장비 요소기술 <ul style="list-style-type: none"> - 압력제어, RF 필스 전력 제어 및 대응 플라즈마 소스 시스템 - 무손상(damage-free) 원자층 식각 공정 진단 시스템 - Thermal ALE 공정 소스 시스템 - 다중영역(Multi-zone) 온도 정밀제어 가능한 ALE 대응 정전체 및 전원 시스템 - 실시간 원자층 식각 공정 모니터링 및 고급 공정 제어 시스템 o 고 생산성 가능한 원자층 식각공정 장비 요소기술 <ul style="list-style-type: none"> - RF 전극 및 ESC등 기관온도제어부품 - 고기능성 챔버 소재/부품 - 공정 챔버, 플라즈마 소스, 반응 소스 및 가스 공급시스템 - 장비 및 부품의 효율적인 운영시스템
3. 성과목표	<ul style="list-style-type: none"> o 고생산성 원자층 식각(ALE) 장비 개발 o CD variation : ≤ 0.5 nm o LER(line edge roughness) control : ≤ 1 nm o Etch Rate (@Si) : ≥ 20 Å/cycle o Etch Rate Uniformity: ≤ 1.5 (3σ)nm
4. 특기사항	<ul style="list-style-type: none"> o 원천기술 + 상용화
5. 사업기간	4년(2022.1~2025.12)

		RFP 번호	I-4
과제명	자가 적응적 수치 해석 및 분석 조절 시스템을 갖는 원자총 식각 장비 개발		
1. 연구목표			<ul style="list-style-type: none"> o 식각공정 중 공정조건 변화를 감지하여 자동으로 실시간 공정조건 조정을 수행하여 물리, 전기적 손상을 최소화하고 식각의 정밀도를 높이는 원자총 식각장비 및 제어 툴 개발
2. 연구내용 및 범위			<ul style="list-style-type: none"> o 식각 챔버 내부의 플라즈마 거동 조절이 가능한 스마트 고정밀(ACP) 플라즈마 소스와 이에 필요한 Matcher의 개발 <ul style="list-style-type: none"> - 고정밀(ACP) 플라즈마 소스용 Fast Impedance Matching Network 개발($\leq 500\text{msec}$) o 식각공정 중 생산되는 Data의 실시간 분석을 위한 스마트 진단 시스템의 개발 o Sub-nm CD 균일도 조절이 가능한 고성능 스마트 플라즈마 소스 모듈과 모니터링 시스템을 포함한 식각모듈 개발
3. 성과목표			<ul style="list-style-type: none"> o 식각 챔버 내부의 플라즈마 거동 조절이 가능한 스마트 고정밀(ACP) 플라즈마 소스와 이에 필요한 Matcher의 개발 <ul style="list-style-type: none"> - Advanced Plasma Source 및 RF Pulsing 기능 개발 o 식각공정 중 발생하는 장비 및 공정 Data의 실시간 분석을 위한 스마트 진단시스템 개발 <ul style="list-style-type: none"> - 장비 내부와 외부의 센서 데이터를 필요에 따라 고속 취득하여 미세변화를 감지할 수 있는 플랫폼과 장비와의 표준 인터페이스 개발을 통한 장비 스마트화 기능 개발 - 장비 스마트 진단 시스템을 통한 자가진단, 예측 및 Faults Detection 등 Application 개발 o 고성능 스마트 플라즈마 소스 모듈과 스마트 진단 시스템을 포함한 식각모듈 개발 <ul style="list-style-type: none"> - Low Pressure Control 기능 및 Smart Seasoning Program 개발 - Fast Gas Switching 모듈 및 다중영역 온도 조절이 가능한 정전적 개발 - Etch Rate($\text{\AA}/\text{Cycle}$) : $1.2 \sim 1.5$ for Si, Cycle Time(min): ≤ 5 for Si - RMS Roughness(\AA) : ≤ 20 for Si, Profile : No Microtrenching
4. 특기사항			<ul style="list-style-type: none"> o 원천기술 + 상용화 성격 o 본 기술에서는 현재 원자총 식각 기술의 한계점으로 인식되고 있는 오랜 공정 시간, 낮은 비용 효율성 및 정밀 수치 제어에 대한 기술적 어려움을 해결하기 위하여 분석 조절 시스템을 탑재한 원자총 식각 장비를 개발하고자 함
5. 사업기간	4년(2019.1~2022.12)		

		RFP 번호	I-5
과제명		e-beam Plasma 이용한 ALE(Atomic Layer Etching) 장비 개발	
연구목표		e-beam을 이용하여 발생된 플라즈마를 사용하여 원자층 식각 장비 및 공정 개발	
o e-beam source를 개발하고 이를 이용하여 low Te 플라즈마 source를 설계 제작, 장비에 장착하여, Si, SiO ₂ 원자층 식각 공정 확보를 목표로 함			
2. 연구내용 및 범위			
<p>o e-beam source 개발</p> <ul style="list-style-type: none"> - ALE에 적합한 e-beam source 기술 확보 - 공정 중 열화 방지 기능 보유 <p>o e-beam source를 이용한 플라즈마 발생 장치 개발 및 플라즈마 특성 확보</p> <ul style="list-style-type: none"> - 12“에서 공정 가능한 플라즈마 발생 장치 - 12“에서 균일한 플라즈마 분포 확보 <p>o e-beam 플라즈마를 이용한 ALE 장비 제작</p> <ul style="list-style-type: none"> - 식각 가스에 적합한 reactor 설계 - e-beam source 부착 및 공정에 적합한 Hardware, software, 환경안전 확보 <p>o Si 및 SiO의 원자층 식각 공정 개발</p> <ul style="list-style-type: none"> - Si/SiO₂ ALE용 ESC 확보 - ALE Recipe 확보 			
3. 성과목표			
<p>o e-beam source</p> <p>o 플라즈마 특성 확보 : Low Te Plasma, Uniformity Control</p> <p>o e-beam Plasma에 적합한 Reactor & System : Backbone 포함</p> <p>o Si/SiO₂ 원자층 식각 recipe 확보</p>			
4. 특기사항			
<p>o 상용화 성격</p> <p>o 원천기술 : 산학 연계 필수, 저온 플라즈마 및 e-beam plasma 기술 보유업체 및 대학 연계</p>			
5. 사업기간		3년(2021.1~2023.12)	

		RFP 번호	I-6		
과제명	반도체 제조용 SiGe Selective Etch 장비 및 공정 개발				
1. 연구목표	<p>o 5nm 이하급 Logic 공정용 Incubation Period Free 고선택비 SiGe 식각 기술 및 식각 시스템 개발</p>				
2. 연구내용 및 범위					
<p>o 1단계(2년)</p> <ul style="list-style-type: none"> - SiGe 건식 Selective Etch Chamber 개발 - Inter-Halogen Gas Selection - Inter-Halogen Gas에서 부식방지 기술 - TMP를 이용한 저압공정 기술 - Etch Rate Control 기술 - High Etch Selectivity 기술 - Uniformity & Repeatability 기술 - Incubation Period Control 기술 <p>o 2단계(1년)</p> <ul style="list-style-type: none"> - Better Etch Uniformity를 위한 Susceptor 기술 - NOR + SiGe 통합 식각 시스템 개발 - 공정 단순화 (in-situ, ex-situ) - 식각 후 Fume 제거 처리기술 - High Throughput 확보 					
3. 성과목표					
<p>o NOR + SiGe 통합 식각 및 챔버 개발</p> <p>o NOR + SiGe 통합 식각을 적용한 SiGe 식각시스템 개발</p>					
4. 특기사항					
<p>o 상용화 성격</p> <p>o SiGe wafer 확보방안이 선행되어야 함</p>					
5. 사업기간	3년(2022.1~2023.12)				

		RFP 번호	I-7		
과제명		100 Å급 차세대 메모리소자 적용을 위한 in-situ 무산화 asher 공정/설비 기술 개발			
1. 연구목표					
<ul style="list-style-type: none"> o 고밀도 H₂ Plasma Source 개발을 통한 무산화 Asher 공정/설비 기술개발 o 1단계(2년) : 10nm급 메모리소자 적용 가능한 무산화 Asher에 대한 신개념 컨셉 및 핵심 모듈 개발을 위한 설계 / 제작 공정 개발을 위한 H/W 구축 o 2단계(2년) : 10nm급 메모리 제품 DRAM 과 3D NAND Flash Memory 적용 가능한 무산화 Ashing 공정 및 Device 어플리케이션 개발 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o 1단계(2년) : 고밀도 H₂ Plasma Source 개발을 통한 무산화 Asher 설비개발 <ul style="list-style-type: none"> - 10nm급 Device 가능한 Hard ware 컨셉, Process Chamber 개발 (컨셉/설계/제작) - Plasma Source 컨셉 구상 - Transfer Module 컨셉 및 설계 / 제작 - Critical 공정에 적용 가능한 Hard ware 운용 Soft ware 개발 o 2단계(2년) : 고밀도 H₂ Plasma Source 개발을 통한 무산화 Asher 공정기술 개발 <ul style="list-style-type: none"> - 10nm급 반도체 특성 및 수율에 상관있는 step 정보 확보 - Process 최적화를 위한 Plasma 특성 파악 - 공정 최적화를 위한 GAS 선정(H₂ /N₂ /He..) - 최적 성능 확보를 위한 공정 중심 Hard-Ware 개선 활동 추진 - 향후 양산화 대비 High Through put을 위한 recipe 최적화 					
3. 성과목표					
<ul style="list-style-type: none"> o 고밀도 H₂ Plasma Source : Inductive Coupled Plasma Source <ul style="list-style-type: none"> - Plasma Ion Density > 10¹² - Plasma Gas 분해율 > 98% o H₂ Plasma base 무산화 Asher 공정 개발 <ul style="list-style-type: none"> - Ashing rate & uniformity > 30,000 A/min ± 5% edge 3mm - 재현성 < 3% within 25 wafers o Throughput 400매 이상의 Transfer chamber 개발 					
4. 특기사항					
<ul style="list-style-type: none"> o 상용화 성격 					
5. 사업기간	4년(2019.1~2022.12)				

		RFP 번호	I-8		
과제명		차세대 Hard Mask Strip 장비 개발			
1. 연구목표					
<ul style="list-style-type: none"> o 3D NAND를 위한 Hard Mask Strip용 플라즈마 소스, Gas Chemistry, Chamber 및 장비 개발 (HAR Pattern 형성 Hard Mask Strip 장비) <ul style="list-style-type: none"> - 1단계 (2년) : Plasma Source 개발, Gas Chemistry 개발, Chamber 개발 & 장비 개발 - 2단계 (1년) : Chamber 생산성 및 성능개선 및 장비안정성 개선(양산 Chamber 개발) 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o 1단계(2년) : Plasma Source 개발, Gas Chemistry 개발, Chamber 개발 & 장비 개발 <ul style="list-style-type: none"> - Hard Mask Material별 최적 Source 개발을 위한 진단 및 Proto 제작 - Hard Mask Material별 최적 Gas Chemistry 개발 - Hard Mask Strip에 최적 Chamber 개발 - Proto 장비에 대한 성능 평가 o 2단계(1년) : Chamber 생산성 및 성능 개선 및 장비 안정성 개선 <ul style="list-style-type: none"> - Hard Mask Material별 최적 Source 개발 및 적용 - Strip에 의한 Powder Depo 문제 해결을 위한 Part 재질 및 ISD 개발 - Process Control을 위한 종말점 검출 기술 적용 - Process Chamber 성능 개선 및 양산성 확보 					
3. 성과목표					
<ul style="list-style-type: none"> o 1단계 (2년) : Plasma Source 개발, Gas Chemistry 개발, Chamber 개발 & 장비 개발 <ul style="list-style-type: none"> - Plasma 안정성 확보 - Strip Rate $> 2,000\text{A/min}$ @ Gas chemistry & Hard Mask Material - Uniformity $< 10\%$ @ Gas chemistry & Hard Mask Material o 2단계 (1년) : Chamber 생산성 및 성능 개선 및 장비 안정성 개선 <ul style="list-style-type: none"> - 종말점 기술 개발 및 공정 control @ Hard Mask Material - Strip Rate $> 3,000\text{A/min}$ @ Gas chemistry & Hard Mask Material - Uniformity $< 8\%$ @ Gas chemistry & Hard Mask Material - ISD 기술개발을 통한 Strip Powder Dopo 방지 기술 확보 					
4. 특기사항					
<ul style="list-style-type: none"> - 원천 기술 + 상용화 					
5. 사업기간	3년(2019.1~2021.12)				

		RFP 번호	J-1
과제명		100단급 이상 3D NAND용 Oxide/Nitride 증착 장비 개발	
1. 연구목표			
<ul style="list-style-type: none"> o 3D NAND 위한 Multi-Chamber 개발 및 PECVD용 Ignition/Arc 제어 스마트 플라즈마 소스기술 개발 <ul style="list-style-type: none"> - 1단계 (2년) : Chamber 설계 및 Multi-Chamber 재현성 확보 - 2단계 (2년) : Chamber 효율성 증대 및 운용 안정성 개선 (양산 Version Chamber 개발) 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 1단계 (2년) : Chamber 설계 및 Multi-Chamber 재현성 확보 <ul style="list-style-type: none"> - 4X module의 Station별 재현성 확보 - 공정진단 기술 탑재 및 정합성 확보 - 공정진단과 접목한 Ignition/Arc 제어 스마트 플라즈마 소스기술 평가 o 2단계 (2년) : Chamber 효율성 증대 및 운용 안정성 개선 (양산 Version Chamber 개발) <ul style="list-style-type: none"> - 고온 공정에서의 CLN 문제 해결 (AlF 형성) - 경쟁사 수준의 UPH 확보 - 공정진단 기술을 통한 process control - Ignition/Arc 제어 스마트 플라즈마 소스기술 개발 및 적용 			
3. 성과목표			
<ul style="list-style-type: none"> o 1단계 (2년) : Chamber 설계 및 Multi-Chamber 재현성 확보 <ul style="list-style-type: none"> - 공정진단 기술을 통한 공정제어 parameter 확보(10 item 이상) - Module 간 WTW NU <1% 확보 - WIW NU <3% 확보 - Long Time Plasma 안정성 확보 o 2단계 (2년) : Chamber 효율성 증대 및 운용 안정성 개선 (양산 Version Chamber 개발) <ul style="list-style-type: none"> - 공정진단 기술을 통한 process control - Ignition/Arc 제어 스마트 플라즈마 소스기술 개발 및 적용 - 고온공정 CLN시의 AlF 형성 방지기술 확보 			
4. 특기사항			
<ul style="list-style-type: none"> o 원천기술 + 상용화 			
5. 사업기간		4년(2019.1~2022.12)	

		RFP 번호	J-2
과제명		100 Å 급 이하 3D 반도체용 Ge(Sn) on Si 저온 선택적 에피성장 증착 장비 개발	
1. 연구목표			
<ul style="list-style-type: none"> o 300 mm 대면적 실리콘 기판을 기반으로 한 저온 에피 성장 시스템 개발 및 이를 이용한 10 nm 급 이하 3D 반도체용 Si, Ge, Ge(Sn) 저온 선택적 에피 성장 기술 개발 - 1단계(2년) : 300 mm 웨이퍼 운용이 가능한 저온 에피 성장 시스템 개발 - 2단계(2년) : 10 nm 급 이하 3D 반도체 적용을 위한 차세대 극 나노 Si, Ge, Ge(Sn) 저온 선택적 에피 성장 기술 및 장비 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 1단계(2년) : 300 mm 웨이퍼 운용이 가능한 저온 에피 성장 시스템 개발 <ul style="list-style-type: none"> - 저온 에피 성장 시스템 구조 설계 - 300 mm 웨이퍼를 기반으로 하는 저온 성장 시스템 모델링 최적화 - 산업화 적용이 가능한 에피 자동화 및 웨이퍼 운송 시스템 구축 - 극 나노 에피 품질 평가를 위한 분석 로드맵 구축 및 시스템 확보 o 2단계(2년) : 10 nm 급 이하 3D 반도체 적용을 위한 차세대 극 나노 Si, Ge, Ge(Sn) 저온 선택적 에피 성장 기술 및 장비개발 <ul style="list-style-type: none"> - Ge(Sn) on Si 저온(200~500°C) 에피 성장 연구 및 이를 통한 에피 품질 및 균일도 특성 평가 - 300 mm Si 기판 상 10 nm 이하 급 고품위 Ge 및 Ge(Sn) 에피 성장 연구 - 열전달 시스템 및 공정조건 개선을 통한 Ge 및 Ge(Sn) 극 미세 에피 품질 향상 연구 - 패터닝 된 300 mm Si 기판 샘플 확보 및 이를 이용한 선택적 저온 Ge, Ge(Sn) 에피 성장 - 성장된 극 미세 Ge, Ge(Sn) 에피의 스트레인 분석 및 in-situ 도핑 기술 연구 			
3. 성과목표			
<ul style="list-style-type: none"> o 1단계(2년) : 300 mm 웨이퍼 운용이 가능한 Ge(Sn) on Si 저온 에피 성장 시스템 개발 <ul style="list-style-type: none"> - 300 mm 급 에피 장비 국산화, 초저온 (200~500°C) 에피 시스템 관련 특허출원 및 기술이전(5건) o 2단계(2년) : 10 nm 급 이하 3D 반도체 적용을 위한 차세대 극 나노 Si, Ge, GeSn 저온 선택적 에피 성장 기술 개발 <ul style="list-style-type: none"> - 10 nm 이하 급 300 mm 대면적 고품위 Ge, Ge(Sn) 저온 선택적 에피 성장, 논문(20건) - 극미세 Ge, Ge(Sn) 에피 웨이퍼 개발, 기술이전 및 상용화(5건) 			
4. 특기사항			
<ul style="list-style-type: none"> o 원천기술 + 상용화 성격 			
5. 사업기간		4년(2019.1~2022.12)	

		RFP 번호	J-3
과제명	차세대 패터닝을 위한 Conformal amorphous silicon 증착 장비 개발		
1. 연구목표			
<ul style="list-style-type: none"> o Conformal amorphous silicon 증착 기술 및 장비개발 <ul style="list-style-type: none"> - SOH와의 선택비 열화로 Hardmask damage 발생 및 선택비 개선을 위한 새로운 막질이 필요 - Etch 선택비 개선을 위한 신규 물질 개발 - 차세대 패터닝 공정용 신규 막질 개발을 통한 CD 산포 개선 및 공정 단순화 o 1단계(2년) : 공정 평가 시스템 구축 및 Si precursor 평가 o 2단계(2년) : 증착 공정 최적화 및 설비 안정성 확보 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 1단계(2년) : 공정 평가 시스템 구축 및 Si Precursor 평가 o 2단계(2년) : 증착 공정 최적화 및 설비 안정성 확보 <ul style="list-style-type: none"> - Step coverage 확보 - High UPEH 확보 - High selectivity 확보 - Extreme uniformity 확보 - 성능 개선을 통한 설비 안정성 확보 			
3. 성과목표			
<ul style="list-style-type: none"> o 1단계(2년) : 공정 평가 시스템 구축 및 Si Precursor 평가 <ul style="list-style-type: none"> - Conformal amorphous silicon 증착을 위한 시스템 구축 - Si precursor feasibility 평가 o 2단계(2년) : 증착 공정 최적화 및 설비 안정성 확보 <ul style="list-style-type: none"> - Step coverage > 95% - UPEH > 80 wfs/hr.(@100 Å) - High Selectivity & Extreme Uniformity < 1.0% 			
4. 특기사항			
<ul style="list-style-type: none"> o 상용화 성격 			
5. 사업기간	4년(2022.1~2025.12)		

		RFP 번호	J-4
과제명		차세대 반도체 메모리 소자용 레이저 열처리 시스템 개발	
1. 연구목표			
<ul style="list-style-type: none"> ○ 결정질박막 형성 및 고품질의 균일한 박막 형성을 위한 레이저 열처리 공정 및 장비 기술 개발 <ul style="list-style-type: none"> - 박막의 표면 거칠기를 최대한 제어함으로써 평탄화 공정수 최소화 및 레이저 열처리 공정을 통한 공정 수 단순화로 반도체 소자 생산 단가 절감 효과 ○ Stacks 수 증가와 Thermal budget 최소화를 위한 레이저 열처리 장비 기술 개발 ○ 고집적 메모리 소자나 3D NAND Flash 등의 제조를 위한 고속 열처리 장비 기술 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> ○ 고품질 박막 형성을 위한 레이저 열처리 시스템 개발 <ul style="list-style-type: none"> - 균일성이 확보된 Long line beam 광학 모듈 개발 - 초정밀 스테이지 모듈 개발 - 공정 가스 등의 열처리 분위기 제어 기술 개발 ○ 레이저 열처리 광학계 개발 <ul style="list-style-type: none"> - 레이저 에너지 밀도: 1 J/cm² 이상 - 레이저 빔 사이즈: 300 mm @ 기판 (장축 기준) - 레이저 빔 균일도: 2% 이내 (장축 기준) ○ 박막 표면 거칠기 제어 장치 개발 ○ Low thermal budget 실현을 위한 레이저 Pulse width 제어 시스템 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ○ 서버용 SSD 시장 확대에 따른 나노급 고집적 메모리 반도체 및 3D NAND Flash 생산에 최적인 레이저 열처리 시스템 개발 ○ 균일한 박막 형성이 가능하며, 낮은 Thermal budget이 가능한 신개념 공정의 레이저 열처리 시스템 개발 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 상용화 성격 			
5. 사업기간		3년(2019.1~2021.12)	

		RFP 번호	J-5
과제명		저온(200C 이하) 플라즈마 annealing 장비 개발	
1. 연구목표			
<ul style="list-style-type: none"> o 3차원 반도체 집적 구조 위에 증착되는 막질 Curing 및 Pre/Post 표면처리 공정에 적합한 저온(200C 이하) 플라즈마 annealing 장비 개발 <ul style="list-style-type: none"> - 1단계(1년) : 3차원 반도체 집적 구조를 갖는 제품 특성 개선을 위한 저온(200°C 이하) 플라즈마 annealing 장비 개발 - 2단계(2년) : High Aspect Ratio 를 갖는 3차원 반도체 집적 구조에 최적화 되어 있는 저온 플라즈마 annealing 과 insitu로 초박막을 증착하는 복합공정 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 1단계(1년) : 3차원 반도체 집적 구조를 갖는 제품 특성 개선을 위한 저온(200°C 이하) 플라즈마 annealing 장비 개발 <ul style="list-style-type: none"> - 3차원 반도체 집적 구조 중 High Aspect Ratio를 갖는 구조의 측면 표면 처리용 저온 플라즈마 공정 - 3차원 반도체 집적 구조 중 High Aspect Ratio를 갖는 구조의 측면 표면 상태를 변경시켜 주는 Pre treatment 어닐 공정 개발 - 3차원 반도체 집적 구조 중 High Aspect Ratio를 갖는 구조의 측면에 증착된 막질의 개선을 위한 Post treatment 공정 개발 o 2단계(2년): High Aspect Ratio 를 갖는 3차원 반도체 집적 구조에 최적화 되어 있는 저온 플라즈마 annealing 과 insitu로 초박막을 증착하는 복합공정 개발 <ul style="list-style-type: none"> - 3차원 반도체 집적 구조 중 High Aspect Ratio를 갖는 구조에 최적화된 열처리와 초박막 데포 복합 공정 개발 			
3. 성과목표			
<ul style="list-style-type: none"> o 1단계(1년) : 3차원 반도체 집적 구조를 갖는 제품 특성 개선을 위한 저온(200°C 이하) 플라즈마 annealing 장비 개발 <ul style="list-style-type: none"> - 저온 플라즈마 어닐 기술 개발을 위한 국제 컨소시움/학회 참여, 관련 논문(2건) - High Aspect Ration 구조에 최적화된 저온 플라즈마 어닐 기술 이전 및 상용화 o 2단계(2년) : High Aspect Ratio 를 갖는 3차원 반도체 집적 구조에 최적화 되어 있는 저온 플라즈마 annealing 과 초박막을 증착하는 복합공정 개발 <ul style="list-style-type: none"> - 저온 플라즈마 열처리 + 초박막 복합공정관련 논문(5건), 기술이전 및 상용화(3건) 			
4. 특기사항			
<ul style="list-style-type: none"> o 상용화 성격 : 1단계는 저온 플라즈마 어닐 단독 공정, 2단계는 저온 플라즈마 어닐 및 초박막 공정의 융합 복합 공정 			
5. 사업기간		3년(2023.1~2025.12)	

		RFP 번호	J-6
과제명		첨단 반도체 공정 설비 제조를 위한 진단센서 및 가상 계측 모듈 개발	
1. 연구목표			
<ul style="list-style-type: none"> o 공정플라즈마 정보기반의 실시간 격충 박막공정·장비제어 기반기술개발 o 세부연구목표 <ul style="list-style-type: none"> - 1단계(4년): 공정플라즈마 정보기반의 격충 박막공정용 가상계측 기술개발 - 2단계(5년): 통합 공정 데이터 기반의 실시간 증착공정-장비제어 기술 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 1단계 (4년) : 공정플라즈마 정보기반의 격충 박막공정용 가상계측 기술 개발 <ul style="list-style-type: none"> - 격충 증착 공정플라즈마 정보데이터 기반의 공정상태 모니터링 기술 <ul style="list-style-type: none"> * 공정 플라즈마 특성 진단 용 광신호 기반의 활성종 밀도 및 온도 진단 기술 개발 * 광신호 기반의 장비 벽면 상태 변화를 추적할 수 있는 진단 인자 개발 - 박막 증착 두께 가상계측 기술개발 <ul style="list-style-type: none"> * 플라즈마 정보데이터를 포함하는 공정 데이터 기반의 가상 계측 정확도 제고 기술 * 웨이퍼 단위 및 웨이퍼 간 격충 증착공정의 드리프트 원인·진단 기술 * 공정 제어용 핵심 장비운전인자 취득 및 전원·센서·장비 진단계 통합 기반기술 o 2단계 (5년) : 통합 공정데이터 기반의 실시간 증착공정-장비제어 기술개발 <ul style="list-style-type: none"> - 플라즈마 정보자료 포함 실시간 데이터베이스 통합 관리 기술 <ul style="list-style-type: none"> * 반도체 설비의 통신 규약 하에서 이종 센서 데이터 통신 기술 * 플라즈마 정보와 장비 제어 소프트웨어 및 데이터 통한 관리 솔루션 기술 - 격충 박막공정 제어기술 <ul style="list-style-type: none"> * 공정플라즈마와 벽면상태 진단데이터 기반 공정 결과-플라즈마 상태 제어기술 * 공정 장비인자에 의한 공정 플라즈마상태 제어 기술 개발 * 웨이퍼 단위의 공정 장비 인자-플라즈마 상태-공정 결과를 관리하는 cascade형 제어기 개발 			
3. 성과목표			
<ul style="list-style-type: none"> o 1단계 (4년) : 증착 플라즈마 추적을 통한 박막 증착 공정용 가상계측기술 개발 <ul style="list-style-type: none"> - 공정 플라즈마 정보 추적모델과 박막 증착공정 드리프트 원인분석기술 확보(논문 5건) - 플라즈마 정보기반의 증착 공정용 가상 계측 모델(특허 3건) o 2단계 (5년) : 데이터베이스 통합 관리를 통한 실시간 증착 공정 제어기술 개발 <ul style="list-style-type: none"> - 박막 증착 공정용 제어 모델 및 박막 증착 공정 플라즈마 동특성 해석 (논문 5건) - 데이터베이스 통합 솔루션 및 통신기술 (특허 3건) 			
4. 특기사항			
<ul style="list-style-type: none"> o 원천·기반 기술 성격으로 소자 제조 및 장비 지능화 기술 기반을 구축함 o 초고층 적층 공정을 대비하기 위한 선행적 연구 성격을 가져야함 o 장비 및 센서와 데이터 구동 기술이 공유되고 융합되어야 함 			
5. 사업기간		6년(2023.1~2027.12)	

	RFP 번호 K-1
과제명	신개념 세정 기작(Cleaning Mechanism)을 활용한 반도체 세정장비 개발
1. 연구목표	<ul style="list-style-type: none"> o 신개념 세정 기작(Cleaning Mechanism)을 활용한 반도체 세정장비 개발 <ul style="list-style-type: none"> - 1단계(2년) : 신개념 세정 Mechanism 적용 핵심 모듈 컨셉 및 설계 - 2단계(3년) : 신개념 이론을 적용한 핵심 모듈을 이용한 세정 공정 및 어플리케이션 개발
2. 연구내용 및 범위	<ul style="list-style-type: none"> o 1단계(2년) : 신개념 세정 기작(Cleaning Mechanism)을 활용한 반도체 세정장비 개발 <ul style="list-style-type: none"> - 신개념 (Steam 세정) 적용 핵심 모듈 설계 및 제작 - 핵심 모듈 1: Steam 생성기 (특화 생성기술 적용) - 핵심 모듈 2: Steam 분사기 (특화 생성기술 적용)인 Nozzle 개발 o 2단계(3년) : 초미세 Pattern 형성에 필요한 세정공정 기술개발 및 공정 step 확보 <ul style="list-style-type: none"> - 10nm 이하 반도체 Device 세정공정 기술 : 세정 물방울 size(< 5um) 생성 Droplet size Control 기술 확보(원하는 size로 조정) - 세정력 제어를 위한 유속 Control 가능한 기술 - 공정 제어 Parameter 확보
3. 성과목표	<ul style="list-style-type: none"> o Steam Generator 및 Nozzle 개발 <ul style="list-style-type: none"> - Steam 압력, Steam 양, Steam 온도에 따른 Control 가능한 Steam Generator 개발 <ol style="list-style-type: none"> 1) Steam세정을 위한 Nozzle 개발 2) Steam의 비산방지를 위한 기술 개발 3) Uniform Spray기술 개발 4) Droplet Size Control 기술 개발 <ul style="list-style-type: none"> - Droplet Size < 5um - Velocity < 100m/sec Control 5) Air Dry 기술 개발 o 반도체 공정기술 <ol style="list-style-type: none"> 1) Particle scrubber 공정 : CMP 후 세정, 일반 DI water 세정 효율 향상기술 2) Chemical wet cleaning 공정
4. 특기사항	o 원천기술 + 상용화
5. 사업기간	5년(2022.1~2026.12)

		RFP 번호	k-2
과제명	반도체 CMP공정의 Slurry 품질관리를 위한 LPC(Large Particle Counter) 개발		
1. 연구목표	<ul style="list-style-type: none"> o 반도체 공정의 Slurry & Chemical용 Large Particle Counter 개발 <ul style="list-style-type: none"> - 1단계(1년) : 0.5um~400um Sensing 및 분석 System 개발 - 2단계(2년) : 150nm~0.5um Sensing 및 분석 System 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o 1단계 (1년) : 0.5um~400um LPC system 개발 <ol style="list-style-type: none"> 1) 빛의 산란 및 차단 현상을 이용한 detector 및 광학계 설계 2) 빛의 파장 및 세기별 검출 한계 검증 및 sensing module 개발 3) DSP module을 이용한 data 처리 알고리즘 및 software/firmware 개발 4) Sampling 및 희석 fluidics 및 구동 software/firmware 개발 o 2단계 (2년) : 150nm~0.5um LPC system 개발 <ol style="list-style-type: none"> 1) Focused된 빛의 산란 및 차단 현상을 이용한 detector 및 광학계 설계 2) Deconvolution 연산 기법을 적용한 data 처리 알고리즘 개발 3) Sensing 및 광학계 개발 		
3. 성과목표	<ul style="list-style-type: none"> o 1단계 (1년) : 0.5um~400um LPC system 개발 <ol style="list-style-type: none"> 1) Size accuracy 5% of PSL (ISO/ASTM기준) 2) Count accuracy 10% of PSL (ISO/ASTM기준) 3) Sensing count rate : 30,000#/ml 4) 분해능 : 512 channel(Display), 1,536 channel(Sensing) o 2단계 (2년) : 150nm~0.5um LPC system 개발 <ol style="list-style-type: none"> 1) Size accuracy 5% of PSL (ISO/ASTM기준) 2) Count accuracy 10% of PSL (ISO/ASTM기준) 3) Sensing count rate : 900,000#/ml 4) 분해능 : 128 channel(Display), 384 channel(Sensing) 		
4. 특기사항	<ul style="list-style-type: none"> o 상용화 성격 		
5. 사업기간	3년(2019.1~2021.12)		

		RFP 번호	L-1
과제명	100Å급 이하 광/전자빔/SPM등의 기술이 융복합된 다모드(multimodal) 측정 장비 개발		
1. 연구목표	광학, SEM, SPM 기술 기반 공정장비와 계측장비의 융복합 시스템 개발 및 이를 이용한 장비 상용화기술 개발		
	<ul style="list-style-type: none"> o 1단계(2년) : 측정결과 빅 데이터 시스템 구축 및 IM 장비의 내재화 기술 개발 광학, 전자현미경, SPM 기술 기반 융합 측정시스템의 개발 o 2단계(2년) : 융합측정시스템을 활용한 융복합 (Integrated metrology) 장비 및 성능 향상 핵심모듈 개발 		
2. 연구내용 및 범위			
	<ul style="list-style-type: none"> o 1단계(2년): 측정결과 빅 데이터 시스템 구축 및 IM 장비의 내재화 기술 개발 및 광학, 전자현미경, SPM 기술 기반 융합 측정시스템의 개발 <ul style="list-style-type: none"> - MI (measurement and inspection) 분석 장비급 IM 장비용 소형 진단 모듈 개발 - 공정장비 박막 및 공정 파라미터 측정 모듈 개발 - 융합 측정시스템용 소형 고분해능 광학 대물렌즈 개발 - 융합 측정용 초소형 SPM 헤드의 개발 - 광학, 전자현미경, SPM의 기구 및 전자제어 플랫폼 통합 및 측정 소프트웨어 개발 o 2단계(2년): 융합측정시스템을 활용한 융복합 (Integrated metrology) 장비 및 성능향상 핵심모듈 개발 <ul style="list-style-type: none"> - SEM 및 광학 대물렌즈의 초점거리 축소를 통한 전자현미경 분해능 향상 - SEM, 광학, SPM 복합 이미지를 활용한 공정 진단 및 결함 검사 기술 개발 - 실시간 반도체 또는 디스플레이 검사용 스마트 장비의 개발 - 공정장비와 계측장비 융복합 핵심 계측모듈 및 융복합 장비 상용화 기술 개발 - 공정·계측 융복합 장비용 핵심부품(SW 포함) 내구성·신뢰성 인증 시스템 구축 		
3. 성과목표			
	<ul style="list-style-type: none"> o 1단계(2년) : 광학, SEM, SPM 이미지 획득 융합 측정핵심 모듈 및 IM 장비 내재화기술 개발 <ul style="list-style-type: none"> - 융합 측정 장비의 요소 기술 특허 및 논문 (20건) - 융합 측정 장비 기술 이전 및 상용화 (2건) o 2단계(2년) : 융합측정모듈 기반 검사·측정 기술 및 융복합(Integrated metrology) 장비 상용화 기술 확보 <ul style="list-style-type: none"> - 기술개발을 통한 특허·논문(10건), 기술이전 및 상용화(5건) 		
4. 특기사항			
	<ul style="list-style-type: none"> o 원천기술 + 상용화 성격 o 측정 장비회사 및 장비, 소자업체와의 공동 개발을 통한 상용화 기간 최소화 		
5. 사업기간	4년(2025.1~2028.12)		

		RFP 번호	L-2																					
과제명	100 Å급 이하 공정용 암필드(Dark Field) 파티클 검사 장비 개발																							
1. 연구목표																								
o Sub-10 nm 급 제조 장비 개발 및 관련 공정 개발에 필수적인 베어웨이퍼 상의 암필드(Dark Field) 파티클 검사 장비 개발 (TRL : [시작] 3단계 ~ [종료] 7 단계)	<ul style="list-style-type: none"> - Non-Pattern 웨이퍼 파티클 검사 기술 개발 - S/N ratio 향상 S/W, H/W(detector, illumination 등) 기술 개발 - 정밀 스테이지 보정 기술 개발 - 표준 파티클 웨이퍼 제작 및 파티클 증착 시스템 제작 																							
2. 연구내용 및 범위																								
o Non-Pattern 웨이퍼 파티클 검사 기술 개발	<ul style="list-style-type: none"> - 암필드(Dark Field) 파티클 검사 기술 개발(Bare wafer 기준) - 파티클 고속 검출 기술 개발 - 파티클 사이즈에 따른 정밀 검출 및 분류 기술 개발 																							
o S/N ratio 향상 S/W, H/W(detector, illumination 등) 기술 개발	<ul style="list-style-type: none"> - S/N ratio 향상 알고리즘 개발 - 파티클 검출용 조명, 선세 평가 및 성능 개선 방안 적용 																							
o 정밀 스테이지 보정 기술 개발	<ul style="list-style-type: none"> - 파티클 정밀 검출용 정밀 스테이지 구동 및 위치 보정 기술 개발 																							
o 표준 파티클 웨이퍼 제작 및 파티클 증착 시스템 제작	<ul style="list-style-type: none"> - 각 기준 크기 별 검증용 표준 파티클 웨이퍼 제작 - 표준 파티클 웨이퍼 증착 시스템 제작 																							
3. 성과목표																								
o 개발 목표																								
<table border="1"> <thead> <tr> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>개발 목표치</th> <th>국내최고 수준</th> <th>세계최고 수준 (보유국/보유기업)</th> </tr> </thead> <tbody> <tr> <td>Sensitivity (bare wafer 기준)</td> <td>nm</td> <td>≤19</td> <td>-</td> <td>19nm (미국 KLA-Tencor)</td> </tr> <tr> <td>Throughput (≥22nm Standard particle 기준)</td> <td>WPH</td> <td>≥55</td> <td>-</td> <td>55 (미국/KLA-Tencor)</td> </tr> <tr> <td>Repeatability</td> <td>%</td> <td>≥95</td> <td>-</td> <td>95 (미국/KLA-Tencor)</td> </tr> </tbody> </table>					핵심 기술/제품 성능지표	단위	개발 목표치	국내최고 수준	세계최고 수준 (보유국/보유기업)	Sensitivity (bare wafer 기준)	nm	≤19	-	19nm (미국 KLA-Tencor)	Throughput (≥22nm Standard particle 기준)	WPH	≥55	-	55 (미국/KLA-Tencor)	Repeatability	%	≥95	-	95 (미국/KLA-Tencor)
핵심 기술/제품 성능지표	단위	개발 목표치	국내최고 수준	세계최고 수준 (보유국/보유기업)																				
Sensitivity (bare wafer 기준)	nm	≤19	-	19nm (미국 KLA-Tencor)																				
Throughput (≥22nm Standard particle 기준)	WPH	≥55	-	55 (미국/KLA-Tencor)																				
Repeatability	%	≥95	-	95 (미국/KLA-Tencor)																				
4. 특기사항																								
o 상용화 성격																								
5. 사업기간	4년(2019.1~2022.12)																							

		RFP 번호	L-3
과제명	100 Å급 이하 공정용 초고속 패턴 결합 검사 SEM 장비 개발		
1. 연구목표	<p>16개 이상의 복수의 빔을 한 개의 전자총 및 대물렌즈로 포커싱하여 복수의 이미지를 동시에 획득하여 반도체 디스플레이 등의 복수의 결합을 동시에 검사할 수 있는 주사현미경(SEM) 기반 초고속 패턴 결합 검사장비</p> <ul style="list-style-type: none"> o 1단계 : 복수의 전자빔을 포커싱 하여 주사하고 복수의 이미지를 획득할 수 있는 Multi-beam SEM 광학계의 개발 o 2단계 : Multi-beam SEM을 활용한 초고속 패턴 결합 검사장비 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o 1단계 : Multi-beam SEM 광학계의 개발 <ul style="list-style-type: none"> - 하나의 전자원을 이용하여 복수의 전자빔을 제공하는 전자총의 개발 - 복수의 전자빔을 접속하는 복수의 중간렌즈 시스템 개발 - 복수의 전자빔을 포커싱하는 대구경 대물렌즈의 개발 - 복수의 신호 전자를 분리, 처리할 수 있는 검출기 및 전자제어 시스템 개발 - Multi-beam SEM의 시스템 통합 o 2단계 : Multi-beam SEM 광학계를 활용한 초고속 패턴 결합 검사장비 <ul style="list-style-type: none"> - Multi-beam SEM을 장착하는 반도체 시료 스테이지 개발 - 복수의 SEM 이미지를 이용한 반도체 결합 측정 전자 제어 시스템 개발 - 초고속 패턴 결합 검사장비 개발 <ul style="list-style-type: none"> : 반도체 회사와 공정용 검사장비의 공동 개발 - 인공지능을 활용한 실시간 반도체 또는 디스플레이 검사 알고리즘의 개발 		
3. 성과목표	<ul style="list-style-type: none"> o 1단계 : Multi-beam SEM 광학계의 개발 <ul style="list-style-type: none"> - Multi-beam SEM 용 전자총 대물렌즈 등의 요소 기술 특허 및 논문 (20건) - 연구용 Multi-beam SEM 기술 이전 및 상용화(2건) o 2단계 : Multi-beam SEM 광학계를 활용한 초고속 패턴 결합 검사장비 <ul style="list-style-type: none"> - Multi-beam SEM 광학계를 활용한 초고속 패턴 결합 검사장비를 이용하여 반도체 디스플레이 검사 기술 개발을 통한 특허·논문(10건), 기술이전 및 상용화(5건) 		
4. 특기사항			
o 상용화 성격			
o 측정 장비 선진국의 요소기술 및 은퇴 기술자의 활용을 통한 개발 기간의 단축 (기존 독일, 일본의 멀티빔 장비의 개발에는 20년 이상의 기간 소요)			
5. 사업기간	5년(2022.1~2026.12)/58억 원		

		RFP 번호	L-4
과제명		1x nm급 이하 결합 검출용 X-ray 장비 기술 개발	
1. 연구목표			
<p>딥러닝 기반의 광학 및 X-ray 비파괴 검사 기능의 고속 2D/3D 복합 검사장비 개발</p> <ul style="list-style-type: none"> o 분해능 $1\mu\text{m}$ 이하 내구성 10년 이상의 CMOS방식의 X-ray Detector 시스템 개발 o 분해능 $1\mu\text{m}$ 수준의 동시 다면 활상 광학 시스템 개발 o 가성 불량률 1%미만의 Deep Learning에 의한 검출 알고리즘 개발 o 공정관리를 위한 통합품질관리시스템 개발 o 진동 변위량 $30\mu\text{m}$이하의 저 진동구조 o 내/외부 검사시스템에 In-Line으로 연결된 통합검사시스템 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 반도체용 X-ray 3차원 Computed Tomography 개발 o $1\mu\text{m}$이하급 분해능을 보유한 동시 다면 활상 비전 광학시스템 개발 o 100M급 X-ray Detector 개발 o 저진동 기구 프레임 설계, 제작 o 시스템 성능 평가 진동 특성 분석 o Deep Learning 스트럭쳐(Structure) 및 알고리즘 개발 o 검사결과 피드백을 통한 공정관리 통합품질관리시스템 기능 개발(Industry 4.0 연동) o 시스템 통합 및 업그레이드 필드 테스트 o Deep Learning 최적화를 위한 불량 데이터 수집 			
3. 성과목표			
<ul style="list-style-type: none"> o 국내외 반도체 제작 공정의 FVI(Final Vision Inspection) System에 적용 o 축적된 기술을 바탕으로 의료용 X-ray장비 공정장비로 영역확대 o 국내 특허 (10건), PCT 및 해외 특허(5건) 출원 			
4. 특기사항			
<ul style="list-style-type: none"> o. 상용화 성격 			
5. 사업기간		3년(2024.1~2026.12)	

		RFP 번호	L-5
과제명		4차 산업혁명 대응 첨단 나노소자제조 VNAND 공정용 내재화 가능한 실시간 플라즈마 변수 측정 및 모니터링 장치 개발	
1. 연구목표		<p>차세대 VNAND 공정용 integrated 실시간 증착 모니터링 및 플라즈마 변수 측정기술 개발</p> <ul style="list-style-type: none"> o 1단계(4년): VNAND 공정용 극소형 실시간 분광편광 센서기술 및 고감도 플라즈마 변수 모니터링 기술개발 o 2단계(6년): VNAND 공정용 integrated in-situ 증착공정 모니터링 시스템 및 실시간 플라즈마 진공 모니터링 기술개발 	
2. 연구내용 및 범위			
		<ul style="list-style-type: none"> o 1단계(4년) : VNAND 공정용 극소형 실시간 분광편광 센서기술 및 고감도 플라즈마 변수 모니터링 기술개발 <ul style="list-style-type: none"> - 극소형 실시간 분광편광센서 (Measurement speed: >20Hz) - AI 기술을 적용한 실시간 분광편광위상기반 증착 박막 분석 simulator - 광기반의 고감도 플라즈마 변수 모니터링 기술 - 플라즈마 증착공정 실시간 통합 모니터링 분석기술 o 2단계(6년) : VNAND 공정용 integrated in-situ 증착공정 모니터링 시스템 및 실시간 플라즈마 진공 모니터링 기술개발 <ul style="list-style-type: none"> - 실시간 분광편광센서를 적용한 integrated 박막증착 모니터링 시스템 - 차세대 VNAND 공정 in-situ 공정분석 알고리즘 - 플라즈마 발생 전 진공상태 모니터링 기술 - Big-Data 기반 지능형 통합공정 모니터링 시스템 	
3. 성과목표			
		<ul style="list-style-type: none"> o 1단계(4년) : VNAND 공정용 극소형 실시간 분광편광 센서기술 및 고감도 플라즈마 변수 모니터링 기술개발 <ul style="list-style-type: none"> - 극소형 실시간 분광편광센서 및 고감도 플라즈마 변수 모니터링 기술 논문(20건) - 실시간 분광편광센서 및 고감도 플라즈마 변수 모니터링 기술이전 및 상용화(2건) o 2단계(6년) : VNAND 공정용 integrated in-situ 증착공정 모니터링 시스템 및 실시간 플라즈마 진공 모니터링 기술개발 <ul style="list-style-type: none"> - VNAND 공정용 Integrated in-situ 모니터링 시스템 및 플라즈마 진공 모니터링 기술 논문(20건), 기술이전 및 상용화(3건) 	
4. 특기사항			
o 원천기술 성격			
5. 사업기간		10년(2019.1~2028.12)	

		RFP 번호	L-6
과제명	3D NAND 복합나노구조용 MI 장비개발		
1. 연구목표	3차원 반도체 구조로 바뀜에 따라 두껍고 다양한 다층 박막에 대한 신뢰성 있게 측정 가능한 Metrology tool 개발		
	<ul style="list-style-type: none"> o 1단계 : 3차원 반도체 두꺼운 다층 박막 측정 할 수 있는 광 소스 개발 및 다층 복합 박막 구조 및 형상을 볼 수 있는 분석 기술 개발 o 2단계 : 비등막 막질, 복합 막질, ADI(after develop inspection)에서 두께 및 Overlay 측정 가능한 알고리즘 개발 		
2. 연구내용 및 범위			
	<ul style="list-style-type: none"> o 1단계 : 3차원 반도체 두꺼운 다층 박막 측정 할 수 있는 광 소스 개발 및 다층 복합 박막 구조 및 형상을 볼 수 있는 분석 기술 개발 <ul style="list-style-type: none"> - 3차원 다층박막의 측정을 위한 장파장 및 height density 광 소스 개발 (near IR, IR 등) - 복합 막질의 실제 모양을 검증할 수 있는 방법 개발 (AFM, FIB, V-SEM, TEM 기술과 융합) - 두꺼운 복합 박막두께로 인한 wafer stress&strain 및 In-cell overlay 기술 등 신뢰성 있고 빠른 측정 방법 연구 o 2단계 : 비등막 막질, 복합 막질, ADI(after develop inspection)에서 두께 및 Overlay 측정 가능한 알고리즘 개발 <ul style="list-style-type: none"> - 비등방 막질 측정을 통한 Overlay 측정 알고리즘 개발 - 반도체 측정에 사용되는 다양한 MI tool의 빅데이터 처리를 통한 복합형상 측정 신뢰성 검증 - ADI와 ACI 측정값을 통해 MRC(Miss Reading Correction) 보정을 통해 차후 MI APC 개발 		
3. 성과목표			
	<ul style="list-style-type: none"> o 1단계 : 3차원 반도체 두꺼운 박막 측정 위한 광 소스 및 다양한 방법 개발 <ul style="list-style-type: none"> - 3차원 반도체 국제 컨소시움 및 컨퍼런스 참석, MI 개발 논문 (8건) - 3차원 반도체 MI 특허 작성 및 관련 기술 기업체 이전 진행 (2건) o 2단계 : 3차원 막질 및 Overlay 측정 알고리즘 개발 <ul style="list-style-type: none"> - 3차원 반도체 재료 및 알고리즘 논문 (5건), 알고리즘 설계 기술 상용화 (2건) 		
4. 특기사항			
o. 원천기술 + 상용화			
5. 사업기간	4년(2019.1~2022.12)		

		RFP 번호	L-7
과제명	대면적 웨이퍼 공정에서 비접촉/비파괴 물성평가를 위한 현미경 라만 분광기술 및 검사장비의 개발		
1. 연구목표			
현미 라만 분광기술 기반으로 첨단 반도체 전자재료의 비접촉/비파괴 물성평가 기술과 검사장비 개발 <ul style="list-style-type: none"> - 나노 반도체 및 나노전자재료의 물성평가 가능한 소형 현미 라만 분광장비 기술 개발 - 대면적 웨이퍼 공정의 물성평가에 적용가능한 자동화 검사장비 개발 - 장비 제어 자동화 및 데이터해석의 자동화 애플리케이션 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 나노반도체 및 나노 전자재료의 물성평가 가능한 소형 현미경 라만 분광장비 기술개발 <ul style="list-style-type: none"> - 산업계와의 연계에 의한 시장의 기술적, 상업적 수요조사 - 시스템 디자인 콘셉트 설계 - 기본 성능시연이 가능한 현미경 라만 분광장비제작 - 대면적 웨이퍼 공정의 물성평가에 적용에 필요한 기술적 데이터의 축적 - 나노 반도체 및 나노전자재료의 소형 시편을 사용한 물성평가 o 대면적 웨이퍼 공정의 물성평가에 적용가능한 자동화 검사장비의 개발 <ul style="list-style-type: none"> - 대면적 웨이퍼 공정검사용 현미경 라만 분광 시스템 디자인 설계 및 제작 - 대면적 웨이퍼 검사용 현미경 라만 분광장비의 자동화 및 성능시험 - 상용화에 필요한 현장의견의 청취와 개선방향의 결정 o 장비 조작 자동화 및 데이터해석의 자동화 애플리케이션 개발 <ul style="list-style-type: none"> - 현미 분광장비의 시험자동을 통한 현장의 기술 수요조사 - 장비 조작 자동화 개선 (소프트웨어 유저 인터페이스 개발) - 데이터해석 자동화 애플리케이션 개발 			
3. 성과목표			
<ul style="list-style-type: none"> o 대면적 웨이퍼 공정의 물성평가를 위한 비접촉/비파괴 검사장비 개발 <ul style="list-style-type: none"> - 대면적 웨이퍼 공정기술 국제 컨소시움 참여, 기술 논문(15건) - 대면적 웨이퍼 공정 물성평가 검사 기술 이전 및 상용화 (2건) 			
4. 특기사항			
<ul style="list-style-type: none"> o 원천기술 + 상용화 성격 <ul style="list-style-type: none"> - 기술집약적이고 고부가가치의 현미 라만 분광장비의 국산화를 통한 수입대체효과 			
5. 사업기간	4년(2025.1~2028.12)		

		RFP 번호	L-8		
과제명	EUV 마스크 검사용 RF 기체 방전 발생원 개발				
1. 연구목표					
반도체 EUV 마스크 검사용 RF 기체 방전 발생원 개발					
<ul style="list-style-type: none"> o 세부 연구목표 <ul style="list-style-type: none"> - 1단계 (3년): EUV 생성용 극저압 RF 기체 방전 발생원 원천기술개발 및 특성 평가 - 2단계 (3년): EUV 발생원 시제품 제작 및 EUV 마스크 검사 평가 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o 1단계 (3년): EUV 생성용 극저압 RF 기체 방전 발생원 원천 기술 개발 및 특성 평가 <ul style="list-style-type: none"> - 극저압 RF 기체 방전 발생원 원천 기술 개발 <ul style="list-style-type: none"> * 극저압 (1.5 mTorr 이하)에서 EUV 생성이 가능한 RF 기체 방전 발생원 개발 - 발생원 EUV 특성 평가 <ul style="list-style-type: none"> * 플라즈마 변수 (밀도, 온도) 및 EUV 특성 평가 o 2단계 (3년): EUV 발생원 시제품 제작 및 EUV 마스크 검사 평가 <ul style="list-style-type: none"> - 실 EUV 마스크 검사 공정 환경 적합형 극저압 RF 기체 방전 시제품 제작 - EUV 마스크 검사 평가 					
3. 성과목표					
<ul style="list-style-type: none"> o 1단계 (3년): EUV 생성용 극저압 RF 기체 방전 발생원 원천 기술 개발 및 특성 평가 <ul style="list-style-type: none"> - 극저압 기체 방전 발생원 원천 기술 획득 (특히 2건 이상) - 발생원 및 EUV 특성 평가 SCI 논문 3 건 이상 - 극저압 기체 방전 발생원 특성 및 EUV 측정 데이터베이스 구축 10 건 이상 - EUV 발생용 극저압 RF 기체 방전 장치 1건 o 2단계 (3년): EUV 발생원 시제품 제작 및 EUV 마스크 검사 평가 <ul style="list-style-type: none"> - 특히 매년 1건 이상, 관련 SCI 논문/학술발표 매년 2건 이상 - EUV 마스크 검사 장치 시제품 제작 1 건 - EUV 마스크 검사 평가 1 건 이상 					
4. 특기사항					
<ul style="list-style-type: none"> o 원천기술 + 상용화 성격임 o 극저압 기체 방전을 통하여 particle risk/EUV 감쇄를 배제한 EUV 마스크 검사가 가능 o 기체 방전 발생원/ 측정 / 이론의 유기적인 협력이 추진되어야 함 					
5. 사업기간	6년(2020.1~2025.12)				

		RFP 번호	M-1
과제명	초저전력소자용 고정밀 접합 기술, 고생산성 반도체 패키지 접합 기술		
1. 연구목표			
o 초저전력소자 반도체 패키지의 고정밀, 고생산성 접합을 위한 장치, 소재, 공정기술 개발	<ul style="list-style-type: none"> - 1단계(3년) : 고속열원 공급장치를 적용한 고속, 고정밀 접합 기술 개발 - 2단계(2년) : 고속, 고정밀 접합기술을 적용한 초저전력소자 반도체 패키지 공정기술 개발 		
2. 연구내용 및 범위			
o 1단계(3년): 고속열원 공급 장치를 적용한 고속, 고정밀 접합 장치/소재기술 개발	<ul style="list-style-type: none"> - 고속 Ramp up이 가능하고 다수 칩을 선택적으로 접합하는 열원 기술 개발 - 공정 안정성 및 재현성 구현을 위한 모니터링 장치 개발 - 新공법 적용을 위한 30um이하 피치 이하 패키지 접합소재 기술 개발 - 고속, 고정밀 접합을 위한 Handling 및 정밀 Vision Align 기술 개발 		
o 2단계(2년): 고속, 고정밀 접합기술을 적용한 초저전력소자 반도체 패키지 공정 기술 개발	<ul style="list-style-type: none"> - 최대 Ramp up 400°C/sec 이상, Ramp down 100°C/sec 이상 고속 열원 공급 장치 개발 및 최적화된 공정 프로파일 개발 - 인라인 설비 최적화 기술 개발 및 이를 적용한 반도체 패키지 공정기술 개발 		
3. 성과목표			
o 1단계(3년) : 고속열원 공급 장치를 적용한 고속, 고정밀 접합 기술 개발	<ul style="list-style-type: none"> - 고속 Ramp up이 가능한 열원 공급 장치 및 모니터링 장치 기술 확보 - 초미세피치 접합용 패키지 접합소재 기술 확보 및 지식재산권화 		
o 2단계(2년): 고속, 고정밀 접합기술을 적용한 초저전력소자 반도체 패키지 공정 기술 개발	<ul style="list-style-type: none"> - 최대 Ramp up Time 400°C/sec 이상, Ramp down Time 100°C/sec 이상 열원 공급 제어 기술 확보 - 생산속도 2000 UPH, 접합정밀도 2 um 이하 확보 - 인라인 설비 기술 확보 		
4. 특기사항			
o 원천기술 + 상용화			
o 패키지의 미세피치화에 대응하기 위해 기존 열풍방식 기술을 대체하기 위한 기술임			
o 접합 정밀도 뿐만 아니라 기존보다 최소 5배 높은 생산속도를 갖는 기술이며 이러한 기술을 완성하기 위해 다음과 같은 기술 필요			
- 고속 Ramp up/down 및 안정적 공정 프로파일 제어 가능한 열원 공급 장치 개발 필요			
- 다수 칩을 선택적으로 접합하기 위한 열원 공급 장치 및 실시간 공정 모니터링 기술 개발 필요			
- 고속 접합용 패키지 접합소재기술 개발 필요			
5. 사업기간	3년(2021.1~2023.12)		

		RFP 번호	M-2			
과제명	고성능 웨어러블 반도체 소자 및 센서 응용을 위한 유연·신축 패키징 기술					
1. 연구목표						
(유연·신축) 패키징 기술을 이용한 웨어러블 스마트 디바이스 기술 개발						
2. 연구내용 및 범위						
<ul style="list-style-type: none"> - 스트레처블 기관 소재 구현 및 분석 기술 - 유연신축 스마트 패치 구현을 위한 패키징 공정 및 플랫폼 구축 - 유연 신축 웨어러블 스마트 디바이스 설계 및 구현 						
<ul style="list-style-type: none"> o 스트레처블 기관 소재 구현 및 분석 기술 <ul style="list-style-type: none"> - 변성 에폭시 또는 폴리이미드를 이용하여 저가격, 고연신율 디바이스 구현을 위한 고신장 필름 소재 개발 및 회로 구현 - 신장 수축에 따른 전기적 특성 변화 라이브러리 구축 - 기계적 응력 분석 및 해석 기술 						
<ul style="list-style-type: none"> o 유연신축 스마트 패치 구현을 위한 패키징 공정 및 플랫폼 구축 <ul style="list-style-type: none"> - 유연신축 스마트 패치 구현을 위한 Low cost 센서 패치 개발 - Wireless connection 모듈부의 높은 환경신뢰성 확보를 위한 소자내장형 패키지 적용 - 스마트 패치의 기능성 부품(센서, 신호처리, 통신부품) 일체화 기술 - 유연 신축 디바이스 스트레스 release 구조 설계 및 부품 array 기술 개발 						
<ul style="list-style-type: none"> o 유연 신축 웨어러블 스마트 디바이스 설계 및 구현 <ul style="list-style-type: none"> - 디바이스 bending에 따른 소자 특성 분석 및 임피던스 매칭 설계 분석 - 유연소재 기반 피부 온습도, EMG, pH 기반 생체신호 정보 모니터링 기술 - 저자극성 소재 기반 피부 상태 진단 및 응용 기술 개발 - 사용시간 최대화를 위한 초저전력 신호처리 및 전원 관리 기술 개발 - 유연신축 스마트 패치에 적용이 가능한 정보 수집 형 통신 모듈 플랫폼 기술 개발 						
3. 성과목표						
<ul style="list-style-type: none"> - 유연·신축 절연소재 연신율 : 100% - 유연·신축 기판 연신율 : 80% - tensile modulus : 0.8 GPa 미만 - 3종 이상의 센싱 기능을 내장한 유연·신축성 기기 - 3가지 이상의 센싱 데이터 실시간 모니터링 기능 - 5,000 회 이상의 굴절 Test 통과 가능한 신뢰성 						
4. 특기사항						
<ul style="list-style-type: none"> o 원천기술 + 상용화 						
5. 사업기간	5년(2019.1~2023.12)					

		RFP 번호	M-3
과제명		High Throughput, 高 균일도 TSV용 Dry Etcher	
1. 연구목표			
<ul style="list-style-type: none"> o High Throughput, Good Uniformity, High Selectivity 성능의 장비 개발, 공정 성능평가 o Mass production Fab에서 양산 평가를 통해 글로벌 경쟁력을 가진 TSV용 Dry etcher 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o High throughput, 고 균일도 TSV용 Dry etcher 기본 성능 확보 <ul style="list-style-type: none"> - High Etch Rate 구현으로 생산능력 확보 - Full Factory Automation (SECS/GEM, HSMS, FDC 등) 기능 구현 - 웨이퍼 극 Edge부분 보호를 위한 비접촉식 wafer protection 기능 구현 - RF Pulsing 기술 구현으로 공정 성능 향상 o 양산성 평가 <ul style="list-style-type: none"> - 국내 대형 반도체팹내에서 국산 TSV용 Dry etcher install 및 TSV 단위 공정 평가 - 양산성 평가 진행시 도출된 개선 item 해결 - 경쟁사 수준 이상의 생산성 (UPH) 확보 			
3. 성과목표			
<ul style="list-style-type: none"> o 생산성 극대화를 위한 High Etch Rate 확보로 Mass production 대응 <ul style="list-style-type: none"> - Etch Rate : > 5um/min o Mass production에서 안정된 Uniformity 확보 <ul style="list-style-type: none"> - WIW Uniformity : < 3% - WTW Uniformity : < 5% o 최상의 공정 성능을 위한 고 선택비 실현 <ul style="list-style-type: none"> - Selectivity (Si to Oxide) : > 100:1 			
4. 특기사항			
<ul style="list-style-type: none"> o 상용화 성격 o 외국의 다국적 장비업체 (Lam Research, Applied Materials, SPTS, AMEC 등) 가 국내 TSV etch 기술을 모두 선점하고 있어서 현재 국산 경쟁장비가 없음 			
5. 사업기간		4년(2019.1~2022.12)	

		RFP 번호	M-4			
과제명	이종 반도체 소자 내장형 저전력, 고효율 3D 패키지 공정 및 장비					
1. 연구목표						
대면적 기반의 이종 반도체 3D 패키징 집적화 기술 및 공정 장비 핵심 기술 개발						
<ul style="list-style-type: none"> o 1단계 : 이종 반도체 부품 고속 재배치 공정 장비 개발 및 몰딩 패키지 RDL(re-distribution layer) 공정을 이용한 3차원 고방열 패키지 구조 구현 o 2단계 : 600mm 급 대면적 몰딩 패키지 집적 회로 구현을 위한 광학 장비, 고속 연속 생산 시스템 장비 및 저 손실/ 저 전력소모 3차원 패키지 공정 기술 개발 						
2. 연구내용 및 범위						
<ul style="list-style-type: none"> o 1단계 : 이종 반도체 부품 고속 재배치(array) 공정 장비 개발 및 몰딩 패키지 재배선 공정을 이용한 3차원 고방열 패키지 구조 구현 <ul style="list-style-type: none"> - 이종 반도체 부품 고속 재배치 공정 장비 (멀티 본딩 핵심 모듈 시스템) - 패널형 몰딩 패키지 구현을 위한 연속 몰딩 시스템 - 몰딩 패키지 재배선 광학 엔진 및 시스템 - 대면적 몰딩 패키지 패널 광원 균질화를 위한 출력 정밀 제어기술 - 몰딩 공정과 재배선 공정을 이용한 ESD(electrostatic discharge)와 방열이 동시에 가능한 패키지 구조 구현 o 2단계: 600mm 급 대면적 몰딩 패키지 집적 회로(RDL) 구현을 위한 광학 장비, 고속 연속 생산 시스템 장비 및 저 손실/ 저 전력소모 3차원 패키지 공정 기술개발 <ul style="list-style-type: none"> - 이종 반도체 부품 고속 재배치를 위한 multi bonding 및 위치 보상 제어 시스템 - 600mm 급 대면적 몰딩 패키지 구현을 위한 연속 encapsulation 및 warpage 제어 시스템 - 패널형 몰딩 패키지 고속 재배선을 위한 광학 시스템 - 미세선풍 구현, 경계부 왜곡, 반도체 소자 위치 shift 정밀 보정기술 - 저손실, 저전력 패키지 구현을 위한 3차원 패키지 공정 개발 						
3. 성과목표						
<ul style="list-style-type: none"> o 1단계 : 부품 재배치(array) 핵심 장비, 몰딩 패키지 재배선 장비 광학엔진 및 방열 패키지 구조 개발 <ul style="list-style-type: none"> - 이종 반도체 부품 고속 재배치 장비 및 재배선 광학엔진 핵심 특허(15건) - 기술 성과 홍보를 위한 국제 학술 대회 및 논문 (20건) 및 상용화 2건 o 2단계 : 몰딩 패키지 집적 회로 구현을 위한 광학 장비, 고속 연속 생산 시스템 장비 및 저 손실/ 저 전력소모 3차원 패키지 공정 기술 개발 <ul style="list-style-type: none"> - 이종 반도체 부품 고속 재배치 장비 및 재배선 광학 시스템 핵심 특허(10건) - 저손실/ 저전력 소모 3차원 패키지 공정 및 장비 개발, 기술성과 홍보를 위한 국제 학술 대회 및 논문(10건), 기술이전 및 상용화(4건) 						
4. 특기사항						
<ul style="list-style-type: none"> o 원천기술 + 상용화 성격 						
5. 사업기간	3년(2019.1~2021.12)					

		RFP 번호	M-5		
과제명		mm파 대응 가능한 반도체 패키지 레벨 Low Cost EMI shielding 코팅 소재·공정 및 장비 기술 개발			
1. 연구목표					
mm파 대응 가능한 반도체 패키지 레벨에서의 EMI shielding 소재, 공정 및 장비 개발					
<ul style="list-style-type: none"> - 스프레이 코팅용 고성능, 저가 페이스트 소재 개발 - 고종횡비 구현과 고생산성 스프레이 코팅 공정 및 장비 개발 - 패키지 레벨에서의 차폐 특성 및 신뢰성 확보 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o 모바일, Automotive, IoT 부품 등의 스프레이 코팅용 고성능, 저가 페이스트 소재개발 <ul style="list-style-type: none"> - GHz 대 전자파 발생 반도체 및 20GHz 이상의 전자파를 발생하는 5G 통신용 부품에서 50dB 이상의 차폐 성능을 갖는 도전성 페이스트 기술 개발 - 저가형 고전도성 페이스트 제조기술 개발 : Ag 함량 최소화 페이스트 기술 개발 o 브레이 코팅 공정 및 장비 개발 <ul style="list-style-type: none"> - 고종횡비 컨포멀(conformal) 코팅 공정 기술 개발 : 측면부 두께 강화 기술 개발 - 1cm×1cm 패키지 기준 UPH 20,000 이상의 고생산성 코팅 공정, 장비 기술 개발 - 용액 내 입자뭉침 등에 의한 노즐 막힘 등이 개선된 양산 안정화 스프레이 장비개발 o 신뢰성 확보 및 주파수 대역별 차폐 효과 평가 기술 개발 <ul style="list-style-type: none"> - 고온고습 및 열충격 시험 후 차폐 특성 및 코팅층 접착력, 무변색 등 품질 확보 - 컨포멀 코팅 후 주파수별 차폐 효과 측정을 위한 test vehicle 제작 및 시뮬레이션 					
3. 성과목표					
<p>최종목표 : 5G 이동통신 대응 가능한 패키지 레벨에서의 EMI Shielding을 위한 스프레이 코팅용 저가 페이스트 소재 및 스프레이 코팅 공정, 장비 개발</p> <ul style="list-style-type: none"> o 스프레이 코팅용 저가형 페이스트 소재개발 <ul style="list-style-type: none"> - 차폐효율 \geq 50dB (주파수 대역 1~30GHz) - 비저항 \leq $5.0 \times 10^{-5} \Omega \cdot \text{cm}$ - 부착력 \geq 5B - Flow rate 변화율 \leq 15% - Contact 저항 변화율(Daisy Chain Test Vehicle 기준) \leq 20% o 스프레이 코팅 공정 및 장비 개발 <ul style="list-style-type: none"> - 상부 코팅 두께 \leq 10μm, 오차 범위 $+-20\%$ 이내 - 코팅 건조 후 측면부/상부 종횡비 \geq 50% - UPH \geq 20,000 (1cm×1cm 칩 기준) - 안착률 \geq 80% o 신뢰성 평가 : 하기 평가 후 차폐 특성, Chain 저항, 코팅층 접착력 변동 $+-5\%$ 이내 <ul style="list-style-type: none"> - 신뢰성 평가 기준 : <ul style="list-style-type: none"> * 내열성 : 80/240 °C/h, 고온고습 : 80/95/360°C/%/h, 열충격 : -40 ~ 80/1000 °C/cycle 					
4. 특기사항					
o 상용화 성격					
5. 사업기간		3년(2022.1~2024.12)			

		RFP 번호	M-6
과제명		FOWLP/PLP를 위한 대형기판용 Plasma 처리 장치개발	
1. 연구목표			
<p>ICP (Inductive Coupled Plasma) 기반 대형기판용 플라즈마 처리장치의 개발</p> <ul style="list-style-type: none"> o 대면적 플라즈마 캐소드 및 Etch Module의 제작과 Support 반송시스템 개발 o 대면적 FO/PLP기반의 설비시스템에 적용가능한 FO기술 및 PLP 공정기술의 확보 o 플라즈마 설비의 상용화 테스트 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> o 대면적 플라즈마 캐소드 및 Etch Module의 제작과 Support 반송시스템 개발 <ul style="list-style-type: none"> – 대면적 기반의 PLP대응 플라즈마 원천기술개발 및 상용화 검증 – 대면적 기반의 PLP대응을 위한 저온 고밀도 다중 플라즈마 소스 개발 – 대면적 기반의 PLP 판넬 열 DAMAGE 최소화 PLASMA SOURCE 원천 기술 개발 – 대면적 기반의 PLP대응 IN-LINE 반송시스템 개발 – 대면적 기반의 PLP대응용 PROCESS CHAMBER 시스템 개발 – 대면적 기반의 PLP대응 저온용 PLP Cooling 반송시스템 개발 – 대면적 기반의 PLC대응용 SHOWER HEAD 개발 o 대면적 FO/PLP기반의 설비시스템에 적용 가능한 FO기술 및 PLP 공정기술의 확보 <ul style="list-style-type: none"> – 대면적 기반의 FO/PLP대응 Descum공정의 개발 – 대면적 기반의 FO/PLP대응 PR Strip공정의 개발 			
3. 성과목표			
<ul style="list-style-type: none"> o 대면적 기반의 PLP(SIZE ; 750mm ~ 이상) 대응용 PR, 에폭시, etc, ETCH SYSTEM 개발 o 대면적 기반의 PLP(THICKNESS ; 0.4mm) 이하 반송 장비 개발 o 차세대 SIZE UP이 용이한 구조의 PLASMA SOURCE 원천 기술 확보 o 대면적 기반의 플라즈마 장치 개발을 통한 PLP장치 산업의 원천기술 확보 o 대면적 기반의 PLP 대응용 장치 개발을 통한 저온공정용 PLASMA 소스 및 이송장치 원천 기술 확보 및 기술 선점 확보 			
4. 특기사항			
<ul style="list-style-type: none"> o 원천기술 + 상용화 성격 			
5. 사업기간		3년(2019.1~2021.12)	

		RFP 번호	M-7																																											
과제명		피코단위 분해능을 가진 TG기반의 웨이퍼레벨 반도체 자동 검사장비 개발																																												
1. 연구목표		차세대 반도체 메모리의 검사를 위한 피코단위(5ps 이하) 분해능을 구현하고, 1.2GHz 이상의 Test Frequency를 생성하여 고용량 메모리 반도체의 자동검사 장비개발 - 1차년도 : 요소기술 개발, 2차년도 : Pilot 설비 개발 - 3차년도 : 양산형 설비개발 및 수요기업평가																																												
2. 연구내용 및 범위																																														
<ul style="list-style-type: none"> o 1차년도 : 요소기술 개발 <ul style="list-style-type: none"> - 피코단위 분해능을 구현하는 TG설계(RTL Level) 및 Sample Device 확보 및 평가 - Signal 특성 확보를 위한 요소 부품 선정(PE, DPS, Fail Memory) 및 Sample 평가 - 고용량 Fail Memory 설계 및 불량 분석 Simulation o 2차년도 : Pilot 설비 개발 <ul style="list-style-type: none"> - Sample단위 요소기술을 이용한 집적회로 설계 및 제작 - 성과 목표에 제시된 정량적 기술 달성을 항목별 Feasibility 확보 - 양산형 시스템 제작을 위한 기구 및 전장 설계 o 3차년도 : 양산형 설비개발 및 수요기업 평가 <ul style="list-style-type: none"> - 양산형 시스템 설계 및 제작 - 성과 목표에 제시된 정량적 기술 달성을 항목 평가 - 수요기업과의 협업을 통한 양산형 설비로서의 적합성/정합성 평가 																																														
3. 성과목표																																														
성과 목표를 아래와 같이 명시																																														
<ul style="list-style-type: none"> - 본 연구 과제를 통해 해외 선진사와 동등 수준의 기술 수준 확보 																																														
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성 목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td rowspan="2">TG*</td> <td>분해능</td> <td>ps</td> <td>5</td> <td>10 5ps (일본, Advantest)</td> </tr> <tr> <td>2</td> <td>Band-width</td> <td>Bps</td> <td>1.2GBps</td> <td>800Mbps 1.2Gbps (일본, Advantest)</td> </tr> <tr> <td>3</td> <td>Test Frequency</td> <td>Ch</td> <td>1.2GBps</td> <td>800Mbps 1.2GBps (일본, Advantest)</td> </tr> <tr> <td>4</td> <td>Test Channel</td> <td>Ch</td> <td>9,600</td> <td>6,144 9,600ch (미국, Teradyne)</td> </tr> <tr> <td>5</td> <td>OTA*</td> <td>ps</td> <td><±150</td> <td><±300 <±150 (일본, Advantest)</td> </tr> <tr> <td>6</td> <td>DPS*</td> <td>Ch</td> <td>3,072</td> <td>768 3,072ch (일본, Advantest)</td> </tr> <tr> <td>7</td> <td>Fail Memory</td> <td>Byte</td> <td>6Tera</td> <td>1.5Tera 6Tera Byte (일본, Advantest)</td> </tr> </tbody> </table>					핵심 기술/제품 성능지표		단위	달성 목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1	TG*	분해능	ps	5	10 5ps (일본, Advantest)	2	Band-width	Bps	1.2GBps	800Mbps 1.2Gbps (일본, Advantest)	3	Test Frequency	Ch	1.2GBps	800Mbps 1.2GBps (일본, Advantest)	4	Test Channel	Ch	9,600	6,144 9,600ch (미국, Teradyne)	5	OTA*	ps	<±150	<±300 <±150 (일본, Advantest)	6	DPS*	Ch	3,072	768 3,072ch (일본, Advantest)	7	Fail Memory	Byte	6Tera	1.5Tera 6Tera Byte (일본, Advantest)
핵심 기술/제품 성능지표		단위	달성 목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																																									
1	TG*	분해능	ps	5	10 5ps (일본, Advantest)																																									
2		Band-width	Bps	1.2GBps	800Mbps 1.2Gbps (일본, Advantest)																																									
3	Test Frequency	Ch	1.2GBps	800Mbps 1.2GBps (일본, Advantest)																																										
4	Test Channel	Ch	9,600	6,144 9,600ch (미국, Teradyne)																																										
5	OTA*	ps	<±150	<±300 <±150 (일본, Advantest)																																										
6	DPS*	Ch	3,072	768 3,072ch (일본, Advantest)																																										
7	Fail Memory	Byte	6Tera	1.5Tera 6Tera Byte (일본, Advantest)																																										
4. 특기사항																																														
<ul style="list-style-type: none"> o 상용화 성격 																																														
5. 사업기간		3년(2019.1~2021.12)																																												

		RFP 번호	M-8
과제명	영하 50~170도씨 온도범위를 갖는 차량용 반도체소자 검사용 Thermal Solution 개발		
1. 연구목표	<p>-50~170°C 온도범위 내에서 차량용 반도체소자를 검사하기 위한 실리콘 러버 소켓, Thermal Controller, 테스트장비 개발</p> <ul style="list-style-type: none"> - 1단계(1년) : 전도성 금속재료, 고열성 및 내한성 대응 실리콘 러버 소켓 개발 - 2단계(2년) : 실리콘 러버 소켓 대응 온도범위 확대, Thermal Control Unit 테스트장비 개발 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o 1단계 (1년) : -45~150°C 온도범위 내에서 검사 가능한 차량용 반도체 실리콘 러버소켓 개발 <ul style="list-style-type: none"> - 전도성 금속재료 개발 - 고내열성 및 내한성의 실리콘 러버 개발(-45~150°C) o 2단계 (2년) : -50~170°C 온도범위 내에서 검사 가능한 차량용 반도체 Thermal Solution 개발 <ul style="list-style-type: none"> - 고내열성 및 내한성의 실리콘 러버 개발(-50~170°C) - 고온 환경 테스트 가능한 테스트장비 개발 - 저온-고온 빠르게 형성 가능한 Thermal Control Unit 개발 		
3. 성과목표	<ul style="list-style-type: none"> o 1단계 : -45~150°C 온도범위 내에서 검사 가능한 실리콘 러버소켓 개발 <ul style="list-style-type: none"> - 평균저항: 고온, 200mΩ이하, 저온, 150mΩ이하 - 하중변화: 고온저온 30%이하 (상온대비) - 상온 저항 균일도: ±50mΩ - 사용수명: 5만회 o 2단계 : -50~170°C 온도범위 내에서 검사 가능한 Thermal Solution 개발 <ul style="list-style-type: none"> - 1단계와 동일한 스펙의 Pitch별 실리콘 러버소켓(0.35mm, 0.4mm, 0.5mm, 0.6mm) - 반도체 패키지의 온도변화를 줄 수 있는 Thermal Control Unit 개발(up to >75°C/min) - 고온 환경(170°C)에서도 테스트 가능한 장비(All-Pin특성분석기, Life Time Testing 장비) 		
4. 특기사항			
o 상용화 성격			
o 산업용/가정용과 달리 차량용 반도체는 다양한 외부환경에 노출되며, 사람의 안전과 직결되는 제품의 특성상 높은 내구성과 신뢰성이 요구됨. 이에 따른 저온~고온에 대응 가능한 Thermal Solution에 대한 시장요구 증가에 따라 다음과 같은 기술 필요	<ul style="list-style-type: none"> (1) -50~170°C 온도범위 대응 (2) 0.35~0.6mm 피치의 패키지 검사 		
5. 사업기간	3년(2021.1~2023.12)		

		RFP 번호	N-11
과제명	반도체 초미세화 공정의 생산성 향상을 위한 능동형 기류제어 EFEM 개발		
1. 연구목표	<p>EFEM 내부 습도 20 %이하, 온도 50 ~ 60°C, O2농도 15% 이하, Laminar Flow 제어 및 모니터링 시스템 개발</p> <ul style="list-style-type: none"> o 1단계(1년) : 코안다 효과를 이용한 Process Defect 문제를 최소화 할 수 있는 능동형 기류제어 모듈형성 o 2단계(2년) : 능동형 기류제어 모듈을 사용한 EFEM 내외부의 온습도 제어 설계 구현 및 상용화 		
2. 연구내용 및 범위	<ul style="list-style-type: none"> o 1단계(1년) : 코안다 효과를 이용한 Process Defect 문제를 최소화 할 수 있는 능동형 기류제어 모듈형성 <ul style="list-style-type: none"> - 코안다 효과를 이용하여 EFEM 내 Laminar flow를 제어할 수 있는 구조 개발 - 대면적에서 불활성 기체를 주입하여 균일한 습도 및 O2 농도 분포를 갖는 구조 개발 - CFD 수치해석을 사용한 설계의 최적화 및 유동가시화를 통한 신뢰성 확보 o 2단계(2년) : 능동형 기류제어 모듈을 사용한 EFEM 내외부의 온습도 제어 설계구현 및 상용화 <ul style="list-style-type: none"> - 능동형 기류 제어 모듈이 적용되어 그 성능을 극대화 할 수 있는 EFEM 구조 개발 - EFEM 내부 상태를 실시간 모니터링 하고 자동 제어 가능한 시스템 구현 - 공정 중 발생하는 by product에 의한 장비오염을 방지할 수 있는 장비 코팅기술 개발 - 능동형 기류제어 EFEM 시작품 제작 및 성능 평가 및 신뢰성 평가 		
3. 성과목표	<ul style="list-style-type: none"> o 1단계(1년) : 코안다 효과를 이용한 Process Defect 문제를 최소화 할 수 있는 능동형 기류제어 모듈형성 <ul style="list-style-type: none"> - 산업 동향 파악 및 지식 재산권 보호를 위한 EFEM 기류제어 관련 특허 출원(5건) - Automation System 관련 학회 참석 및 논문(2건) o 2단계(2년) : 능동형 기류제어 모듈을 사용한 EFEM 내외부의 온습도 제어 설계 구현 및 상용화 <ul style="list-style-type: none"> - 상용화를 위한 SEMI 인증 		
4. 특기사항	<ul style="list-style-type: none"> o. 상용화 성격 <ul style="list-style-type: none"> - Fume Free Process 개념이 도입된 능동형 기류제어 EFEM 기술 개발은 반도체 생산 기술의 주도권을 계속 이어감과 동시에 반도체 생산장비의 국산화율 수치를 높일 뿐만 아니라 반도체 생산장비의 글로벌한 성장을 도와 수출 시장을 개척할 수 있음 		
5. 사업기간	3년(2023.1~2025.12)		

		RFP 번호	N-2
과제명	800도 이상 초고온 공정용 멀티존 온도조절 히터 개발		
1. 연구목표			
<p>3D Nand Flash Memory 반도체의 다층 박막 공정 내 800도 이상 초고온 공정용 멀티존 온도 조절 히터 개발</p> <ul style="list-style-type: none"> ○ 1단계 (2년) : 800도 초고온 공정용 멀티존 온도 조절 히터의 기초 소재 기술 개발 ○ 2단계 (1년) : 800도 초고온 공정용 멀티존 온도 조절 히터의 제품 및 평가기술 개발 			
2. 연구내용 및 범위			
<ul style="list-style-type: none"> ○ 1단계 (2년) : 800도 초고온 공정용 멀티존 온도 조절 히터의 기초 소재 기술 개발 <ul style="list-style-type: none"> - 고온 고강도 질화 알루미늄 소재 개발 (히터 플레이트 소재) - 고온 고체적저항 질화 알루미늄 소재 개발 (히터 플레이트 소재) - 저열전도 질화 알루미늄 소재 개발 (히터 샤프트 소재) - 고온 전극부용 브레이징 필러 메탈 소재 개발 - 저열전도 질화 알루미늄 소재 접합 기술 개발 - 고온 전극부용 브레이징 기술 개발 ○ 2단계 (1년) : 800도 초고온 공정용 멀티존 온도 조절 히터의 제품 및 평가기술 개발 <ul style="list-style-type: none"> - 800도 초고온 공정용 멀티존 온도 조절 히터 설계 - 800도 초고온 공정용 멀티존 온도 조절 히터 전산 모사 (구조해석, 열해석) - 800도 초고온 공정용 멀티존 온도 조절 히터 성형 및 소결 공정 기술 개발 (다구역 금속 발열체 매립 기술 포함) - 800도 초고온 공정용 멀티존 온도 조절 히터 시제품 제작 - 800도 초고온 공정용 멀티존 온도 조절 히터 평가 기술 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ■ 1단계 (2년) : 800도 초고온 공정용 멀티존 온도 조절 히터의 기초 소재 기술 개발 ○ 800도 초고온 공정용 멀티존 온도 조절 히터 기초 소재 기술 특허 (2건) ■ 2단계 (1년) : 800도 초고온 공정용 멀티존 온도 조절 히터의 제품 및 평가 기술 개발 ○ 800도 초고온 공정용 멀티존 온도 조절 히터 제품 기술 특허 (2건) ○ 800도 초고온 공정용 멀티존 온도 조절 히터 제품 상용화 (1건) 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 상용화 성격 			
5. 사업기간	3년(2019.1~2021.12)		

		RFP 번호	N-3
과제명	첨단 진공공정 환경진단을 위한 고정밀 진공게이지 및 공정 미세압력 조절모듈 개발		
1. 연구목표	<p><input type="checkbox"/> 첨단공정용 10^3 mbar ~ 10^{-1} mbar CDG 및 미세유량 EPC 개발</p> <ul style="list-style-type: none"> - 1단계 (3년): CDG (Capacitance Diaphragm Gauge) / EPC (Mass Flow Controller/ Electrical Auto Pressure Controller) 개발 - 2단계 (2년): 국제측정신뢰성 확보 및 공정압력 자동조절 모듈 개발 		
2. 연구내용 및 범위			
<ul style="list-style-type: none"> ● 1단계 (3년): CDG/EPC 설계 및 제작 <ul style="list-style-type: none"> - CDG 개발; 10^3, 10^2, 10^1 mbar CDG 최적화 설계 및 정밀제작 기술개발 <ul style="list-style-type: none"> • Ceramic to metal brazing 기술 확보 • 진공특성 시험평가 및 제작 공정 기술 확보 - EPC 개발; maximum design 압력 1,450 psig <ul style="list-style-type: none"> • Proportion gain: 1 % ~ 200 % 가변조절 • Integration time: 0.05 s ~ 5 s ● 2단계 (2년): 10^0, 10^{-1} mbar CDG 최적화 설계 및 신뢰성 확보 기술개발 <ul style="list-style-type: none"> • EPC 공정압력 자동조절 모듈 개발 • CDG 제어부 기술개발 • Capacitance pressure sensor 및 auto-proportion control valve 개발 • 압력/유량 신뢰성 확보를 위한 국제측정소급성 체계 구축; calibration system 개발 • PID control main board 및 auto control IC program 개발 			
3. 성과목표			
<ul style="list-style-type: none"> ● 1단계 (3년): CDG/EPC 설계 및 제작 <ul style="list-style-type: none"> - CDG 개발; 10^3 mbar ~ 10^1 mbar, 불확도 5 % CDG - EPC 개발; maximum design 압력 1,450 psig <ul style="list-style-type: none"> • 정밀도: <1.0 % FS, 반복성: 0.1 % FS ● 2단계 (2년): 10^3 mbar ~ 10^1 mbar, 불확도 1 % CDG, 10^0 ~ 10^{-1} mbar, 불확도 5 % CDG <ul style="list-style-type: none"> • EPC 공정압력 자동조절 모듈 기술개발 및 평가 (양산 version) • 압력/유량장치의 신뢰성 확보를 위한 국제측정소급성 확립 			
4. 특기사항			
<ul style="list-style-type: none"> ○ 원천기술 + 상용화 성격 			
5. 사업기간	5년(2021.1~2025.12)		

		RFP 번호	N-4		
과제명	스마트 장비 공정장비용 핵심부품 및 운영 SW 개발				
1. 연구목표					
스마트 공정장비용 핵심부품 및 운영 SW 개발					
<ul style="list-style-type: none"> o 1단계(3년): 스마트 장비 핵심센서 측정 데이터 수집 및 처리방법 및 Tool Box 개발 o 2단계(3년): 스마트 반도체 장비, 운영 소프트웨어 및 핵심 부품군 기술 개발 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o 1단계(3년): 스마트 장비 핵심센서 측정 데이터 수집 및 처리방법 및 Tool Box 개발 <ul style="list-style-type: none"> - 스마트 제조기반 핵심 공정 진단 센서 개발 - 공정진단 센서 활용 스마트 공정 진단 기반 기술 개발 - 공정장비 상태 및 성능 진단용 빅 & 인스턴트 데이터 수집 Tool Box 및 SW 개발 - 공정 진단용 센싱 데이터 처리 및 전달 인터페이스 개발 - 공정센서 기반 양산 자동화 시스템 개발 o 2단계(3년): 스마트 반도체 장비, 운영 소프트웨어 및 핵심 부품군 기술 개발 <ul style="list-style-type: none"> - 스마트 진단 및 제조용 딥러닝 공정 진단 센서 개발 - 스마트 제조용 장비운용 핵심부품 개발 - 스마트 장비 및 핵심부품(SW 포함) 내구성 · 신뢰성 인증 테스트베드 구축 - 스마트 공정장비 실시간 교정 및 보정 tool (SW 포함)과 system 개발 					
3. 성과목표					
<ul style="list-style-type: none"> ■ 1단계(3년): 스마트 장비 핵심센서 측정 데이터 수집 및 처리방법 및 Tool Box 개발 o 스마트 장비용 핵심센서 및 장비 관련 특허 및 논문(30건) o 스마트 장비 운영 부품 관련 기술 이전 및 상용화(5건) 					
<ul style="list-style-type: none"> ■ 2단계(3년): 스마트 반도체 장비, 운영 소프트웨어 및 핵심 부품군 기술 개발 o 스마트 장비 및 핵심부품(SW 포함) 내구성 · 신뢰성 인증 테스트베드 구축 (1건), 스마트 장비 및 센서 특허 및 논문(30건), 기술이전 및 상용화 (5건) 					
4. 특기사항					
o. 원천기술 + 상용화					
5. 사업기간	6년(2023.1~2028.12)				

		RFP 번호	N-5		
과제명	차세대 반도체 및 원자수준 공정장비용 핵심부품 기술 개발 (자유공모)				
1. 연구목표					
지능형 반도체 및 IoT용 3D 반도체 공정용 장비의 공정변수 정밀제어 및 운용을 위한 핵심 부품 및 분석기술 개발					
o 1단계(3년): 3D 반도체 공정장비 압력 및 유량, 온도, 플라즈마 제어용 핵심 부품 기술개발 o 2단계(3년): 3D 반도체 공정장비 핵심 부품 공정 영향성 및 오염도 분석 기술 개발					
2. 연구내용 및 범위					
o 1단계(4년): 3D 반도체 공정장비 압력 및 유량, 온도, 플라즈마 제어용 핵심부품 기술개발 - 진공도 측정 용량형 게이지 (CDG) 개발 (corrosion resistance, long term signal stability, temperature compensation 등) - 고정밀 가스 유량 조절부품 개발 - 챔버 내 정밀 압력제어가 가능한 Throttle Valve(auto proportion control valve)의 개발 - 고온용 세라믹 & 퀼츠 히터 개발 - 대면적 고균일 고정밀 플라즈마 제어 부품 개발					
o 2단계(6년): 3D 반도체 공정장비 핵심 부품 공정 영향성 및 오염도 분석 기술 개발 - 1.5×10^3 mbar ~ 10^{-5} mbar 영역의 metrology 기반 극청정 진공장비기술 개발 - 반도체 핵심부품 •소재의 불순물 분석 및 진단시스템 개발 - 진공특성 시험평가 및 공정 내구성/신뢰성 확보 기술 및 인증 테스트베드 구축 - 1 % 이하의 진공측정 불확도 확보 기술 (out gassing 저감 (contamination protection), whole pressure measurement 기반) - 공정장비 진단 센서 교정용 프로그램 및 tool system 개발					
3. 성과목표					
■ 1단계(4년): 3D 반도체 공정장비 압력 및 유량, 온도, 플라즈마 제어용 핵심 부품 기술 개발 o 3D 반도체 공정장비용 핵심 소재 부품 관련 특허 o 3D 반도체 공정장비용 제어용 핵심부품 관련 기술 이전 및 상용화 ■ 2단계(6년): 3D 반도체 공정장비 핵심 부품 개발 및 공정 영향성 및 오염도 분석 기술 개발					
4. 특기사항	자유공모				
o 상용화 성격					
5. 사업기간	10년(2019.1~2028.12)				

		RFP 번호	N-6
과제명	반도체 공정 소재용 대면적 플라즈마 세라믹 코팅 장치 개발		
1. 연구목표	<p>플라즈마 기술 기반 대면적 세라믹 코팅 장치 개발 및 코팅 기술 상용화</p> <p>o (1단계:2년)</p> <ul style="list-style-type: none"> - 플라즈마 제어가 가능한 대기압 및 저진공 플라즈마 발생원 개발 - 세라믹 코팅 요소 기술 개발 <p>o (2단계:1년)</p> <ul style="list-style-type: none"> - 플라즈마 세라믹 코팅장치 및 코팅기술 등의 요소기술 최적화 - 상용화 장치 개발 및 실증 		
2. 연구내용 및 범위	<p>o 세라믹 코팅 최적 플라즈마 제어가능 플라즈마 발생원 개발</p> <ul style="list-style-type: none"> - Microwave, RF, DC 등의 플라즈마 발생원 최적 조합 연구 및 평가 - 대기압 및 저 진공(1Torr)에서 적용 가능한 플라즈마 발생원 연구 - 플라즈마 변수 제어 및 특성 평가 <p>o 세라믹 코팅 품질 개선 연구 및 적용성 평가</p> <ul style="list-style-type: none"> - 대상 세라믹 : Al_2O_3, Y_2O_3, AlN, SiC 등 - 세라믹 코팅막 기공률 저감 공정 개발 - 접착력 및 균일도 향상 공정 기술 개발 		
3. 성과목표	<p>o (1단계:2년): 대면적 플라즈마 세라믹 용사장치 개발 및 코팅 기술 개발</p> <ul style="list-style-type: none"> - Microwave-DC Hybrid Plasma (2.45GHz, 915MHz) - 플라즈마 직경 : 30Φ, 80Φ - 플라즈마 화염 velocity(저진공) : 300 m/s - 플라즈마 온도 : 5000K 이상 - 플라즈마 인가 전력 : 3~40k - 대면적 플라즈마 세라믹 용사장치 개발 관련 논문(2건), 특히 출원 및 등록 (5건) <p>o (2단계:1년): 대면적 플라즈마 세라믹 코팅장치 상용화 연구</p> <ul style="list-style-type: none"> - 세라믹 코팅 장치 실증 (Al_2O_3, Y_2O_3) 및 평가 - 세라믹 코팅막 기공률 : 1% 이하 - 모재와의 접착력 증대 (40MPa 이상) - 플라즈마 상용화를 위한 IP 확보(국내 3건, 국제 2건) 		
4. 특기사항			
o 원천기술 + 상용화 성격			
o 『전문연구소+전문기업』 간의 융합연구가 필요			
5. 사업기간	3년(2019.1~2021.12)		

		RFP 번호	N-7		
과제명	반도체 소재·부품 성능평가 기술개발 (기초)				
1. 연구목표					
국내소재부품 국산화율 제고를 위한 핵심소재부품 성능평가 및 인증용 측정기술개발					
<ul style="list-style-type: none"> o 반도체 핵심 소재·부품 시험평가 기술 개발 o 수요기업과 공동 인증 시스템 개발 <ul style="list-style-type: none"> - 반도체 소재·부품 생산기업 발굴 및 산업육성 					
2. 연구내용 및 범위					
<ul style="list-style-type: none"> o 수요기업 니즈기반 핵심소재·부품 시험평가 기술 개발 <ul style="list-style-type: none"> (例 : 양산공정장비 공통부품(진공펌프, 플라즈마모듈, 진공게이지, 밸브 등), 종착용 소재, PR, 패키지 소재 등) - 글로벌 수준의 반도체 소재·부품 기능, 적용효율성, 성능, 신뢰성 측정기술 개발 <ul style="list-style-type: none"> . 부품소재 공정영향성 및 적용 성능 측정기술 . 부품 성능 측정 정밀도 및 안정도 측정기술 . 부품소재 성능 측정데이터 신뢰도 검증 기술 등 - 高부가·高사항 소재·부품 성능검증 기술 개발 <ul style="list-style-type: none"> . 화학특성, 물리특성, 내구성, 가속시험 등 성능검증 기술 개발 - 반도체 소재·부품의 공정별 기준 수준평가 기술 개발 o 수요기업과 공동 인증 시스템 개발 <ul style="list-style-type: none"> - 수요기업 진입을 위한 평가 기준 및 항목 표준화 - 소재·부품 제품 시험평가 data 및 공인 시험성적서 발급 - 구축할 시험평가 시스템과 수요기업 양산평가 시스템 상관관계 도출 o 반도체 소재·부품 생산기업 발굴 및 산업육성 전략 수립 <ul style="list-style-type: none"> - 반도체산업용 소재·부품 기업 DB 구축 및 제품 수준 파악 - 타산업(디스플레이, LED, 태양광 등) 제품 수준향상을 통해 반도체향 제품 생산 지원 - 반도체 소재·부품의 국산화 전략 효과가 실질적인 구매로 연계될 수 있는 『Item발굴-성능평가-Level-Up (R&D)-인증-판매지원』 전략 수립 					
3. 성과목표					
<ul style="list-style-type: none"> o 소재부품 시험평가기술 개발 : 50 건 (upgrade 포함) o 평가 절차 및 표준화 : 30 건 o 수요기업 공동 인증 시스템 구축 (측정데이터 국제인정 동등성 확보) 					
4. 특기사항					
o 기존 공용팹 및 TP 연계					
5. 사업기간	10년(2019.1~2028.12)				

부록 3. 기술수요 조사 리스트

o 설계기술 분야 핵심원천기술

No	제안기술명
1	초저전력 로직반도체 소자 기술 - negative capacitance field effect transistor (NCFET)
2	시스템 반도체용 eFUSE 소자 및 고신뢰성 FTP (Few-Time Programmable) IP 개발
3	DRAM 및 PRAM 연동 이종 메모리 아키텍처 및 컨트롤러 IC 원천기술 개발
4	Logic-In-Memory 반도체 소자
5	7 nm급 이하의 차세대 반도체를 위한 GeOI (Germanium on Insulator) 소자 기술 개발
6	차세대 멀티코어 프로세서용 photonic network on chip 요소 기술
7	차율주행을 위한 딥러닝 기반 초저전력 영상 인식 SoC 개발
8	초소형 생체신호분석 시스템 구현을 위한 임파던스 스펙트로스코피 ASIC 및 CMOS Biosensor Array 기술개발
9	차세대 메모리 기반 프로세싱 인 메모리 기술을 위한 연산로직 및 인터페이스 설계 기술 개발
10	다차원 반데르발스 소자의 수직 집적 기술
11	Brain-on-Chip 실현을 위한 초저전압/초저전력 소자 및 설계기술 개발
12	Oxide의 Mott transition을 이용한 Field Effect Transistor

o 공정기술 분야 핵심원천기술

No	제안기술명
1	STT-MRAM Chip에 대한 Screen Methodology 연구
2	촉매금속 스템프를 이용한 반도체의 화학적 임프린트 기술
3	금속막 및 High mobility channel 재료의 연마 후 세정공정 및 세정액 개발
4	초고유전율 ($\kappa > 100$) 결정질 산화물 성장을 위한 상변화 기술 개발
5	10나노이하 반도체 공정을 위한 벤조제어 플라즈마 장비 및 공정 해석 연구
6	전해도금을 이용한 Cu 합금 배선 개발
7	플라즈마 정보인자 활용 반도체 공정장비 지능화 기술
8	전계를 이용한 하이브리드 스위칭 자성메모리 MRAM
9	지능형반도체용 박막재료 개발을 위한 원자단위 모델링과 소자 시뮬레이션의 연계기술 개발
10	강유전성 ($Hf, Zr)O_2$ 및 산화물 반도체 기반의 차세대 NAND 소자 개발
11	spin torque oscillators를 MOSFET위에 직접 연결한 고출력, 초소형 스핀 발진기
12	Ultra-steep slope atomic switch의 동작 메커니즘 분석
13	7nm 급 노광 공정을 위한 모델링 및 시뮬레이션
14	빅데이터 및 기계학습을 활용한 반도체 공정/소자 특성에 대한 산포 분석/해석 기술
15	하드웨어 보안기술
16	실리카를 대체하는 기능성 복합 EMI 흡수필터
17	mmWave를 대비하는 자성 EMI 흡수 필터
18	실리콘 기반 극한 고온 동작 메모리 소자 기술 개발
19	미래 유연반도체 패키지 및 배선의 복합환경 하 신뢰성 향상기술개발
20	페타급 초고집적화를 위한 3차원 NAND Flash 신개념 아키텍처 및 요소 기술 개발

0 제조기술 상용화 분야

No	제안기술명
1	스핀 현상을 이용한 신경망 모사 시냅스 소자기술 개발
2	고속 Oxide Cycle Etch Chamber 및 공정 개발
3	반도체 공정 데이터 분석 Machine Learning platform 개발
4	반도체 공정 수율 개선을 위한 진단 및 실시간 보정 장치가 탑재된 스마트 챔버 개발
5	전력반도체 SiC 용 Thermal CVD 장비 개발
6	지능형반도체용 박막재료 개발을 위한 원자단위 모델링과 소자 시뮬레이션의 연계기술 개발
7	5G 빅데이터 처리를 위한 고용량 광통신기기 스위치용 SLM 반도체기판 개발
8	Half-tone형 Chromeless Phase Lithography용 Blankmask 기술 개발
9	반도체 소자 제조를 위한 극자외선용 블랭크 마스크 기술 개발
10	초저전력 로직반도체 소자 기술 - negative capacitance field effect transistor (NCFET)
11	빅데이터 및 기계학습을 활용한 반도체 공정/소자 특성에 대한 산포 분석/해석 기술
12	차세대 5nm 반도체 소자용 300mm 실리콘 에피택셜 웨이퍼 개발
13	차세대 반도체 공정을 위한 복합 미세 패턴 형상 검사계측 기술
14	SMC, PCB용 수직식 고속 전기동 도금장치 기술 개발
15	고성능 웨어러블 반도체 전자소자 및 센서소자 제작을 위한 기판제거 및 전사기술
16	10 nm급 이하 초미세 패턴의 무손상 세정을 위한 단속제트 고도화기술 개발
17	Built-In Self-Repair (BISR) 기반 Reliable SoC 설계 솔루션
18	박막 PCB用 수직 Type R2R 고속 전기도금용 필름 개발
19	실시간 외부 공격 감지 및 대응 가능한 DFT insertion tool 개발
20	이차원반도체 벨리트로닉스 로직 소자 기술
21	와이드갭 반도체를 이용한 페타헤르츠 소자 기술
22	기계학습을 이용한 SoC 설계 자동화 및 방법론
23	Autonomous driving-용 ssd test system 개발
24	뇌의 시냅스를 능가하는 초저전력 초고속 시냅스 소자
25	이온빔 활용 나노소재/소자의 측정 및 초미세 가공 기술
26	차세대 반도체 소자를 위한 수송이론과 계산 플랫폼 개발
27	피코단위 분해능을 가진 TG기반의 웨이퍼레벨 반도체 자동 검사장비 개발
28	지능형 반도체를 위한 고성능/초저전력 전 스핀로직(all spin logic) 소자 기술개발
29	저차원 나노재료 기반 신개념 양자 나노전자소자 연구 개발
30	10nm level의 반도체 공정 측정/분석을 위한 융복합방식의 SPM시스템 개발
31	지역 거점 초고속 지능형 화합물반도체 파운드리 기술
32	반도체 TSV High D&D Measurement-용 3D Optical system개발
33	산업환경 안전관리를 위한 고감도·저전력 가스센서 핵심 원천기술 개발
34	레이저를 이용한 수직 드릴링
35	3D 반도체 패키징용 저점도, 열전도, 고신뢰성 언더필 소재 개발
36	3차원 반도체 플라즈마 공정 진단/제어/예측기술 개발
37	위상지연 메타물질을 가지는 초고속 온-칩 광시냅스 소자개발
38	3차원 전공정 집적 (M3D) 반도체 제작용 레이저 어닐 장비 개발
39	극자외선 리소그래피용 마스크 흡수체 및 마스크 구조 개발
40	반도체 MCP 미세 와이어 본딩 2D & 3D 광학검사장비개발
41	초저전력 초소형 3차원 초소형 SRAM 제작 기술 개발
42	3Ghz 급 시스템 IC 고온고속수명시험 장비 개발
43	5G-용 밀리미터파 대역 Gallium Nitride-on-Diamond HEMT MMIC 소자 개발
44	단펄스 광원을 활용한 나노스케일 표면 열처리 공정
45	대용량 계산을 지원하기 위한 극저전력, 고성능, 단일층 수평 집적형 3-5 CMOS on Si 논리회로
46	Big data/AI용 초고속 대용량 계산을 위한 Stackable III-V Compound Semiconductor CMOS devices
47	저차원 반도체 기반 저전력/고성능 광전용합소자 시스템 기술 개발
48	상온에서 3차원으로 복원 가능한 electro-magnetic imaging 기술을 개발
49	지능형반도체를 위한 초저전력 스핀소재 및 스핀소자
50	초저전력 지능형 3차원 다기능 칩을 위한 모놀리식 적층형 반도체 소자 기술 개발

51	Mott metal insulator transition 물질 ALD 공정 개발 및 특성 향상 연구
52	Mott 전이 기반 Neuromorphic형 시냅틱 소자 개발
53	초소형, 초저전력 post-5G용 RF/logic 모놀리식 적층형 소자 기술 개발
54	gate spacer용 low k dielectric plasma ALD 공정 개발
55	한계극복 고출력/고신뢰성 GaN 기반 적층형 나노시트 소자 개발
56	저전력 및 초고속 시스템 응용을 위한 nanowire 기반 다치 로직 소자 및 회로 연구
57	낮은 contact 저항을 위한 in-situ doping 기술 개발
58	저온 에피택시박막 형성을 위한 공정 및 박막에 인가된 스트레인에 대한 연구 개발
59	PLP(Panel Level Package)등의 대형기판용 플라즈마 소스기술개발
60	DUV 광학기반 10nm 검출력을 갖는 반도체 패턴 미소결합 검사장비
61	지능형 반도체 개발을 위한 이차원 자석 물질의 개발 및 소자응용
62	이종 이차원소재 적층 구조를 활용한 광 제어 집적 기술
63	분광 타원계와 분광 반사계 기반 반도체 공정용 박막 및 OCD 측정장비 개발
64	인공지능향 초저전력 삼차원 재구성가능 회로 구현을 위한 신소자/공정 개발
65	Multi Pole ICP 기술을 적용한 대형기판용 플라즈마 소스기술개발
66	박판 PCB 대용 수직 R2R 고속 전기동 도금장치 기술 개발
67	박판 PCB 대용 수직 R2R 고속 전기동 도금장치 기술 개발
68	PCB에 적용 가능한 수직 RtoR 전기동 도금장치 기술 개발
69	-50~170도씨 온도범위를 갖는 차량용 반도체소자 검사용 실리콘 러버소켓 개발
70	M3D용 다구경 (8, 12인치) 초정밀 웨이퍼 본더
71	초저전력 엣지IoT 비휘발성메모리 혁신소재/공정 기술개발
72	이온기반 초전력구동 반도체소자
73	극미세공정용 소재 부품 개발을 위한 EUV Lithography Test Bed 구축
74	차세대 반도체 세정을 위한 Dry Cleaning 설비용 원격 플라즈마 장치 개발
75	디스플레이 산업 온실가스(N2O) 저감기술 개발사업
76	초연결 사회 구현을 위한 탄화규소 (SiC) 기반 초소형 센서소자 특화기술 개발
77	800도 이상 초고온 공정용 멀티존 온도 조절 허터
78	차세대 패터닝을 위한 Conformal amorphous silicon 증착 기술 개발
79	Gallium Nitride-on-Diamond Epitaxial wafer Flip process 공정기술 개발
80	AlN 기반 고온/고내압 전력 반도체 소자 개발
81	차세대 전자소자 개발을 위한 에피택시 산화물 박막 증착 공정 기술
82	산화물 기반 고성능/저전력 전력반도체 기술
83	0.1 ns 이하로 동작하는 초고속 스핀 정보 소자 기술 사업화
84	스핀-전하 변환을 이용한 지능형 반도체 논리소자 개발
85	차세대 뉴로모픽 시냅스형 초절전 고집적 반도체 소자 원천기술 개발 사업
86	극한환경 및 미래형 주문형 반도체를 위한 SiC 기반 소자/공정 기술 개발
87	고전력 3D 패키지용 10 W/mK 이상급 고열전도성 방열 접착제 개발
88	Bulk silicon 기판에 제작 가능한 3차원 구조의 초절전/초고속 capacitorless 1T-DRAM 셀/어레이 개발
89	광-전압 구동형의 터널 산화물이 없는 신개념 비휘발성 투명 메모리 기술 개발
90	고효율 신재생에너지 설비를 위한 GaN기반 3차원 전력반도체 소자 개발
91	전압 구동 스핀 구조 제어 소자
92	초저전력 지능형 반도체 구현을 위한 유무기 융합 스핀 소자개발
93	マイ크로 LED 디스플레이 화질보정 설비 개발
94	양면 방열 패키징기술을 이용한 전기차용 대전력, 고신뢰성, 고열전도성 전력반도체 개발
95	화합물 반도체와 강유전체를 결합한 사물인터넷용 초저전력/고성능 차세대 로직소자 기술 개발
96	차세대 하이브리드 디바이스용 3D 고집적 아키텍처 기술 개발
97	無 금속배선 전자-광 접적회로(EPIC) 구현을 위한 핵심 수동/능동부품 기술 개발
98	첨단 반도체 공정설비 제조를 위한 진단센서 및 가상계측 모듈 개발
99	광 컴퓨팅 로직 소자 원천기술 개발
100	50kW급 PV 인버터 시스템용 Full SiC 모듈 개발
101	fin 구조를 가지는 GaN 기반 수직형 전력반도체 개발
102	Industrial Motor Drives에 적용이 가능한 SiC 전력반도체 개발

103	고효율 페로브스카이트 태양전지용 대면적 진공 박막 증착 장치 개발
104	반도체 Package에서 FoPLP제조를 위한 RDL제조용 Sputter개발
105	나노소재 기반 뉴로모피 시냅스 소자의 동작 신뢰성 향상을 위한 저주파 잡음 연구
106	3차원 구조 반도체 소자용 원자층 제어 기술
107	3D V-NAND용 박막 증착 장비 지능화를 위한 플라즈마 공정 제어 기술 플랫폼 개발
108	지능형 식각공정장비용 플라즈마 공정진단 제어기술
109	차세대 메모리 소자 구현을 위한 핵심 요소 기술 개발
110	초저전력 스핀기반 신경모사 다차 메모리 소자
111	산화물 반도체를 활용한 초저전력 휘발성/비휘발성 메모리 기술 개발
112	플렉서블 박판 PCB 고속생산을 위한 수직 R2R 전기동 도금장치 및 전용 필름 소재기술 개발
113	생체 물질 검출 나노센서 및 시스템
114	반도체 CMP공정의 Slurry 품질관리를 위한 LPC(Large Particle Counter) 개발
115	10nm급 메모리소자 적용을 위한 무산화 asher 공정/설비 기술
116	차세대 반도체 소자용 박막재료 개발을 위한 원자단위 모델링과 소자 시뮬레이션의 연계기술 개발
117	New memory, 10nm급 메모리소자 적용을 위한 무산화 asher 공정/설비 기술
118	실리콘 기판위 기능성 페로브스카이트 산화물 애피택시 증착 기술
119	반도체 장비 개발&유지보수 실무 인력양성을 위한 Infra 지원 사업
120	차세대 식각법을 이용한 극미세 나노미터패턴에 대한 식각공정 개발 및 식각메카니즘 규명
121	반도체 패키지 기술
122	반도체 장비개발 전문인력 양성
123	저온 반도체(Si, Ge, Sn) 애피성장 시스템
124	PLP(Panel Level Package)등의 대형기판용 플라즈마 소스기술개발
125	유전상수 변조 소재를 이용한 멀티레벨 초저전력 소자
126	반도체 초미세화 공정의 생산성 향상을 위한 능동형 기류제어 EFEM 개발
127	자가 적응적 수치 해석 및 분석 조절 시스템을 갖는 원자층 식각 장비 개발
128	4차 산업혁명 대응 첨단 나노소자제조 공정용 측정장치 내재화 기술 개발
129	고온의 스텀과 물의 혼합체를 이용한 차세대 single cleaning 설비 및 공정개발
130	NEW CONCEPT Cleaning Mechanism.
131	차세대 3D 반도체 적층 나노박막 Integrated Metrology 장비 및 핵심측정기술 개발
132	차세대 반도체 공정용 박막 및 3D 나노구조의 비등방 광물성 측정기술 개발
133	초미세공정 수율향상을 위한 디바이스순상 계측 및 평가기술 개발
134	5세대 이동통신기술(5G)을 위한 반도체 패키지기술
135	3차원 구조 반도체 소자용 원자층 제어 기술
136	차세대 SOC(system on chip) 구현을 위한 <2um급 3D package공정 개발
137	Monolithic 3D 접적 기술 및 장비
138	초저전력 소자의 전력전달 및 열전달 향상을 위한 adaptive packaging 공정 기술 개발
139	대면적 웨이퍼 공정에서 비접촉/비파괴 물성평가를 위한 현미 라만 분광기술 및 검사장비의 개발
140	TSV 공정 Plasma descum 장비 개발
141	High Throughput, 高 균일도 TSV용 Dry Etcher
142	High Throughput 고 정밀 Dielectric Atom Layer Etch 장비 개발
143	차세대 저장 솔루션용 2%이하의 고균일도 신물질 Etch 장비 개발
144	고 생산성, 고 선택비 식각을 위한 플라즈마 소스 기술
145	고균일도, 균일도 조절, 급속온도조절 (10~100°C) 용이한 Multi-zone, Multi-channel ESC기술개발
146	반도체 제조용 SiGe Selective Etch 장비 및 공정 개발
147	450 mm용 고 생산성, 고 선택비 식각을 위한 플라즈마 소스 기술
148	3D NAND (72단 이상)용 Thin Film 박막 증착 장비(PECVD) 개발
149	3D NAND용 (72단 이상) Oxide/Nitride 증착 Multi-Chamber 사용 장비 개발
150	800도 이상 초고온 공정용 멀티존 온도 조절 히터 개발
151	반도체 진공부품 ·소재의 불순물 고정밀 정성 및 정량 진단시스템 개발
152	고정밀 공정환경 조성을 위한 진공 게이지센서 및 공정압력 조절모듈 개발
153	3D 수직전극 적층 공정용 high step coverage sputtering 증착 장비 및 핵심 부품 기술 개발
154	Sub-10 nm 미세공정을 위한 Octuple 패터닝용 고생산성 저온 PEALD (SiO ₂ /SiN) 장비 개발

155	1x nm 금 고효율 Cu CMP 장비 개발
156	광/전자빔/SPM 등의 기술이 융복합된 다모드(multimodal) 측정장비 개발
157	Sub-10 nm 노드 계측을 위한 자동화 AFM 장비 개발
158	1x 나노급 파티클 카운터 장비 개발
159	Sub-10 nm 반도체 측정 검사용 저가속 <300V SEM 장비 개발
160	첨단 반도체소자 제조공정제어 시스템 구축을 위한 측정모듈 내재화 기술 개발
161	3D NAND용 High-stack Overlay Metrology
162	mis-align을 최소화 할 수 있는 웨이퍼 기반 1~2 μm 이하 정밀 3D 적층 장비
163	초저전력소자용 高 접합정밀도, 高생산성 반도체 패키지 접합 기술
164	이종소자 및 부품 내장형 통합 2.5D 접적화를 위한 대면적 panel(610x450mm) 공정 장비
165	대면적 패널 기반 미세선풀 RDL(re-distribution layer)-용 LDI(laser direct imaging) 장비 개발
166	적층소자 내 /외 EMI 문제 해결을 위한 Low Cost EMI shielding 코팅 소재·공정 및 장비 개발
167	전구체 은행 구축 사업
168	리소그래피공정 없이 특정영역에만 박막을 성장시키는 선택성장 공정 및 소재 기술
169	선택적 성장 공정 및 소재 기술 개발
170	3D NAND용(>100단) Hardmask 전구체
171	10nm급 DRAM용 High-k 전구체 개발
172	125W 금 이상 극자외선 노광공정에 적용 가능한 극자외선 펠리를 박막 개발
173	In-situ Dry Cleaning Process 장비 개발
174	Oxidation Free Dry Strip 장비 개발
175	차세대 Hard Mask Strip 장비 개발
176	FOWLP를 위한 Plasma 처리 장치 개발
177	고생산성 원자층 식각(ALE) 장비 개발
178	차세대급 반도체 소자의 산화막과 금속배선용 CMP 장비 및 소재 개발
179	Solid precursor를 이용한 high-k metal gate ALD 장비 개발
180	차세대 반도체 메모리 소자용 레이저 열처리 시스템 개발
181	Hybrid(Cu/Oxide) 300mm Permanent Wafer to Wafer Bonder개발
182	극자외선 노광의 양산 적용 가능한 10 nm급이하 초미세팬터링을 위한 EUV 노광용 광마스크인 EUV 펠리를 개발
183	Sheet Molding Compound
184	고방열 언더필용 소재 및 공정개발
185	10nm 이하 반도체 소자 제조를 위한 Advanced Phase shift 블랭크 마스크 기술 개발
186	1Xnm 이하 차세대 반도체 소자 제조를 위한 극자외선용 위상반전 블랭크 마스크 기술 개발
187	SoC Wafer Test Probe Card용 초미세피치 대응 STF 개발 (*STF : Space Transformer)
188	반도체 공정 챔버의 정밀 압력 조절 벨브 개발
189	マイ크로 실리콘 러버 컨택터
190	III-V 반도체 Channel CMP 및 post CMP 세정공정 개발
191	450mm 실리콘 기반 삼성분계 화합물 저온-선택적 에피 성장 시스템 및 공정 기술 개발
192	미세피치 BGA 실장을 위한 고분자코어 솔더볼 개발
193	플라즈마 장비의 진공 모니터링 기술
194	Vertical 전력반도체용 GaN 기판기술 개발
195	반도체 소자용 활성/비활성 자기조립 분자막을 이용한 위치 선택적 원자층증착 기술개발
196	증착 중 고속 열처리 가능 원자층 증착 공정/장비 개발
197	VNAND 증착 공정 실시간 증착 및 플라즈마 변수 모니터링 장치 개발
198	투과전자현미경을 이용한 비정질 구조/전자구조의 나노단위 분석
199	질량 및 이온에너지 제어가능한 플라즈마 원자층 식각 공정용 플라즈마 소스 및 진단 원천 기술 개발
200	기체 플라즈마 방전을 이용한 반도체 노광용 13.5 nm급 EUV 발생원 개발
201	High Aspect Ratio DRAM · 10nm이하급 Logic · 100단이상 VNAND · SiC전력소자용 절연막에 적용가능한 고효율 Radical발생장치개발
202	딥러닝 기반의 광학 및 X-ray 비파괴 검사 기능의 고속 2/3D 복합검사 장비 개발
203	880Mbps급 이상 HBM 웨이퍼 테스터 개발
204	반도체 공정용 Oxide Cycle Etch 장비 및 공정 개발
205	20nm 사이즈 이하 금 nano wet ceria 연마 입자 합성 장비 및 CMP slurry 소재 기술 개발

206	3D 적층 패키징을 위한 Adhesion/Seed layer 증착장비 개발
207	500nm이상 고체 이온 주입 가능한 High throughput 대용량 이온 주입 장치 개발
208	ASD(Area Selective deposition) process를 위한 반도체 장비 개발
209	e-beam Plasma 이용한 ALE(Atomic Layer Etching) 장비 개발
210	Group Prober 개발
211	10nm급 DRAM용 고생산성 High-K Batch ALD 장비 개발
212	Isothermal Reactor를 이용한 저온 Epitaxy 장비개발
213	고품질/고생산성 Mini Batch ALD 장비 개발
214	Surface Treatment Plasma Annealing 배치 장비개발
215	Slurry/Chemical Quality Monitoring System 장비개발
216	광학기반 10nm 겹출력을 갖는 반도체 패턴 미소결합 검사 장비
217	나노급 패턴형성 장비
218	반도체 Wafer Test용 대용량 고기능 온도제어 Chuck System 개발
219	차세대 5nm 시스템LSI 소자용 300mm 실리콘 에피택셜 웨이퍼 개발
220	지능형반도체를 위한 패키지 소재 및 부품개발
221	Advanced Furnace Heater & Temperature Control System
222	Wafer Transfer Environment Monitoring & Control System
223	AUTO PITCH CHANGE WEDGE MODULE
224	반도체 공정용 대면적 플라즈마 세라믹 용사 장치 및 코팅 기술 개발
225	극자외선용 펠리클 기술개발
226	고성능 웨어러블 반도체 소자 및 센서 응용을 위한 (유연·신축)패키징 기술

주의

1. 이 보고서는 한국연구재단에서 위탁받아 수행한 연구보고서입니다.
 2. 본 연구보고서에 기재된 내용들은 연구책임자의 개인적 견해이며 한국연구재단의 공식견해가 아님을 알려드립니다.
 3. 국가과학기술 기밀유지에 필요한 내용은 대외적으로 발표 또는 공개하여서는 아니 됩니다.